

高効率自動設計による次世代AI回路・システム

アナログ混載型エッジAI SoC設計技術の研究開発



研究開発代表者：岡田健一(東京科学大学工学院電気電子系 教授)

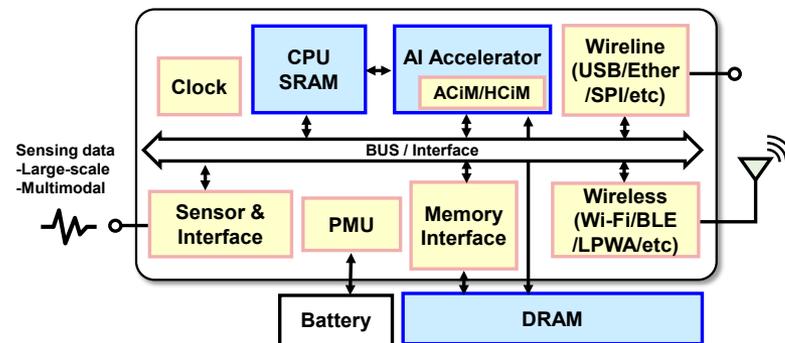
主たる研究分担者所属機関：東京科学大学、慶應義塾大学、大阪大学、高エネルギー加速器研究機構、ローム、ソニーセミコンダクタソリューションズ、ソシオネクスト、イーソル、日立製作所

【研究開発目標】

熟練設計者の暗黙知に依存するアナログ回路設計をAIにより体系化し、設計工数と期間を大幅に削減する。エッジAI向けアナログデジタル混載SoCを全体最適化し、用途に応じた低消費電力・高効率な専用ASICを短期間で実現する設計技術を実現する。

【研究開発概要】

本研究開発は、アナログ回路設計が熟練者の暗黙知に依存し参入障壁が高いという課題に対し、設計意図・制約・評価指標等を整理し再利用可能な設計知として整備することで、技能の継承を加速する。これにより、デジタル設計者等でも短期間でアナログデジタル混載回路設計へ参入でき、人材の裾野を拡大させる。設計期間とコストの低減を通じて専用SoCの適用範囲を広げ、国内企業への幅広い技術移転を通じて、エッジAI機器の低コスト化と国際競争力の強化に資する。



Applications

