



次世代エッジAI半導体研究開発事業

次世代エッジAI半導体 研究開発事業



国立研究開発法人
科学技術振興機構



事業説明

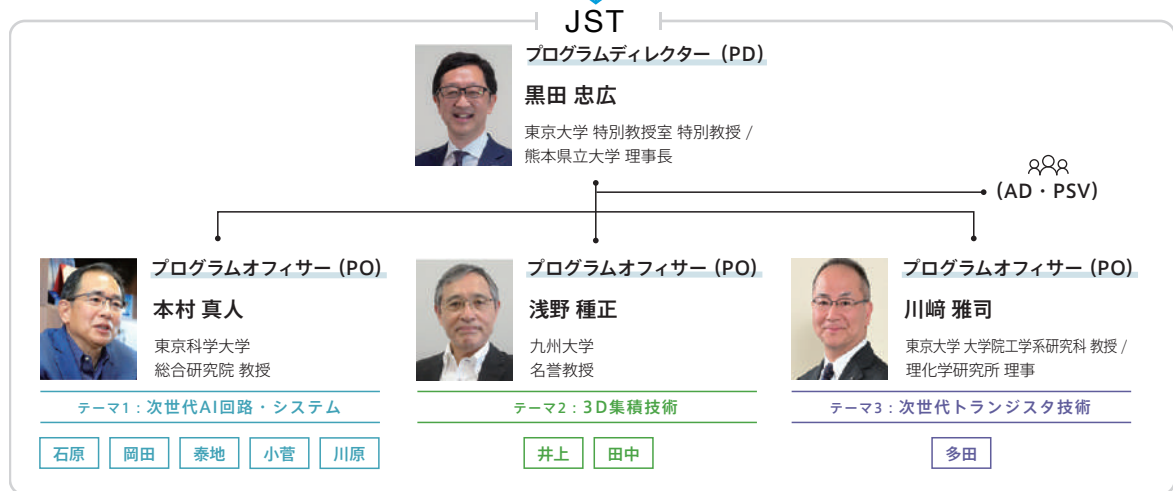
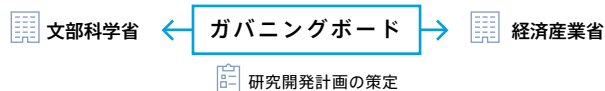
近年、データ処理量の急増に伴い、クラウド側での消費電力の増大が大きな課題となっており、エッジ側での高度な情報処理を可能とするAI半導体の飛躍的な性能向上が必要となっています。本事業では、アカデミアのシーズを活用することで従来では達成困難な超低消費電力等の革新的な次世代エッジAI半導体の実現に貢献します。

超低消費電力等の革新的な次世代エッジAI半導体に

必要となる設計、製造、材料などの技術に関して、既存の産業あるいは2030年代中盤以降に求められる新たな産業からバックキャストした技術のうち、アカデミアが行うべき技術について、産業界への速やかな橋渡しを意識した研究開発を行います。

なお本事業は、文部科学省及び経済産業省が策定する研究開発計画に基づき実施いたします。

運営体制



アドバイザー (AD)・プログラムスーパーバイザー (PSV)

氏 名	所 属 ・ 役 職
市 川 公 也	3DIC リサーチラボ合同会社 リサーチ&コンサルティング 主席コンサルタント
井 上 弘 士	九州大学 大学院システム情報科学研究所 教授
大 谷 寿 賀 子	ルネサス エレクトロニクス株式会社 イノベーションオフィス 担当部長
岡 島 博 司	トヨタ自動車株式会社 先進技術統括部 主査 / 担当部長
黒 田 理 人	東北大学 未来科学技術共同研究センター 教授
知 京 豊 裕	物質・材料研究機構 ナノアーキテクトニクス材料研究センター /LSTC 材料研究ラボ ラボ長
出 口 淳	キオクシア株式会社 先端技術研究所 A I ・ システム研究開発センター グループ長
鳥 海 明	東京大学 名誉教授
丹 羽 正 昭	熊本県立大学 学長付兼 新学部設置準備室 兼総合管理学部 特任教授
日 高 秀 人	元ルネサス エレクトロニクス株式会社 フェロー
山 川 真 弥	ソニーセミコンダクタソリューションズ株式会社 研究開発センター第 1 研究部門 統括部長
若 林 秀 樹	熊本大学 半導体デジタル研究教育機構 卓越教授
宮 野 健 次 郎	東京大学 名誉教授 (PSV)



研究開発テーマ

テーマ 1 高効率自動設計による次世代 AI 回路・システム

エッジ側での高度な情報処理を実現するためには、ロジック・メモリ間通信に起因する処理遅延の低減や消費電力の低減が不可欠です。本テーマでは、新しいアルゴリズムやアーキテクチャに基づく次世代エッジAI用の専用半導体の研究開発を実施します。また次世代エッジAI半導体の社会実装を促すため、AIを活用した高効率な自動設計技術の研究開発を推進します。

テーマ 2 3D 集積技術

エッジAIの高度化には、ロジック半導体とメモリ、センサ、RFなどの周辺デバイスを単一パッケージに統合する3D集積技術の進展が不可欠です。本テーマでは、小型化、高性能化、高機能化、低消費電力化を実現し、異種チップ間通信や高密度実装による熱問題を解消する3D集積技術の研究開発を実施します。特に、新たな集積構造、接合プロセス、材料技術の研究開発を推進します。

テーマ 3 次世代トランジスタ技術

Beyond 1nm世代の半導体では、シリコンチャネルや銅配線の性能限界が予想されるため、それらに代わる新材料・新技術の開発が求められています。本テーマでは、二次元半導体や酸化物半導体などのチャネル材料、新絶縁膜構造・新規電極材料、微細配線用新材料など、新材料・新構造を取り入れた新たなトランジスタの研究開発を実施します。また、これらの新材料・新構造に対応可能なデバイスシミュレーション技術や高度分析技術、配線プロセス技術、トランジスタ製造プロセス技術など、次世代トランジスタの実現に向けた統合的な研究開発を推進します。

本事業の狙い

以下の取り組みを通じ、研究開発成果の最大化やアカデミアにおける研究力向上及び人材育成並びに社会への研究開発成果の普及を強く促します。

産学連携の強化

研究開発の成果を、産業競争力の向上やGXへの貢献等の経済・社会的インパクトといった価値に結びつけるため、アカデミアと産業界との強い連携を進めていきます。各研究開発課題には、研究開発期間中での産業界のニーズ把握や積極的な技術移転を奨励していきます。

国際連携・人材育成

国際的な視野を持った研究開発を推進します。例えば、若手研究者同士の相互交流や海外研修等の環境作りを奨励します。また、グローバル人材の育成のための支援、企業の研究者との対話等を奨励するなど、事業全体として人材育成にも取り組みます。

成果最大化に向けた取り組み

研究開発を効率的かつ効果的に実施するため、研究開発課題ごとに適切な時期を定めた上でステージゲート審査を実施します。審査結果を踏まえ、必要に応じ、研究開発の加速、縮小、実施体制の変更（例：再構築、統合等）等を行うことで成果最大化に取り組めます。

GXの実現への貢献のコミットメント

本事業により得られた研究開発成果を社会実装につなげることでGXへの貢献をめざす為、研究開発成果が事業化された際のGXへの貢献を推計するとともに、研究成果の社会実装が進むようなマネジメントを推進します。



高効率自動設計による次世代 AI 回路・システム

ローカル LLM 支援によるエッジ AI 半導体の次世代高効率設計基盤の創出

研究開発代表者 参画機関 ^{*}

石原 亨
名古屋大学大学院情報学研究科 教授

名古屋大学、東京大学、NTT、大阪大学、千葉工業大学、
広島大学

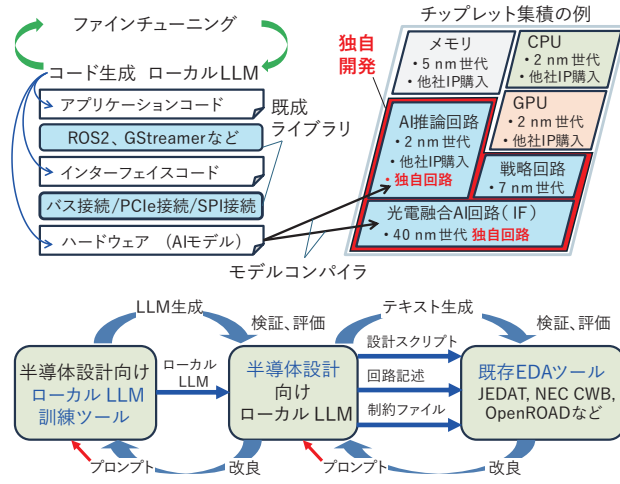


研究開発目標

ローカルLLMを活用するLocal-LLM-Aided Design (L-LAD)技術とローカルLLMをファインチューニングする技術を協調して開発し、それを柱に日本のEDA研究体制ならびにEDA研究力の再構築を図る。

研究開発概要

世界の半導体設計はLLMを設計に活用するLLM-Aided Design (LAD)が主流となりつつある。日本が半導体設計力を高めるためには、LLMの中でも独自にカスタマイズ可能なローカルLLMの活用が鍵となる。本課題では、ローカルLLMを活用するL-LAD技術とローカルLLMをファインチューニングする技術を協調して開発する。各社が自社IPを保護しつつ独自に設計効率を向上できるL-LAD技術に基づき、次世代エッジAI半導体（トランスフォーマ回路やニューロモルフィック回路および光電融合AI回路等）の開発を高効率化する。具体的には、チップのエネルギー効率を維持しながら、設計期間を半減させることを目指す。産業展開やEDA企業との連携、人材育成への波及効果も狙う。



高効率自動設計による次世代 AI 回路・システム

アナデジ混載型エッジ AI SoC 設計技術の研究開発

研究開発代表者 _____ 参画機関※ _____

岡田 健一
東京科学大学工学院電気電子系 教授

東京科学大学、慶應義塾大学、大阪大学、高エネルギー加速器
研究機構、ローム、ソニーセミコンダクタソリューションズ、ソシ
オネクスト、イーソル、日立製作所

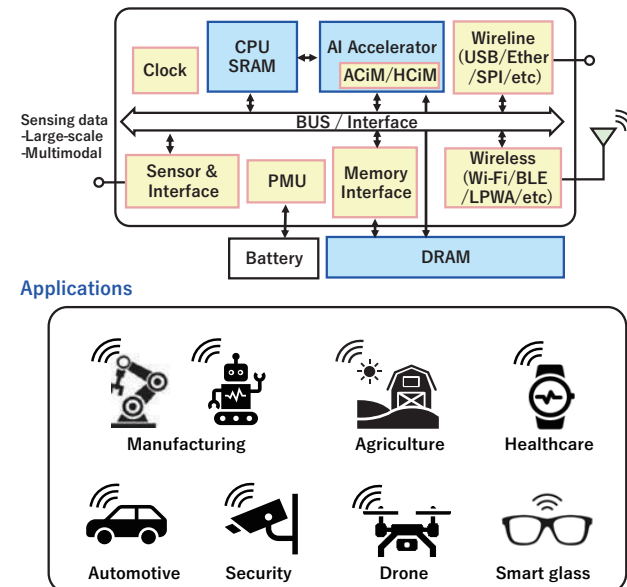


研究開発目標

熟練設計者の暗黙知に依存するアナログ回路をAIにより体系化し、設計工数と期間を大幅に削減する。エッジAI向けアナログデジタル混載SoCを全体最適化し、用途に応じた低消費電力・高効率な専用ASICを短期間で実現する設計技術を実現する。

研究開発概要

本研究開発は、アナログ回路設計が熟練者の暗黙知に依存し参入障壁が高いという課題に対し、設計意図・制約・評価指標等を整理し再利用可能な設計知として整備することで、技能の継承を加速する。これにより、デジタル設計者等でも短期間でアナログデジタル混載回路設計へ参入でき、人材の裾野を拡大させる。設計期間とコストの低減を通じて専用SoCの適用範囲を広げ、国内企業への幅広い技術移転を通じて、エッジAI機器の低コスト化と国際競争力の強化に資する。



※参画機関：JSTと委託研究契約を締結する研究開発機関

高効率自動設計による次世代 AI 回路・システム

ユースケース駆動による機能分化型フィジカル AI チップ設計

研究開発代表者 _____ 参画機関^{*} _____

川原 圭博
東京大学大学院工学系研究科 教授

東京大学、ティアフォー、慶應義塾大学

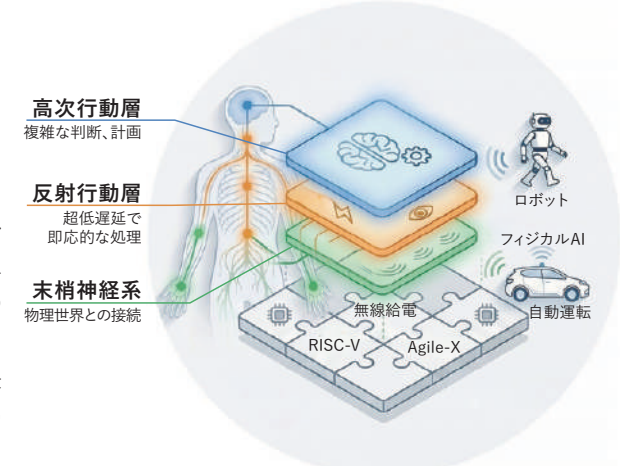


研究開発目標

「巨大な単一脳」から「分散する神経系」へ。生物に学び、思考・反射・末梢を分立させ、フィジカルAIの電力と遅延の削減を目指す。半導体設計の民主化を推進し、ユースケース駆動の多種多様なAIチップの創出を目指す。

研究開発概要

フィジカルAIの実現には深層学習が不可欠だが、汎用GPUでの常時フル稼働処理による高消費電力と遅延がネックとなっている。本提案では、生物に学び、チップを「思考」「反射」「末梢」の3層構造とし、「思考」を必要な時のみ呼び出し処理する仕組みとすることで、汎用・単一のアクセラレータやGPUではなく、アプリケーションに応じた多様な小規模チップとすることで解決を目指す。また、オープンなエコシステムやAgile-X（革新的半導体技術の民主化拠点プロジェクト）等も活用し、アプリ研究者自身が欲しい半導体を形にできる「半導体設計の民主化」を推進することで、日本から高付加価値な半導体設計スタートアップが次々と生まれる未来の創造を目指す。



高効率自動設計による次世代 AI 回路・システム

AI による AI のための AI 回路設計自動化技術

研究開発代表者 _____ 参画機関 _____

小菅 敦文
東京大学大学院工学系研究科 准教授

東京大学、東京科学大学、名古屋大学、筑波大学、神戸大学、北海道大学、信州大学、NEC、日立製作所、TwinSense

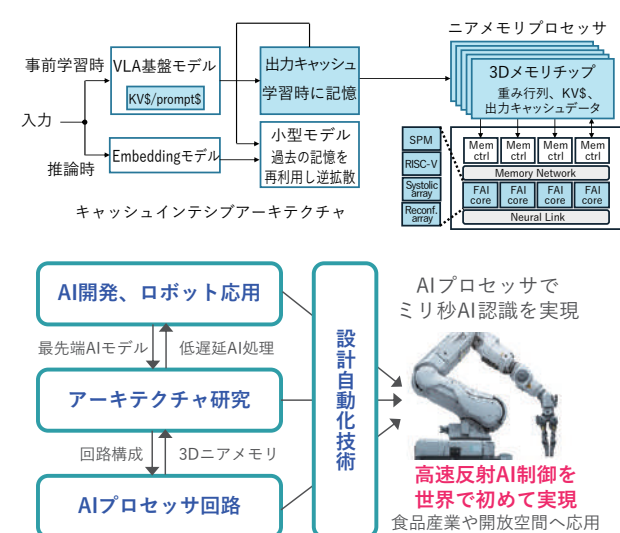


研究開発目標

誰でも短期間で高性能な専用チップを作る「半導体設計の民主化」を目指す。生成AIにより、開発時間を5分の1に短縮。ロボットの頭脳と末梢神経を担う超省電力プロセッサ技術を開発し、日本のロボット・AI産業の飛躍的な発展に貢献する。

研究開発概要

専用半導体の設計は高度なノウハウと膨大な時間を要する「設計の壁」となっており、産業応用の足枷となっている。本研究は、生成AIと高位合成を連携させた革新的な自動設計技術と、大脳を模したニアメモリプロセスにより、この壁を打破する。大脳を模したGPU比100倍以上の効率を持つ3次元AIプロセッサを自動設計へ組み込み、開発工数を5分の1に削減しつつ高い電力効率を達成する。この技術基盤と人材育成プログラムをセットで展開することで、非専門家でも短期間で高性能チップを開発できる環境を創出し、日本のAI・ロボット産業の競争力を飛躍的に高める。



※参画機関：JSTと委託研究契約を締結する研究開発機関

高効率自動設計による次世代 AI 回路・システム

AI for Science のためのエッジの知能化加速

研究開発代表者 参画機関

泰地 真弘人
理化学研究所 TRIP 事業本部 プログラムディレクター

理化学研究所、東北大学、慶應義塾大学、
Mitate Zepto Technica

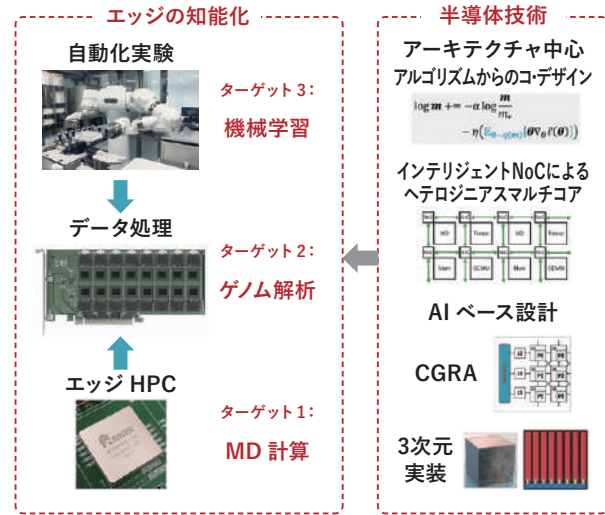


研究開発目標

エッジでの科学計算の高速化を行うための半導体開発を推進し、科学研究を加速する。そのため、3次元集積されたヘテロジニアスな高性能LSIのための基盤アーキテクチャの研究を行う。

研究開発概要

半導体プロセッサの性能向上のボトルネックであるスケーリング性能の限界・電力性能・設計複雑度の上昇の課題に、機械学習・シミュレーション・データ処理などの科学計算に特化した、あるいは準汎用のプロセッサ開発、3次元実装技術の活用を通じて取り組む。専用化により汎用機に比べ桁違いの効率を実現すると同時に、開発を通じてメニーコア時代に向けた汎用性の高い新規アーキテクチャ要素を創出し、実応用に繋げる。



3D 集積技術

環境循環型 3D 集積半導体製造革新と拠点形成

研究開発代表者 参画機関

井上 史大
横浜国立大学総合学術高等研究院 / 半導体量子集積エレクトロニクス研究センター 副センター長 / 教授

横浜国立大学、レゾナック、東京科学大学、慶應義塾大学、
早稲田大学

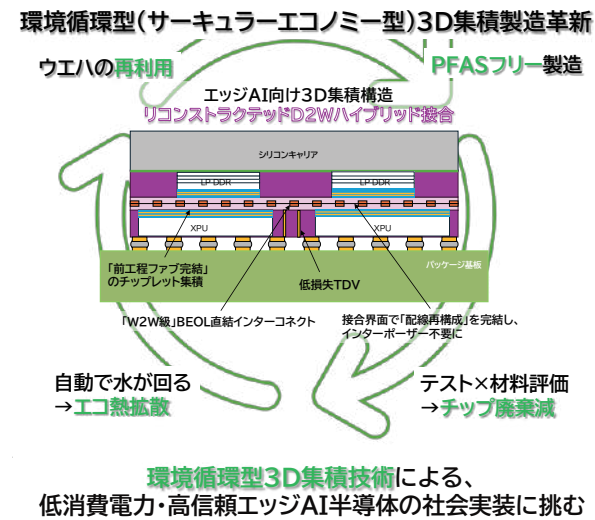


研究開発目標

エッジAI時代を支える小型・3D集積半導体の新技術と、環境に配慮した製造、および熱分散・評価技術を開発し、産学官連携による日本発の次世代半導体基盤の構築と高度半導体人材の育成を目指す。

研究開発概要

エッジAI向け半導体には、小型・高集積化と低消費電力化の両立が求められている。しかし、大型インターポーザーに依存した構成は、量産性や小型化、微細接続の面で制約がある。一方、ウエハ上でチップレットを微細集積できるリコンストラクテッドD2Wハイブリッド接合は、エッジAIに適した革新的実装方式である。本研究では、この新規3D接合技術を中核に、環境循環型製造プロセス、高精度テスト技術、革新的熱拡散技術を統合的に開発する。これにより、次世代エッジAI半導体の実用化を加速し、先進3D半導体研究拠点形成による国内半導体産業の競争力強化と高度人材育成を実現する。



※参画機関：JSTと委託研究契約を締結する研究開発機関

3D 集積技術

エッジ AI 半導体を実現する 3D ヘテロ集積技術

研究開発代表者 参画機関

田中 徹
東北大学大学院医工学研究科 教授

東北大学、北海道大学、東京大学、熊本大学、
セイコーエプソン、東レ

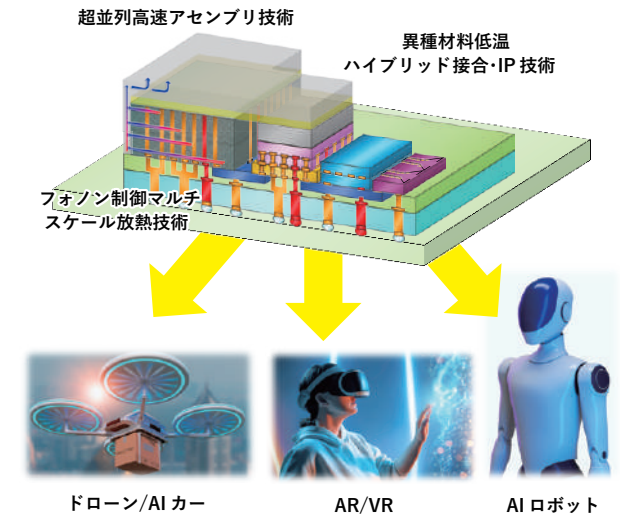


研究開発目標

2035年の未来を支える次世代エッジAI半導体の基盤技術を確立する。超多層積層や新放熱技術により高度な情報処理能力と省電力を両立し、AIロボットや自動運転の進化、脱炭素社会に貢献する研究開発である。

研究開発概要

将来のエッジAI半導体に必須となる3Dヘテロ集積基盤技術として、①超低消費電力チップの超並列高速アセンブリ積層、②高信頼低温接合とハイブリッドインターポーザ、③マルチスケール高放熱、をコアテーマとし、材料科学からシステム設計まで幅広い分野の研究者が結集して、研究開発を実施する。得られた研究成果は、3D集積の開発実績を持つ企業や橋渡し先候補企業から、事業性、量産性、コスト競争性、環境対応などに関する助言を受けながら、確実な橋渡しと早期社会実装の実現を目指す。本研究は我が国のアカデミアと産業の国際競争力強化に大きく貢献するものである。



次世代トランジスタ技術

新構造・新材料トランジスタと低抵抗配線の研究開発

研究開発代表者 参画機関

多田 宗弘
慶應義塾大学理工学部 教授

慶應義塾大学、東京大学、東京都市大学、東京科学大学、
奈良先端科学技術大学、九州大学、京都大学、東北大学、
横浜国立大学、物質・材料研究機構、産業技術総合研究所

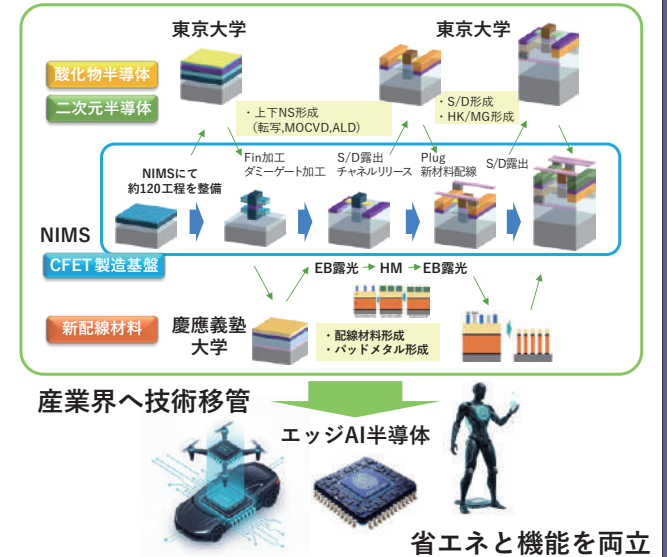


研究開発目標

次世代のエッジAIをデバイス技術で革新し、超省エネチップを実現して、2030年代の持続可能な未来を創る。シリコン半導体と銅配線の限界を超える「新材料」を用いた次世代半導体を開発する。

研究開発概要

技術の核となるのは、シリコンの限界を超える高移動度新材料を用いたGAAトランジスタと、電気抵抗を劇的に抑える新材料配線の導入である。これにより、省エネと高機能を両立する革新的なAIチップの実現を目指す。さらに新材料計算やCFET集積化技術といった共通基盤を同時開発することで、技術の社会実装を加速させる。この革新により、自動運転やロボットなどのエッジAIを使った新産業創出、先端技術開発を通じた半導体専門人材の育成にも大きく貢献する。



※参画機関：JSTと委託研究契約を締結する研究開発機関



科学を支え、未来へつなぐ

例えば、世界的な気候変動、エネルギーや資源、感染症や食料の問題。私たちの行く手にはあまたの困難が立ちはだかり、乗り越えるための解が求められています。JSTは、これらの困難に「科学技術」で挑みます。新たな価値を生み出すための基礎研究やスタートアップの支援、研究戦略の立案、研究の基盤となる人材の育成や情報の発信、国際卓越研究大学を支援する大学ファンドの運用など。JSTは荒波を渡る船の羅針盤となって進むべき道を示し、多角的に科学技術を支えながら、安全で豊かな暮らしを未来へとつなぎます。

JSTは、科学技術・イノベーション政策推進の中核的な役割を担う国立研究開発法人です。

お問い合わせ先



国立研究開発法人科学技術振興機構 (JST)

未来創造研究開発推進部

〒102-0076

東京都千代田区五番町7 K's五番町

X https://x.com/JST_mirai



次世代エッジAI半導体研究開発事業

TEL : 03-3512-3543

E-mail : edge-ai-semicon@jst.go.jp

HP : <https://www.jst.go.jp/program/edge-ai-semicon/index.html>

