

The logo for 'Futuro AI' is centered in the background. It features the word 'Futuro' in a stylized, blue, blocky font, with 'AI' in a similar font to its right. The text is set against a light blue, semi-transparent globe that has a grid of squares and lines, suggesting a digital or technological theme.

次世代エッジAI半導体研究開発事業について

プログラムディレクター(PD) 黒田忠広

自己紹介

氏名：黒田 忠広

所属：

- ・東京大学 特別教授室 特別教授
- ・熊本県立大学 理事長

JSTとの関わり：

- ・次世代エッジAI半導体研究開発事業 PD
- ・ALCA-Next半導体・GC/DX領域 PO

専門分野：

- ・半導体集積回路



次世代エッジAI半導体研究開発事業

目的・概要:

近年、データ処理量の急増に伴い、クラウド側での消費電力の増大が大きな課題となっており、エッジ側での高度な情報処理を可能とするAI半導体の飛躍的な性能向上が必要となっている。本事業では、**アカデミアのシーズを活用することで**、従来では達成困難な超低消費電力等の革新的な次世代エッジAI半導体の実現及びそれを通じたGXの実現に貢献する。

具体的には、超低消費電力等の革新的な次世代エッジAI半導体に必要となる設計、製造、材料などの技術に関して、**既存の産業あるいは2030年代中盤以降に求められる新たな産業からバックキャストした技術**のうち、アカデミアが行うべき技術について、**産業界への速やかな橋渡しを意識した研究開発**を行う。

事業予算：295億円（経済産業省予算）

研究開発テーマ：

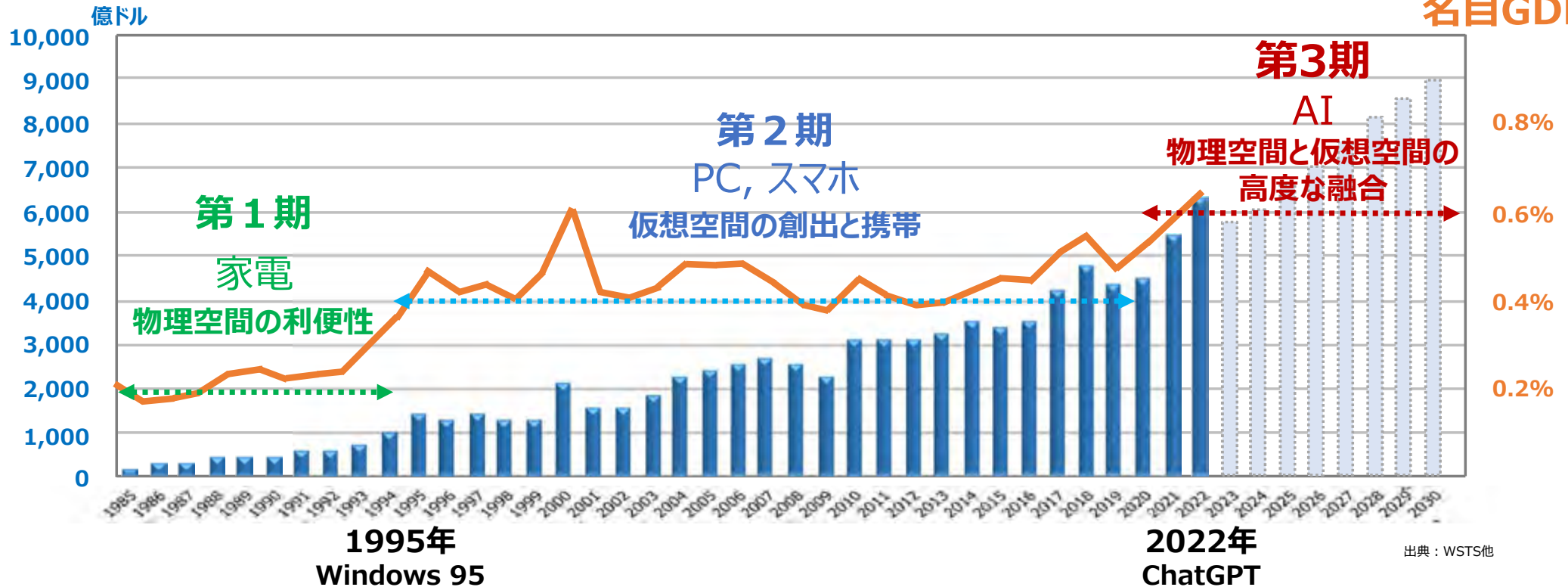
- ① 高効率自動設計による次世代AI回路・システム
- ② 3D集積技術
- ③ 次世代トランジスタ技術

半導体は第3期成長期を迎えAIが市場を創出する

- 第3期成長期を迎え2030年には1.1兆ドル(現在の2倍)の市場が出現する
- AIが半導体の需要を創出し**物理空間と仮想空間の高度な融合**で価値を創る

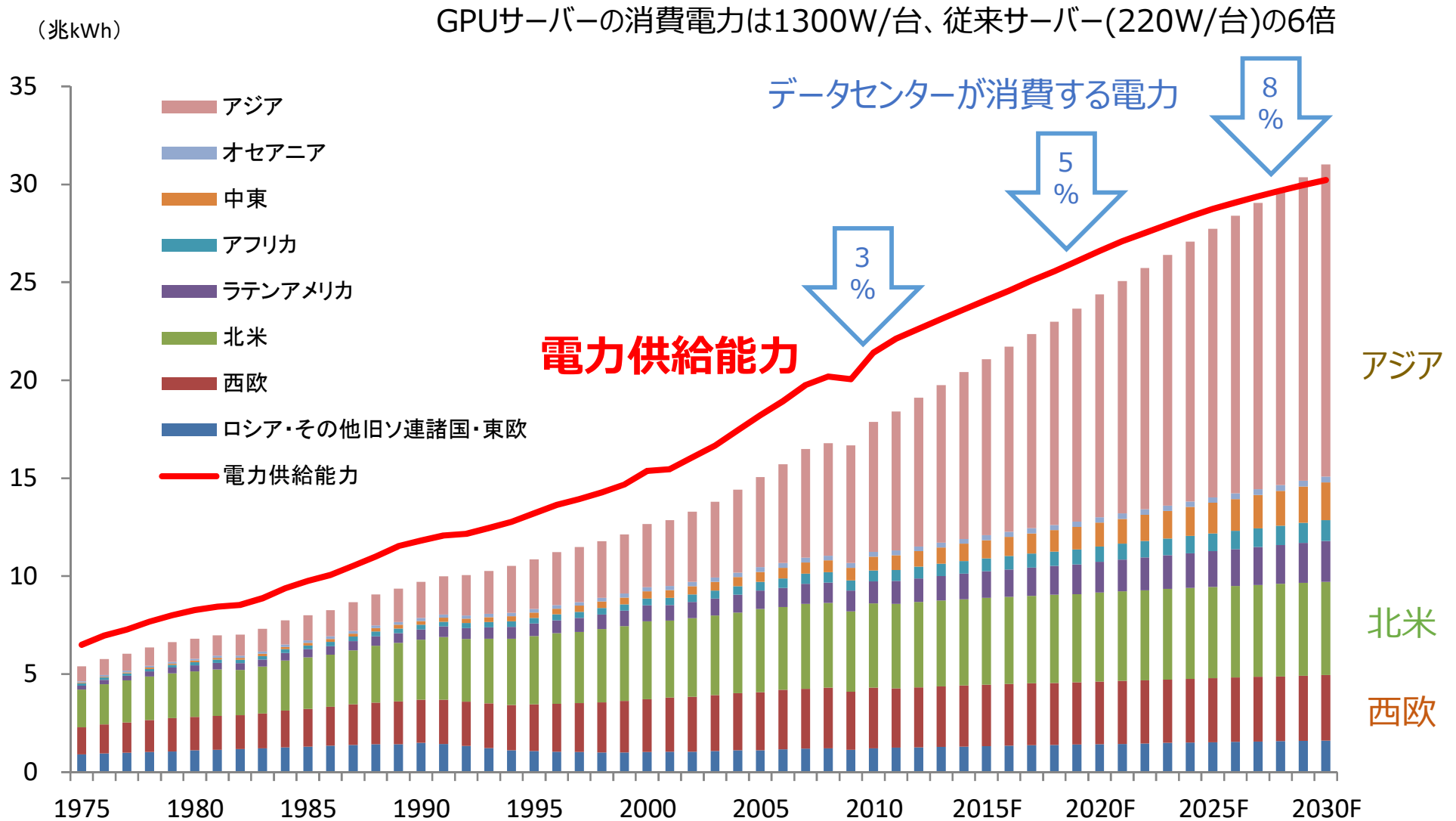
半導体市場

半導体市場 名目GDP



AIがエネルギー危機を招く

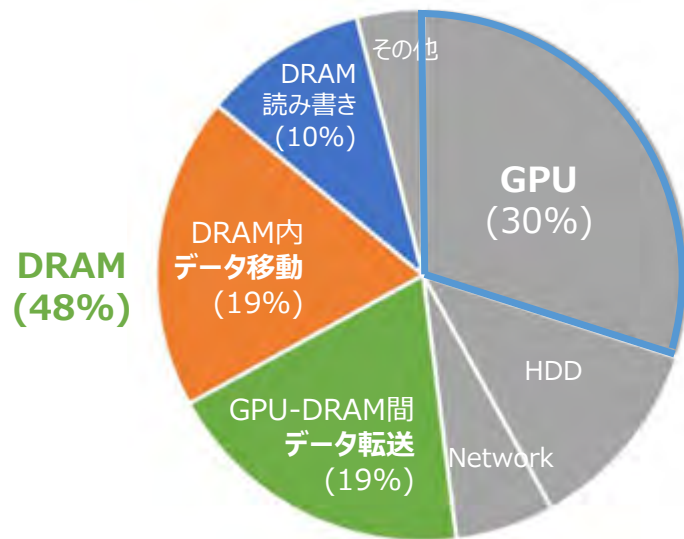
- 2025年以降、世界の電力需給はひっ迫、特にアジアでの電力削減が急務
- 電力の供給能力と半導体の省エネ力が国力の源泉



エネルギー効率改善(1/2): テクノロジー

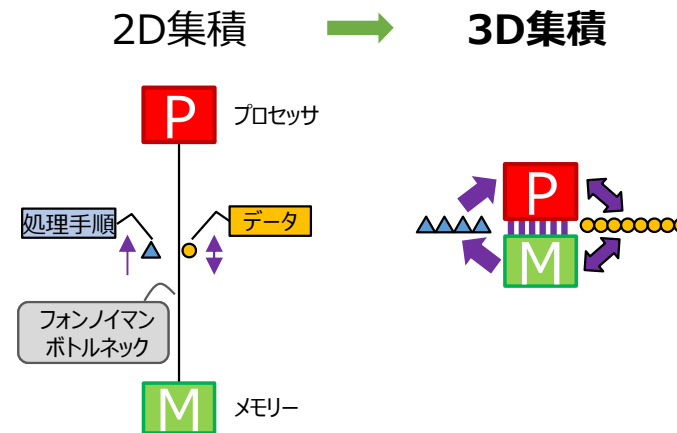
- フォンノイマンボトルネック(DRAMアクセス)が大半の電力を消費、**3D集積**で改善
- GPUの電力低減には**先端トランジスタ**が必要

GPUサーバーの消費電力

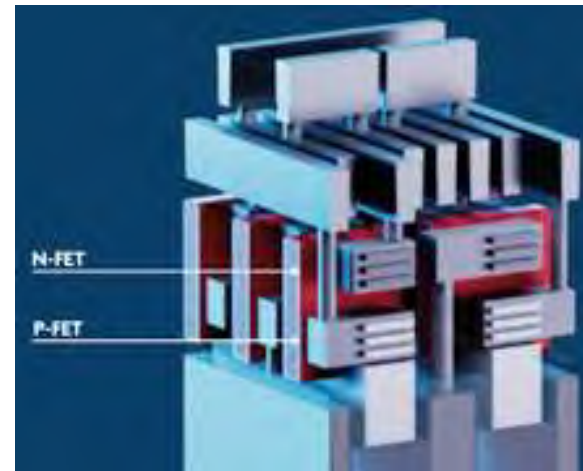


[Ref] ACM Tras. Architecture and Code Opt.vol. 10, Issue 4, pp. 1-25, 2013

3D集積でフォンノイマンボトルネックを改善



先端トランジスタでGPUを低電力化

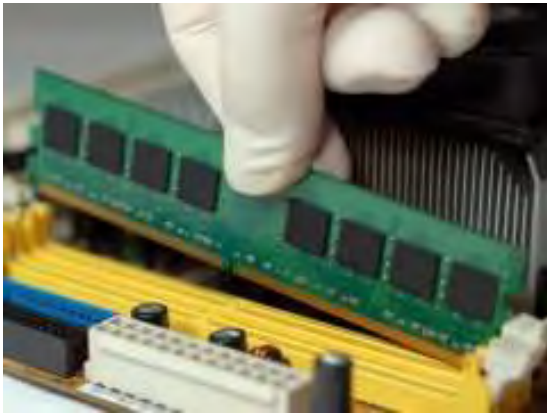


出典: imec

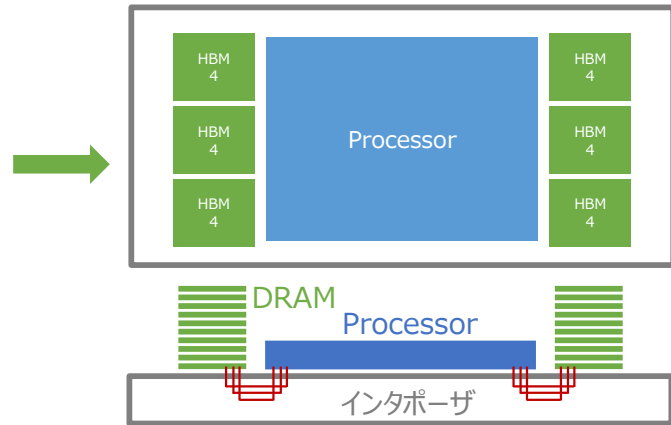
3D集積

- 3D集積でフォンノイマンボトルネックを大幅に改善できる
- 課題は抜熱、パッケージの構造改革と材料探索が必要

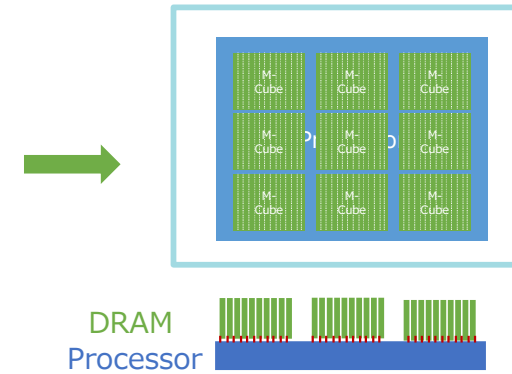
2D (DDR-DIMM)



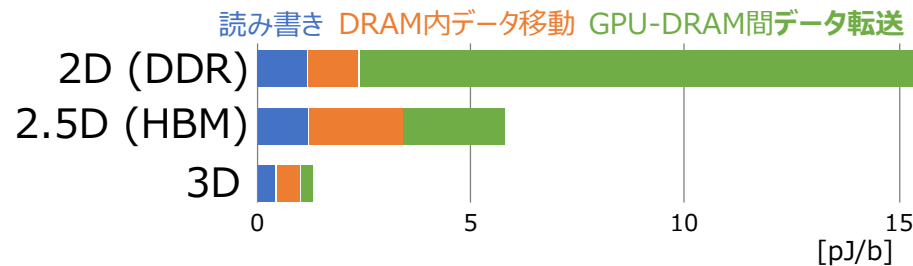
2.5D (HBM-PiM) Processing-in-Memory



3D (PoM) Processing-on-Memory

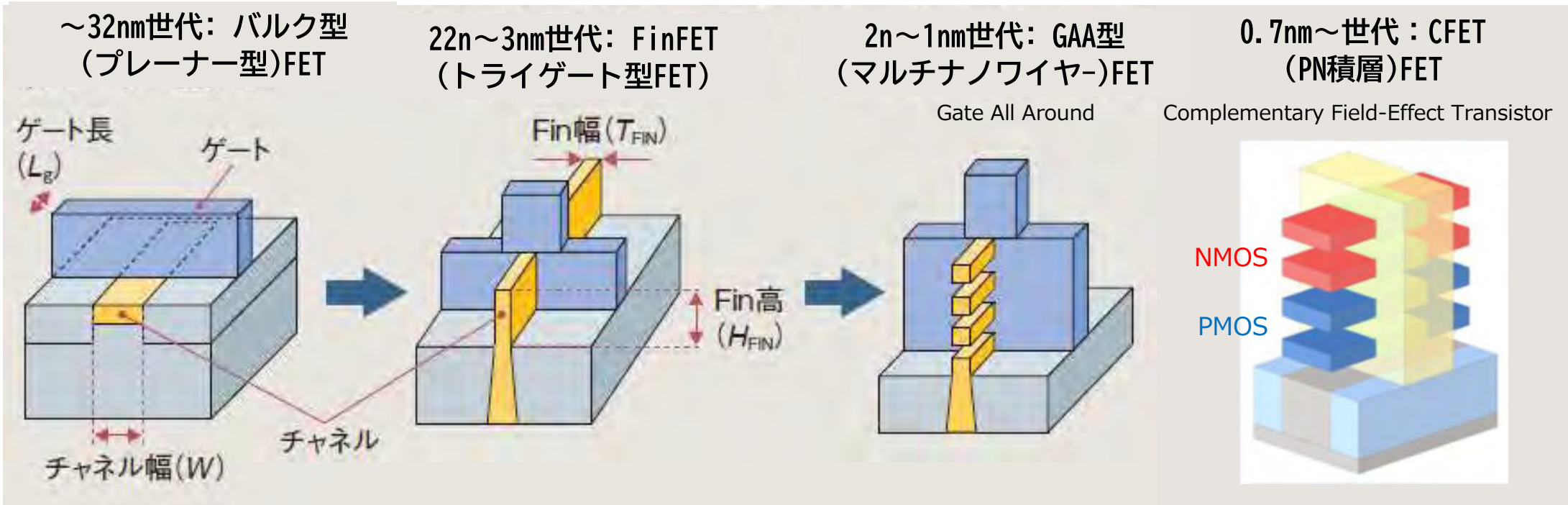


DRAMの消費エネルギー



[Ref] M. O'Connor (NVIDIA), "Fine-Grained DRAM: Energy-Efficient DRAM for Extreme Bandwidth Systems," *IEEE/ACM International Symposium on Microarchitecture*, 2017.

次世代トランジスタ



出所: Eetimes2024年04月11日などを参考に発表者が作成

ゲートの支配力を高める構造改革

バルク(1本の指で押す) → Fin(2,3本の指で挟む) → GAA(5本の指で握る)

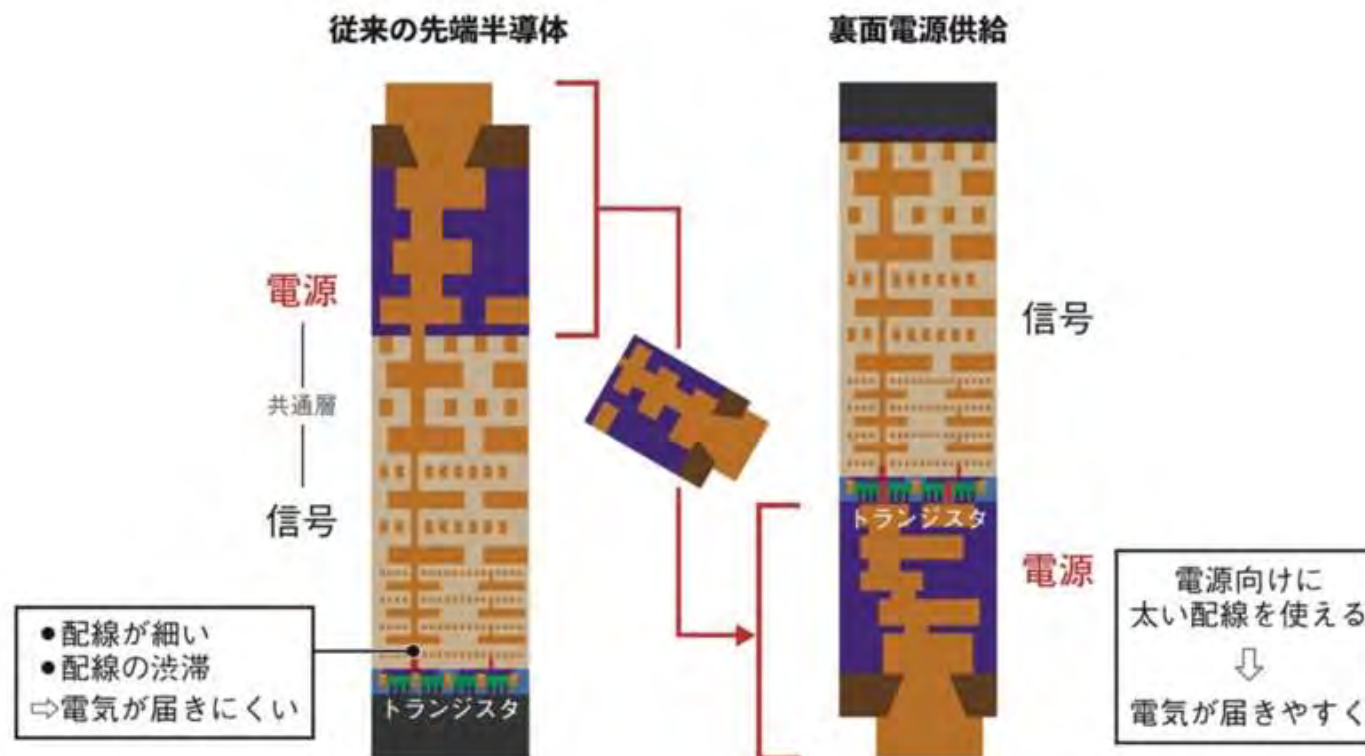
NMOSとPMOSを積層する構造改革

チャンネル薄化で低下する移動度を改善するチャンネル材料探索

酸化物半導体: 原子層堆積法(ALD)を用いて平坦度を高め、低欠陥密度で成膜

二次元半導体: 原子レベルで平坦かつ低欠陥密度、表面散乱がなく高移動度

配線の構造改革と材料探索



出所：日経クロステック2024.07.05

電源線の電力供給能力を高める構造改革

裏面電源供給 BSPDN (Backside Power Delivery Network)

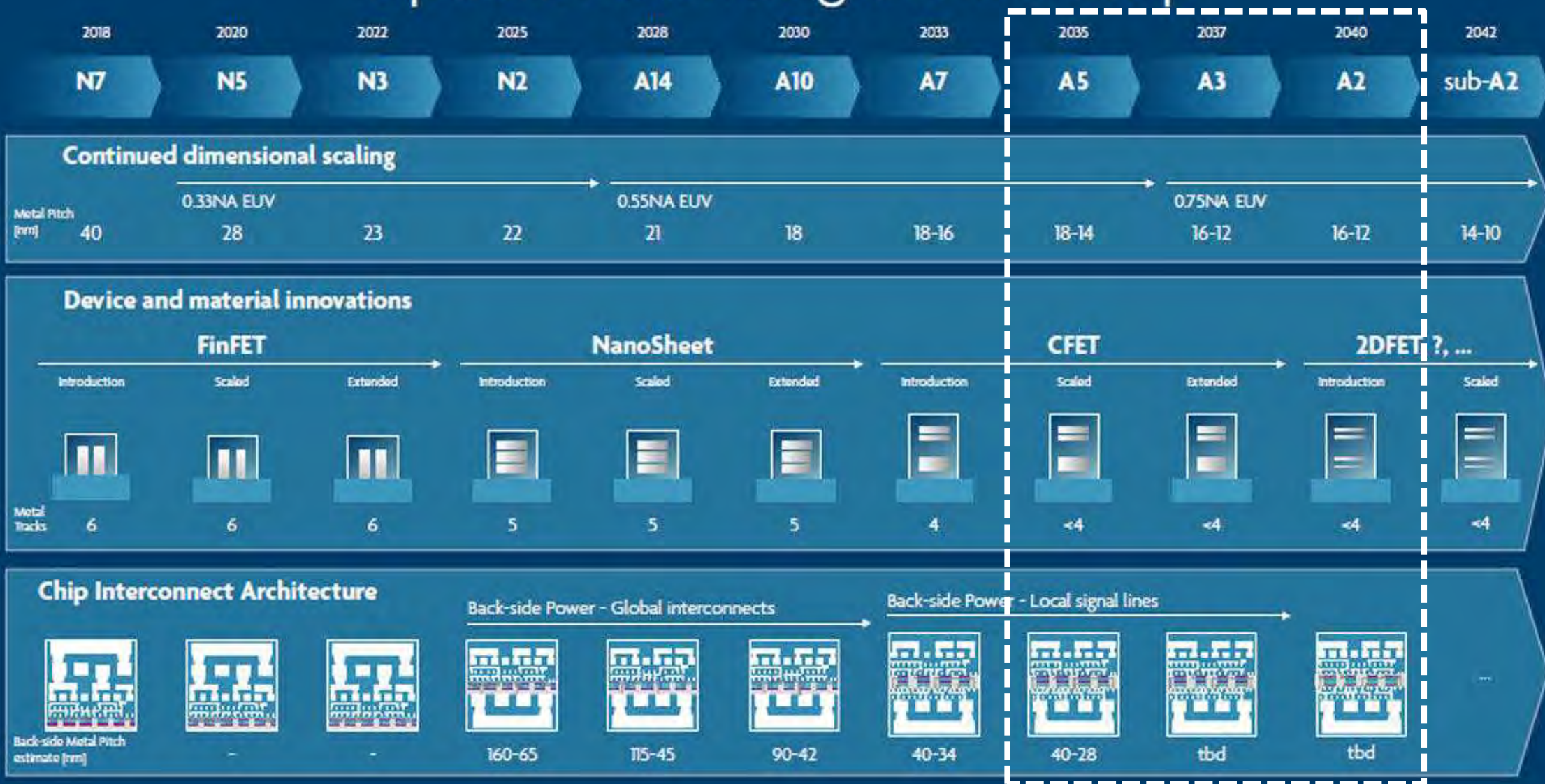
信号線の高密度化を高める材料探索

低抵抗配線層 (Cu代替新材料, トポロジカル絶縁体)

テクノロジーロードマップ

出典 : ITF World 2025 imec

Options extending the roadmap



エネルギー効率改善(2/2) : 設計

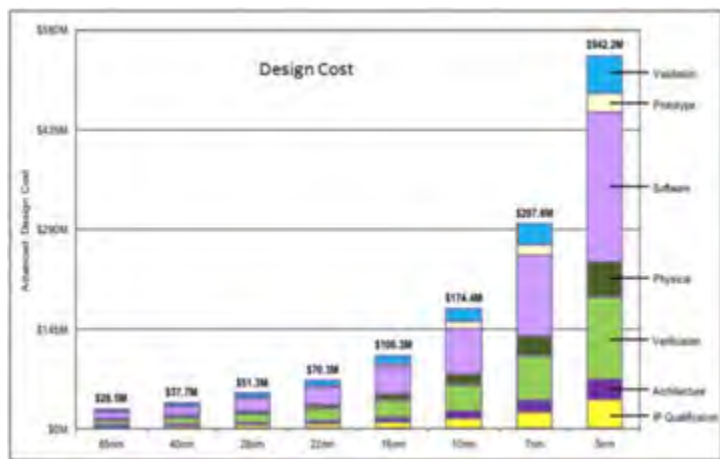
- ASIC(専用チップ)は汎用チップに比べて桁違いにエネルギー効率が高い
- ASICの設計コストが急増、設計効率の改善が必須 (AIを用いてAIの進歩に追いつく)

Etched.aiのAIチップ「Sohu」は160個のNVIDIA H100 GPUに相当する処理能力

Transformer特化型ASIC、HW/SWをスリム化

Transformer(2017年発表)は自然言語処理などの基本アルゴリズム

設計コストは微細化と共に飛躍的に増大



出典 : UCie White Paper

5nmの場合

200人, 2年, 800億円

4ヶ月, 20億円

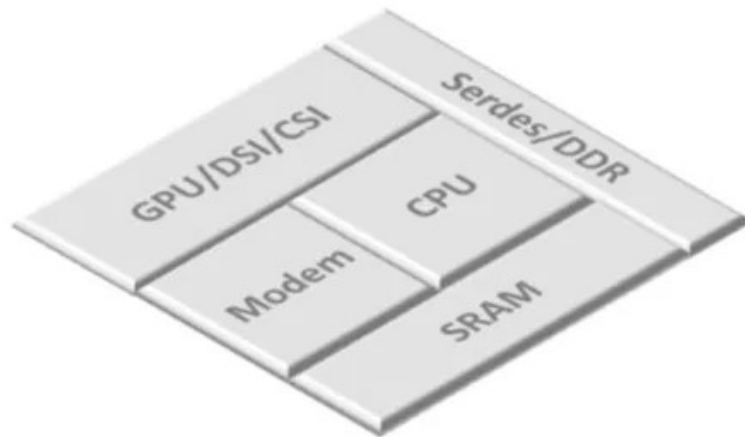


チップレットの活用
AIを用いた自動設計

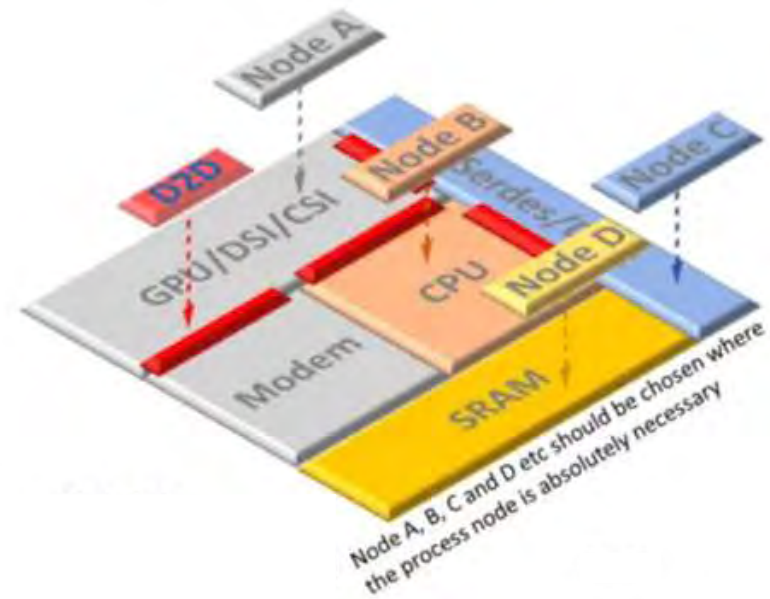
製造QTAT
Rapidus

チップレット

- レゴ®ブロックのようにチップを組み合わせるパッケージに集積する
- 過去のチップを活用することで新規のチップ開発に集中できる
- 先端パッケージ技術とAIを用いた自動設計への研究開発投資が必要



Monolithic

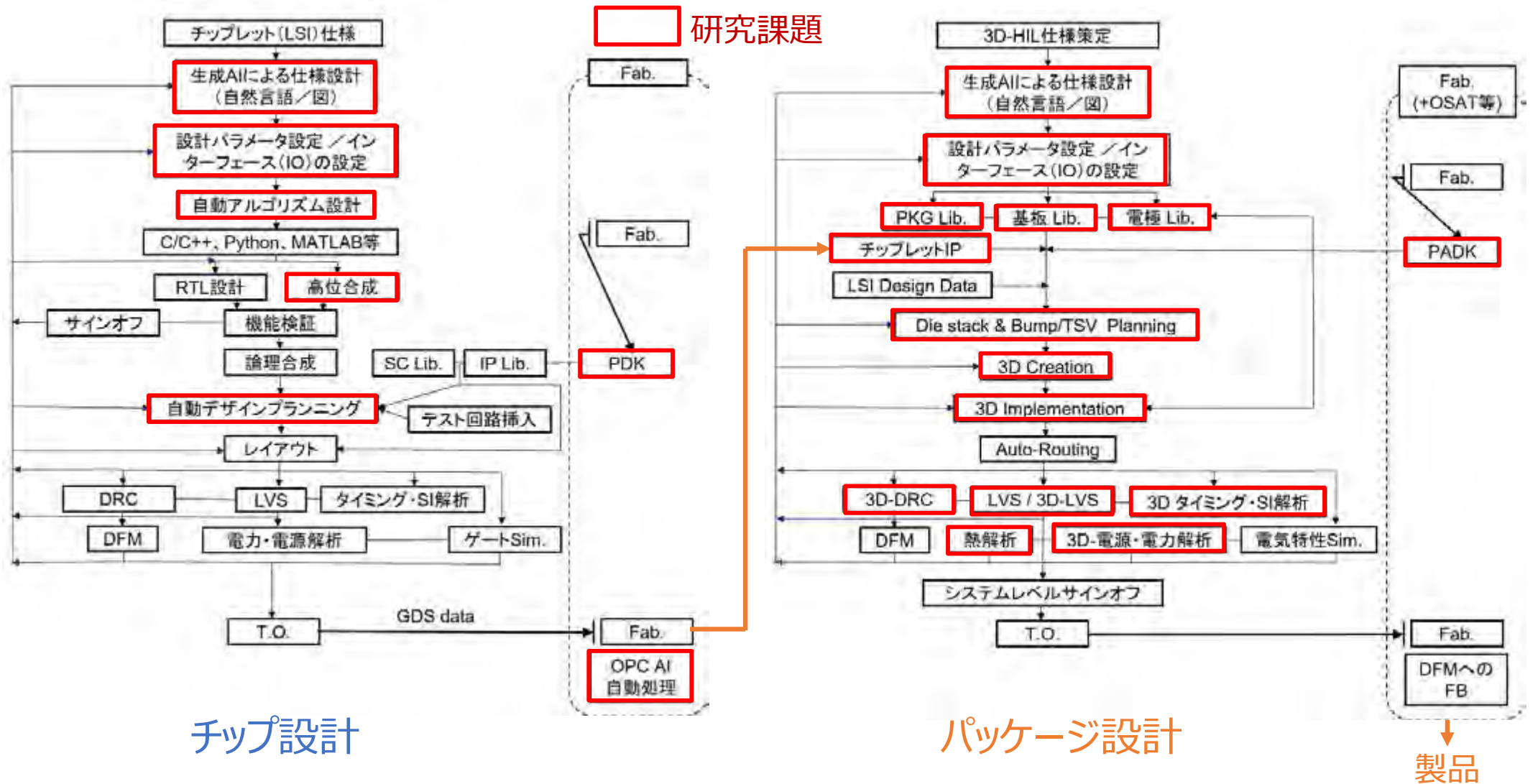


Chiplet

出典 : SE-Ho You (Samsung), "From Package-Level to Wafer-Level Integration", IEDM2020, SC1

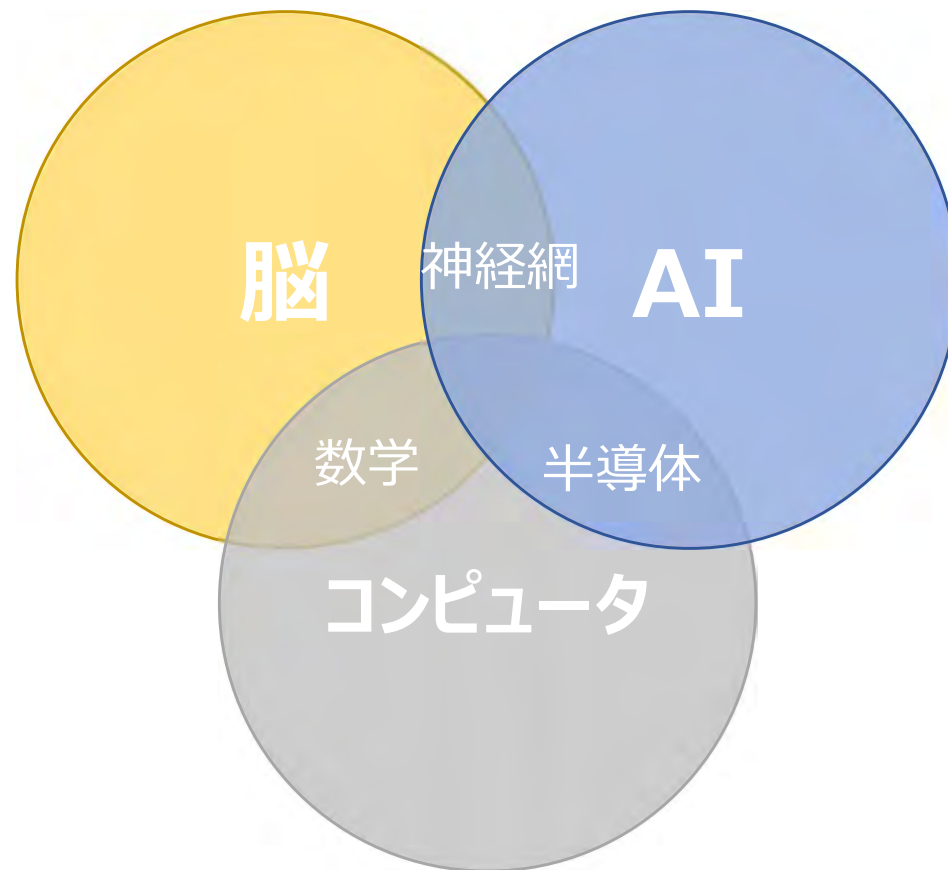
複雑になる設計フロー

- チップ設計と同程度にパッケージ設計が複雑になる
- EDAの研究課題が山積、米国に依存している点が日本の課題（逆チョークポイント）



AI半導体のユースケース創出

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 9万年前 阿蘇カルデラの出現
- 🕒 3,000年前 数学の誕生
身体性を脱ぎ棄てて抽象化
- 🕒 20世紀 コンピュータ誕生
 - 1948年 半導体トランジスタの発明
 - 1949年 ノイマン型アーキテクチャの発明
 - 1958年 集積回路の発明
- 🕒 1980年～ ムーアの法則で成長
- 🕒 2010年
 - トランジスタ数 > 脳の神経細胞数
 - エネルギー限界
 - AI誕生
- 🕒 2020年 生成AI・LLM
- 🕒 **2025年 民主化、イノベーション加速**
- 🕒 **2030年 身体を備えて高度な知能を獲得
人類と対峙**



民主化がイノベーションを加速する

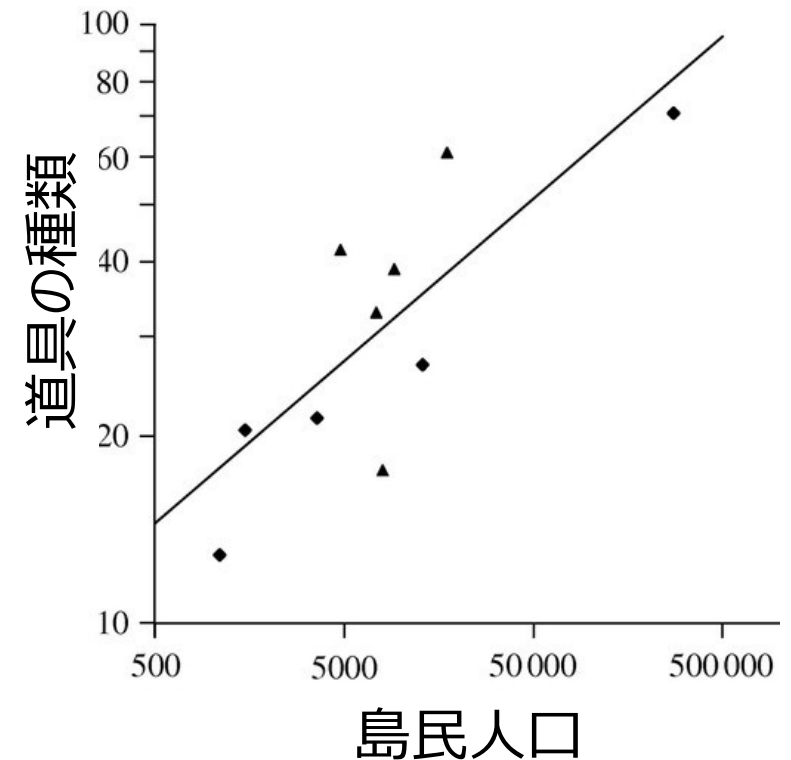
- イノベーションはアイデアの交配で生まれる
- 集団脳がイノベーションを加速する

- 現代の道具は多くの人々のアイデアと多くの材料が組み合わせられて構成される



『繁栄 明日を切り拓くための人類10万年史』マツ・リドレー

- 南太平洋で人口が多い島ほど多くの道具が用いられている（集団脳）



ハーバード大学の人類進化生物学者 ジョセフ・ヘンリック教授
"Population size predicts technological complexity in Oceania"

本事業の位置づけと狙い

○次世代半導体のアカデミアにおける 研究開発等に関する検討会（R6文部科学省）

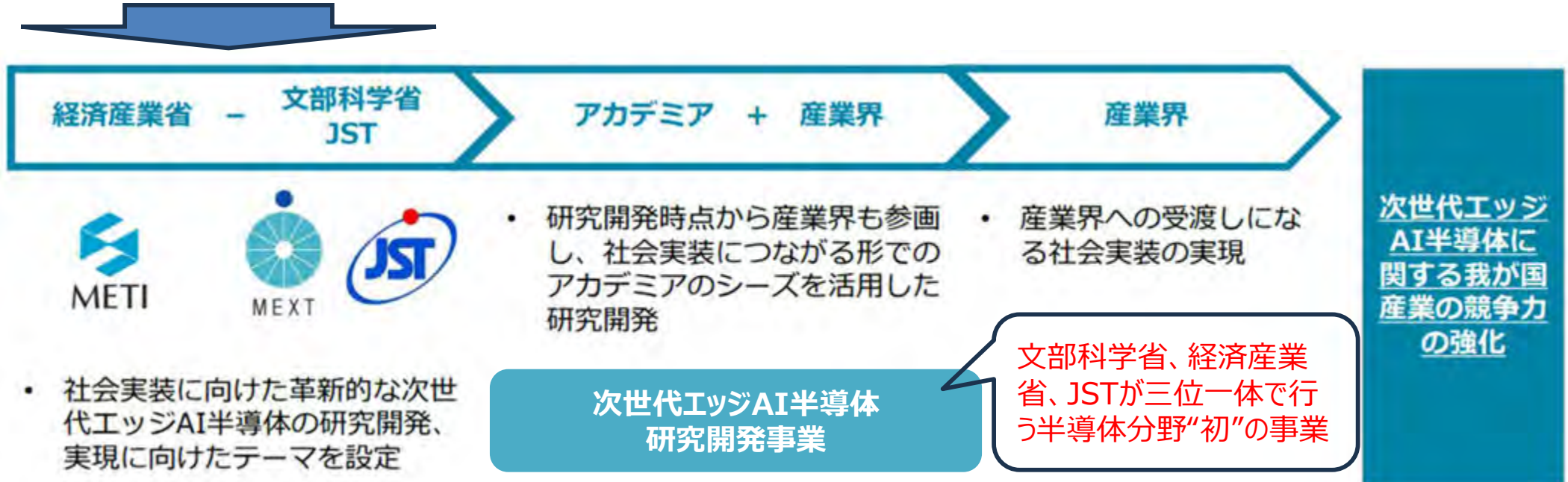
- 半導体分野の日本のアカデミアの現状認識・課題を整理し、研究開発・研究基盤・人材育成の取り組み方針を提示
- 今後重点的に取り組むべき研究開発課題（重点項目）として、「次世代エッジAI半導体」を提示

日本の弱み：設計、アプリから半導体に落とし込むシステム化力。先端ロジックの研究開発力、人材育成

日本の強み：装置、材料メーカーの国際競争力。自動車・ロボット等のユースケースの産業競争力

次世代エッジAI半導体創出に向けて、アカデミアが取り組むべき方向性

- ①ユースケースを想定した研究開発
- ②エネルギー効率改善等の国家として必要な技術に注力
- ③産業界等と緊密に連携し、アカデミアの総力を結集した統合的な研究開発



研究開発テーマ

テーマ① 高効率自動設計による次世代AI回路・システム

- 具体的ユースケースを想定した新たなAI半導体アーキテクチャと高効率自動設計技術の創出を目指す
- チップレット、ニアメモリコンピューティング、軽量AIモデル・アーキテクチャ等の幅広いレイヤーを横断した研究開発の推進
- チップ設計の民主化（設計人材の裾野の拡大、人材育成）への貢献



PO:本村真人
(東京科学大学)

テーマ② 3D集積技術

- 熱問題を考慮した異種の半導体チップの3D集積技術の創出を目指す
- 低温ハイブリッド接合、低電力化基板・高密度再配線技術、検査・評価技術等の3D集積・パッケージ技術や熱管理（排熱・放熱）技術の研究開発の推進
- 社会課題となっているPFAS対応も考慮した研究開発の推進



PO:浅野種正
(九州大学)

テーマ③ 次世代トランジスタ技術

- Beyond 1nm世代を見据え、従来のシリコンに代わるチャネル材料およびチャネル周辺材料、微細配線材料を駆使した次世代トランジスタ技術の創出を目指す
- 二次元半導体、酸化物半導体等の新規チャネル材料・ゲートスタック技術、微細配線材料およびその配線技術、新構造トランジスタの研究開発の推進



PO:川崎雅司
(東京大学/理化学研究所)

採択課題一覧

上段：研究開発課題名
下段：研究開発代表者氏名

ローカルLLM支援によるエッジAI半導体の次世代高効率設計基盤の創出

石原 亨（名古屋大学）



アナデジ混載型エッジAI SoC設計技術の研究開発

岡田健一（東京科学大学）



ユースケース駆動による機能分化型フィジカルAIチップ設計

川原圭博（東京大学）



AIによるAIのためのAI回路設計自動化技術

小菅敦丈（東京大学）



AI for Science のためのエッジの智能化加速

泰地真弘人（理化学研究所）



環境循環型3D集積半導体製造革新と拠点形成

井上史大（横浜国立大学）



エッジAI半導体を実現する3Dヘテロ集積技術

田中 徹（東北大学）



新構造・新材料トランジスタと低抵抗配線の研究開発

多田宗弘（慶應義塾大学）



採択課題のポートフォリオ

- 設計（テーマ①） 5件、3D集積（テーマ②） 2件、デバイス（テーマ③） 1件
- 研究機関 **34** 拠点、研究者約 **500** 名が参画

テーマ	戦略	課題	技術領域	目標・応用	代表者	研究開発課題名
①設計	ASIC	自動設計	システム	ユースケース創出	川原圭博 (東京大学)	ユースケース駆動による機能分化型フィジカルAIチップ設計
			アーキテクチャ アルゴリズム	サイエンス貢献	泰地真弘人 (理化学研究所)	AI for Scienceのためのエッジの智能化加速
			デジタルメモリ	ロボット	小菅敦丈 (東京大学)	AIによるAIのためのAI回路設計自動化技術
			アナログ	センサ信号処理 無線接続	岡田健一 (東京科学大学)	アナデジ混載型エッジAI SoC設計技術の研究開発
			EDA	EDA用LLM	石原亨 (名古屋大学)	ローカルLLM支援によるエッジAI半導体の次世代高効率設計基盤の創出
②実装	3D	抜熱	チップレット	インターポーザあり	田中徹 (東北大学)	エッジAI半導体を実現する3Dヘテロ集積技術
			3D実装	インターポーザなし	井上史大 (横浜国立大学)	環境循環型3D集積半導体製造革新と拠点形成
③デバイス	CFET配線	構造・材料 低抵抗化	トランジスタ配線	A5世代以降	多田宗弘 (慶應義塾大学)	新構造・新材料トランジスタと低抵抗配線の研究開発

研究成果の発表目標

- 事業期間全体で、ISSCC 19件、IEDM 25件、VLSIシンポジウム 47件、ECTC 37件
- 日本の発表件数をV字回復させる

発表論文数 日本/全体

ISSCC

2025 8/246

2020 11/202

2015 25/204

IEDM

2025 20/295

2020 17/231

2015 21/226

VLSIシンポジウム (TechnologyとCircuitsの合計)

2025 22/251

2020 23/196

2015 27/182

ECTC

2025 31/381

2020 19/347