

■研究成果 研究開発テーマ1：スピントロニクス素子の高信頼性及び集積性・省電力性の向上の実現（つづき）

研究開発課題1-2 新構造スピントロニクス素子による超省電力型新機能デバイスの実現

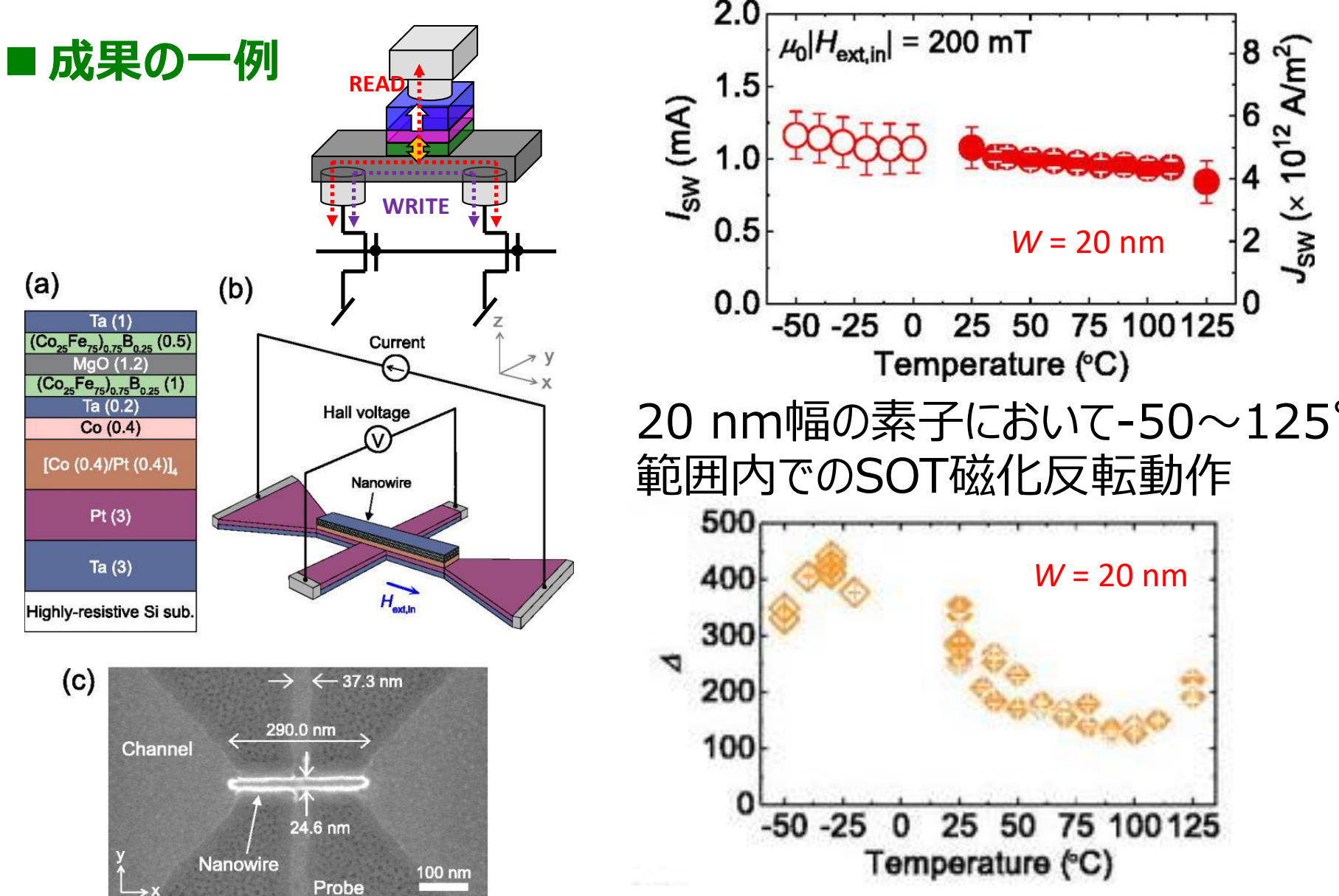
課題の目標

広い動作・保持温度範囲を有する高熱安定性SOT-MRAM素子技術の開発

達成内容

・磁化反転の閾値電流がダンピング定数と独立に決まるという**SOT磁化反転特有の性質を解明**、利用し、Co/Pt積層膜においてSOT磁化反転を観測した。20 nm幅の素子において**-50～125℃の範囲内**でのSOT磁化反転動作、**120を上回る熱安定性指数などを実証**した。
⇒**400℃の熱処理耐性と熱安定性を達成するための開発指針**

■成果の一例



(a) Schematic of the SOT-MRAM device structure. (b) Graph of current density J_{SW} (mA) vs temperature (°C) for $W = 20$ nm. (c) Graph of current density J_{SW} (mA) vs temperature (°C) for $W = 20$ nm.

(B. Jinnai et al., APL, 2018)

■新規性・優位性

- SOT素子はSTT素子とは異なり、**低ダンピング材料を用いる必要が無い**。
⇒高磁気異方性&高ダンピング材料を使用可能。
- ナノスケールCo / Pt多層膜を使用したSOTスイッチングデバイスが**微細領域でも広範囲の温度で動作可能**
⇒自動車や航空宇宙を含むさまざまな応用に対応。

■研究成果 研究開発テーマ2：スピントロニクス不揮発性集積回路による飛躍的な低消費電力化及び測定技術の実現

研究開発課題2-1 超低消費電力化のための回路技術の確立

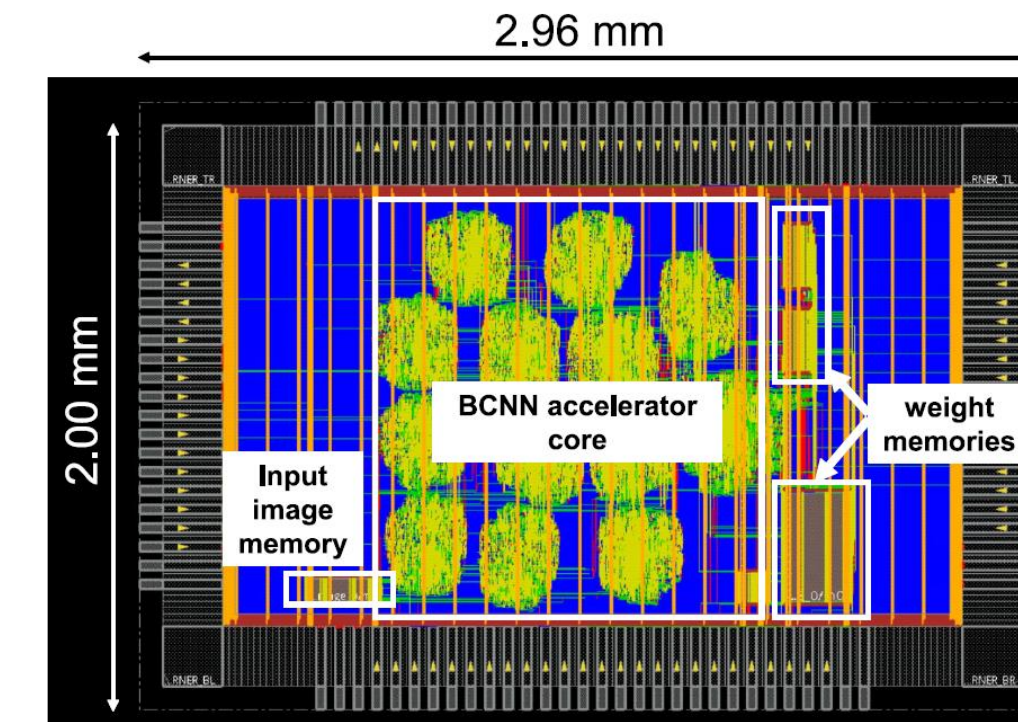
課題の目標

不揮発論理集積回路の最適設計手法を確立し、不揮発ロジックの設計技術向けプラットフォームを構築する。

達成内容

- 不揮発FPGAの回路IP群ならびにそれらを有効に活用するためのCADツール群一式が揃った。
- 低消費電力不揮発FPGAの開発
⇒FPGAをアクセラレータとして搭載した不揮発マイコンは車載をはじめとする種々のエレクトロニクス産業への応用

■成果の一例 応用展開：省電力AIハードの実現



膨大な内蔵データ転送が必須→新しい**シフト演算回路**の提案で**省エネ化**に成功。
・処理に応じて待機回路ブロックが多数→**PG制御で無駄な電力消費を削減**。

■新規性・優位性

・1枚の画像処理にかかる総エネルギー

	SRAM-FPGA-based (Conventional)	NV-FPGA-based (proposed)
Active energy [uJ]	15.6	14.4
Standby energy [uJ]	27.4	4.97(0)
Total energy [uJ]	42.9	19.4(14.4)

(J)内はパワーゲーティングした場合

45nm CMOS/MTJ technologies
動作周波数: 100MHz frequency
SPI/ECCミューレーションで得た基礎データからExcelを用いて試算

・画像入力力を30psと仮定すると稼働率は2.05%

	SRAM-FPGA-based (Conventional)	NV-FPGA-based (proposed)
Active energy [uJ]	15.6	14.4
Standby energy [uJ]	1347.6	250.5(0)
Total energy [uJ]	1363.2	264.9(14.4)

実時間処理 (30fps) 応用で、消費エネルギーを**1/100以下**に大幅削減
(D. Suzuki, et al., NOLTA, IEICE, Oct. 2021. 他)

研究開発課題2-2 スピントロニクス集積回路製造のための高効率、高精度加工プロセスの実現

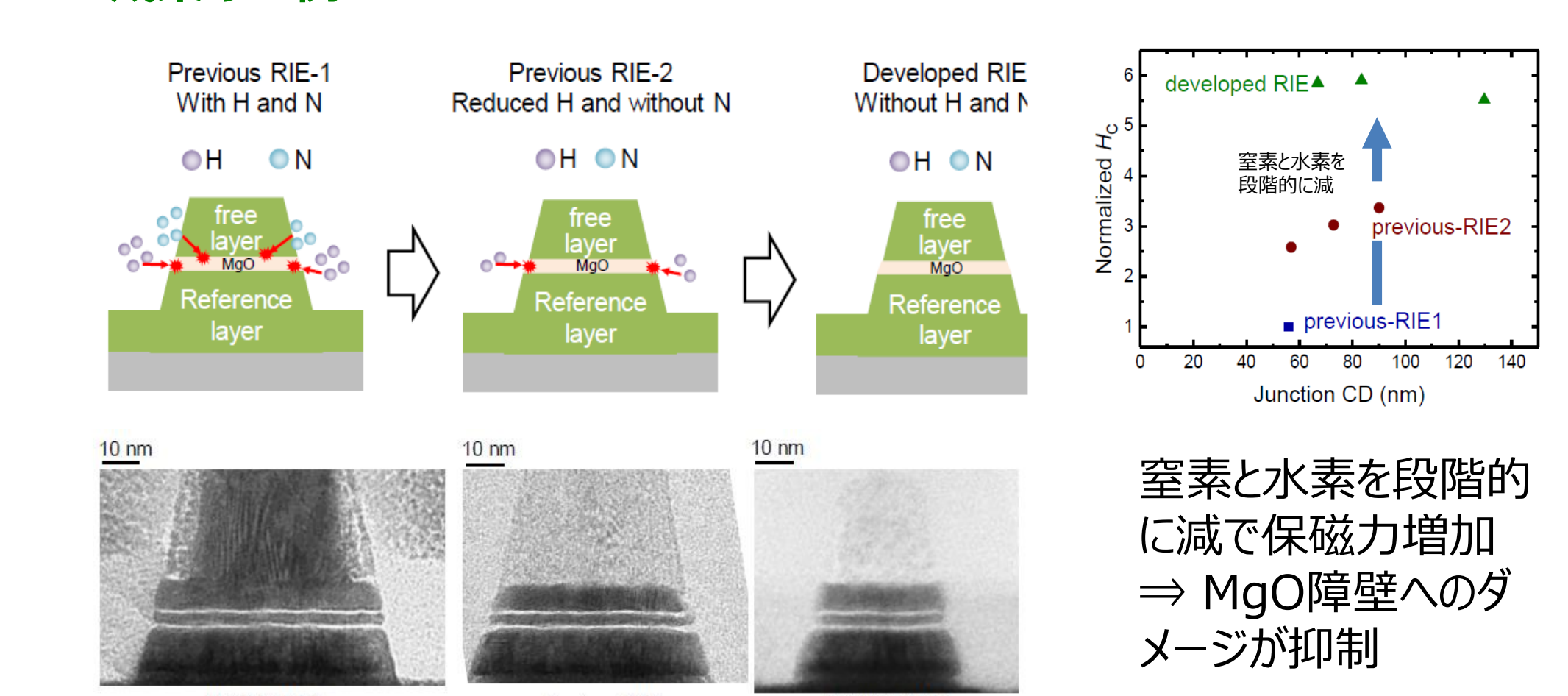
課題の目標

デバイススケールで磁気トンネル接合における磁気特性を評価するための手法を確立する。

達成内容

- 新規エッチングプロセス** (300mmウェハ対応)の四重界面MTJ素子への導入により、側壁ダメージの実現を通して、18 nmの接合直径において、1兆回にせまる**高い書き換え耐性と保持特性**(10年以上データ保持)を両立
- 当初計画した3端子素子作製技術だけでなく、次の集積レベルを念頭に高い熱安定性、情報保持特性、書き込み特性を実現し得る材料を発見

■成果の一例



Previous RIE-1 (CD = 65 nm), Previous RIE-2 (Reduced H and without N), Developed RIE (Without H and N)

窒素と水素を段階的に減
⇒ MgO障壁へのダメージが抑制

■ 水素および窒素を用いない**新規エッチングプロセス**を用いることにより、**MgO障壁へのダメージが劇的に抑制**させた。
(引用文献)H. Sato et al., IEDM18-611 (2018).

■新規性・優位性

300mmウェハ対応のプロセス装置群を用いて、プロセス条件とデバイス特性を決める磁気特性をデバイススケールで評価する研究開発は国内外で行われていない。加えて、同研究開発により得られる高精度・高効率プロセスの指針は、産業界にとって非常に有益なものとなる。

研究開発課題2-3 スピントロニクス素子の高効率、高精度特性評価手法の確立

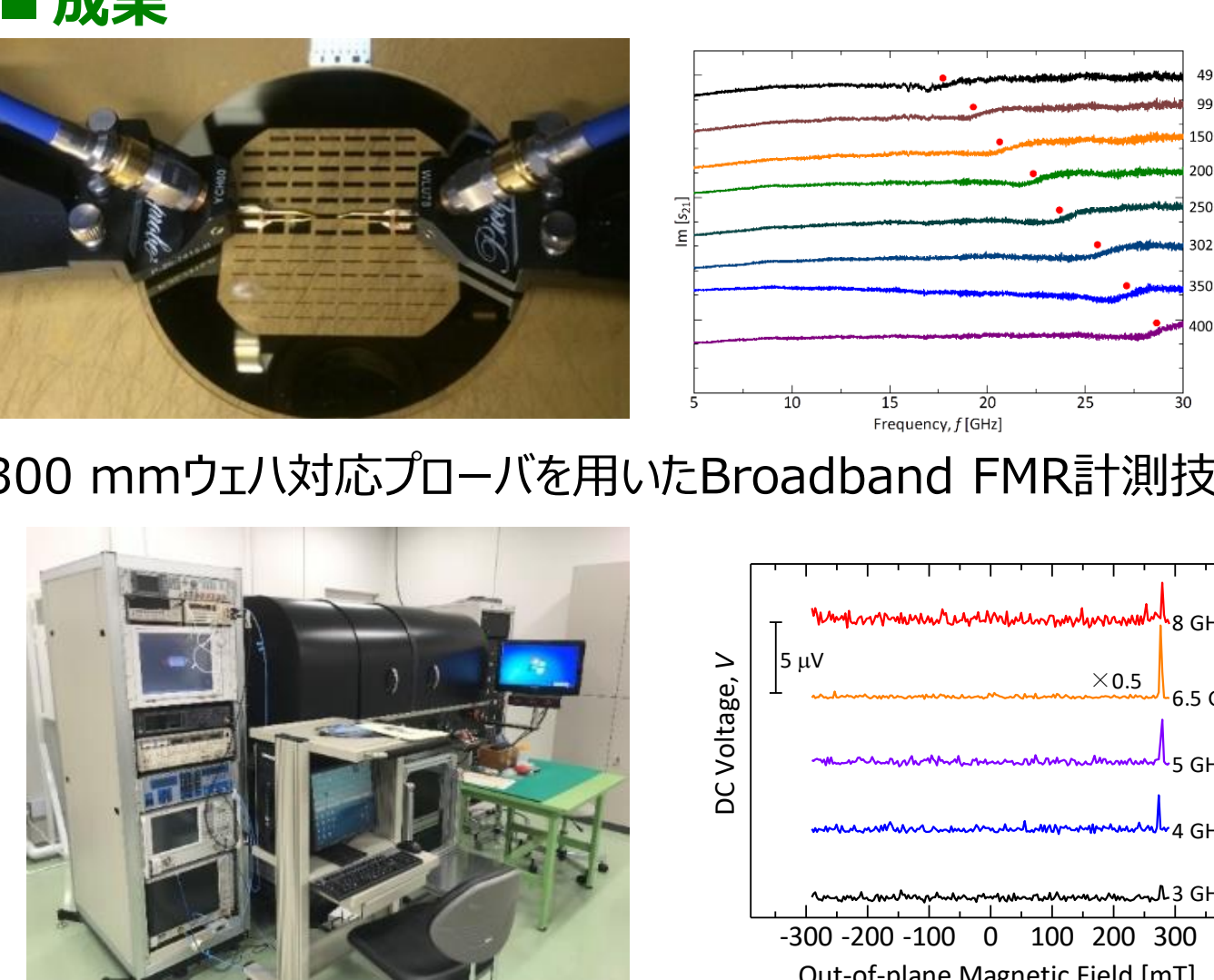
課題の目標

熱的なゆらぎ等の素子固有の特性など、スピントロニクス素子に対応した新たな特性計測手法、計測装置を確立するための確立すること

達成内容

- Broadband FMR計測技術**による素子用薄膜の**高周波磁気特性評価**手法および、**ホモダイン検波**を用いた**MTJ素子の磁気特性評価**を構築
- 産業界と互換性のあるシステムを用いた**熱安定性評価用**の自動計測ソフトウェア開発とその高度化
- 応用で想定される動作温度範囲での高効率にデバイス特性の測定という産業界からの要請⇒**温度印加**に伴う熱膨張でのプローブ位置ずれ補正の機構開発を含む**300mmウェハ対応の高効率自動計測システム**を構築

■成果



300 mmウェハ対応プローブを用いたBroadband FMR計測技術

300 mmウェハ上には作製した試料(面直構造)において、**磁性層の高周波磁気特性を検出** (課題2-2と連携)

300 mmウェハ対応プローブを用いたホモダイン検波による磁気特性測定系

■新規性・優位性

産業界と互換性がある**300mmウェハ対応測定装置を用いたこれまでの豊富な研究開発実績**に加えて、産学共同企業と連携して、**STT-MRAM用MTJ素子評価ソリューションを開発する等の技術アドバンテージ**がある (技術シーズ)。

課題2-2と連携した300mm対応プロセス装置で作製した素子の評価、課題2-4と連携したメモリアレイでの特性評価との関係についての知見の取得ができるために、**プロセス～単体素子評価～メモリアレイ評価に至るまでを一貫して行える** (保有技術を利用した有機的な連携)。

研究開発課題2-4 スピントロニクス集積回路の高効率、高精度特性評価手法の確立

課題の目標

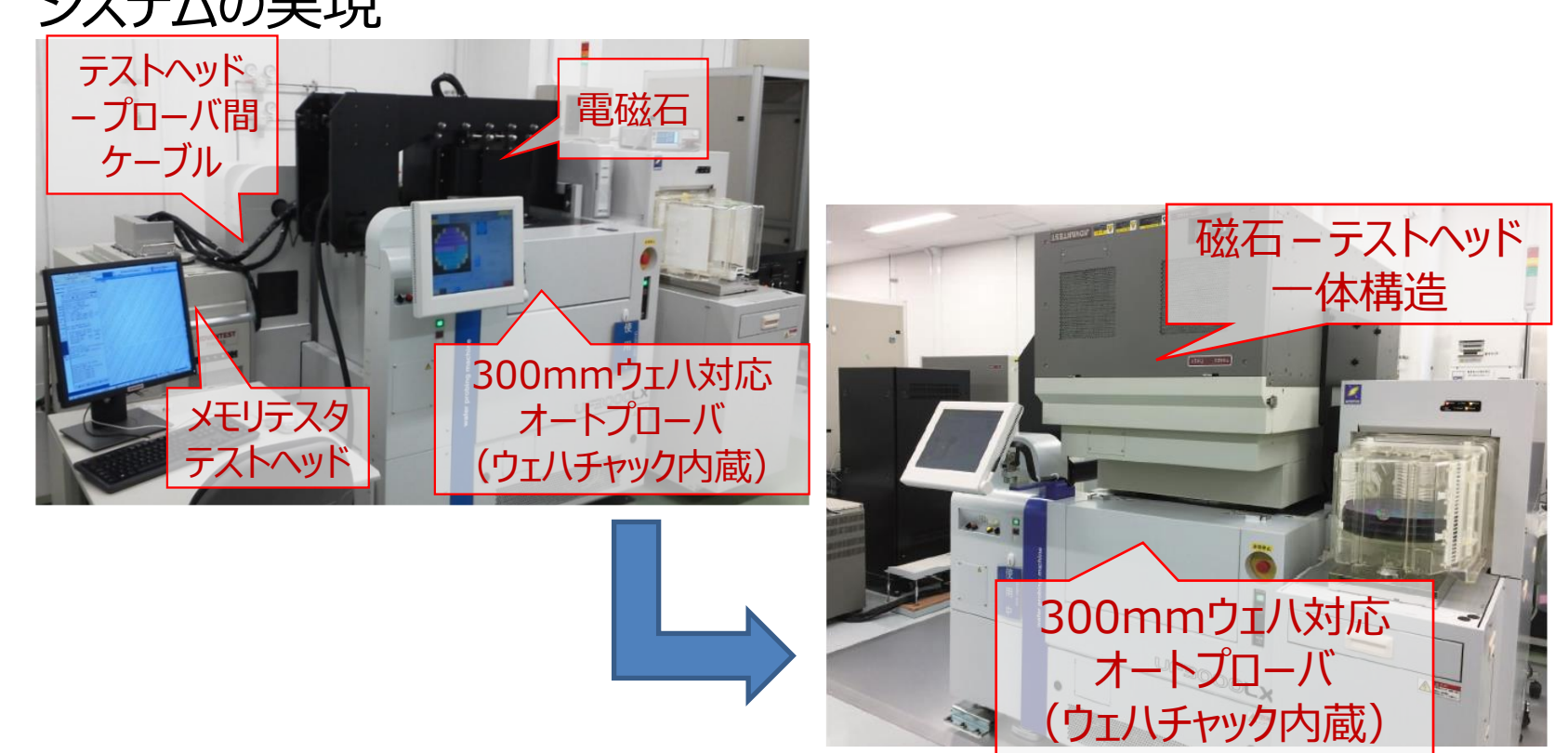
スピントロニクスデバイス搭載集積回路の特性の計測時に、熱的なゆらぎ等の素子固有の特性等、**MRAMに対応した新たな計測手法、計測装置等の確立**

達成内容

【第一世代】
目標磁場印加性能 強度±160mT, 均一度≤5% @50mm□、磁石-テストヘッド一体型構造で達成。
【第二世代】
磁石-テストヘッド一体型構造は維持しつつ、目標磁場印加性能 (磁場印加と併用の-40～+125℃対応、および測定エリア拡張と温度変化に対応したプローブカード開発) が達成

■成果

実用化に必要な磁石-テストヘッド一体型 磁場印加テストシステムの実現



テストヘッド-プローブ間ケーブル、電磁石、メモリスタテストヘッド、300mmウェハ対応オートプローブ(ウェハチャック内蔵)、300mmウェハ対応オートプローブ(ウェハチャック内蔵)

[1] SEMICON West 2020(Virtual), 2021(Hybrid) および田村 他, 東京大学 第15回 D2Tシンポジウム, 2020年9月17日

■新規性・優位性

テスト項目	従来の電氣的テストシステム	磁場印加テストシステム	備考
外部磁場に対する耐性試験	×	○ (可能)	MTJは磁気デバイスであるため、従来のCMOS集積回路では不要であった外部磁場への耐性試験が必須。
磁気記憶機能スクリーニング	△ (可能だが、不良検出効率が磁場印加テストシステムより低い)	○ (可能)	外部磁場を強制印加することでマージンの小さいセルをスクリーニング可能。電気的な負荷によるスクリーニングも不可能ではないが、磁性体以外の回路動作にも影響を及ぼすため、純粋な磁気特性に対するスクリーニング効果は低い。
磁場一括書き込みによるテスト時間短縮	記憶容量×書き込み時間のトレードオフ	~100Mb以上では磁場印加テストシステムの方が短時間に有利。	

磁場均一度≤5%@50mm□, <1%@10mm□を達成した。(プロトタイプ機における磁場均一度≤2.5%@10mm□)

■研究成果 研究開発テーマ3：GaN on SiとSiパワーデバイスを融合したGaN/Siハイブリッドパワー集積回路の実現

研究開発課題3-1 Si(100)基板上における高品質GaN結晶の成長技術の確立

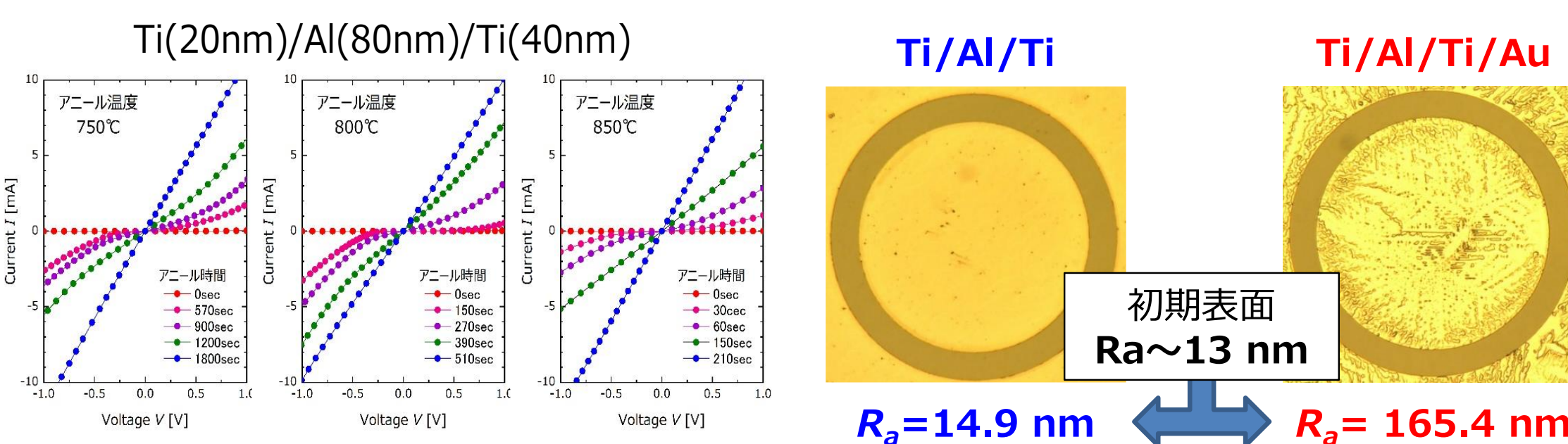
課題の目標

GaNとCMOS形成が可能なSi(001)基板とのヘテロ界面においてバフア層の検討を行い、高品質立方晶GaN成長の可能性を実験的に検証する。

達成内容

- Si-CMOSとの集積化に必須のGaN素子への**Auフリーオーミック電極形成**

■成果 Auフリーかつ表面平坦性の高いTi/Al/Tiオーミック電極の実現



Ti(20nm)/Al(80nm)/Ti(40nm)

Ti/Al/Ti, Ti/Al/Ti/Au

初期表面 $R_a \sim 13$ nm

$R_g = 14.9$ nm, $R_g = 165.4$ nm

- アニール温度750-850℃でオーミック化
- 接触抵抗率: $10^{-3} \sim 10^{-4} \Omega \text{cm}^2$
- Auフリーかつ表面平坦性の高いTi/Al/Tiオーミック電極を実現

■新規性・優位性

CMOSデバイスと同一Si基板上にGaNデバイスを搭載する際に問題になるGaNオーミック電極のAuフリー化と電極表面平坦化の同時実現
(中野ら, 第82回応用物学会秋季)