

**ムーンショット目標6**  
**公開シンポジウム2024**

**JPMJMS226A**

**スケーラブルな  
高集積量子誤り訂正システムの開発**

**プロジェクトマネージャー**  
**小林 和淑**  
**(京都工芸繊維大学)**  
**2024年3月27日**



# 本研究の立ち位置

赤字：2022年より研究開始



# ビジョン

2025  
(3年目)

100物理量子ビットにより実装された  
1論理量子ビットの量子誤り訂正

- ・バックエンド単体での100Qubitの誤り訂正
- ・100Qubitを制御可能なフロントエンド
- ・光-Cryoインタフェースの単体動作確認
- ・Cryo Qubit制御単体回路の動作確認

2030  
(8年目)

100万物理量子ビットにより実装され  
た1,000論理量子ビットの量子誤り  
訂正処理の実現可能性を提示

- ・バックエンドとフロントエンドの協調動作
- ・バックエンドのスケラビリティ確保
- ・光-Cryo CMOSインタフェースの完成
- ・Cryo Qubit制御SoCの完成

2050

スケラブルな高集積量子  
誤り訂正システムの開発

①シンドローム解析  
(エラー訂正バック  
エンド)

②量子ビット制御装置  
(フロントエンド)

⑤小型化

③光/Cryo  
CMOS集積回路

バックエンド

スケラブルな  
ネットワーク

室温

④集積化

フロントエンド

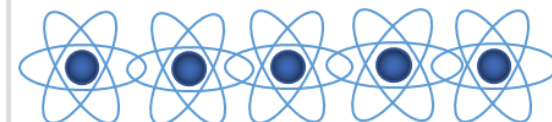
(70K)

Cryo対応

4K

0.8K

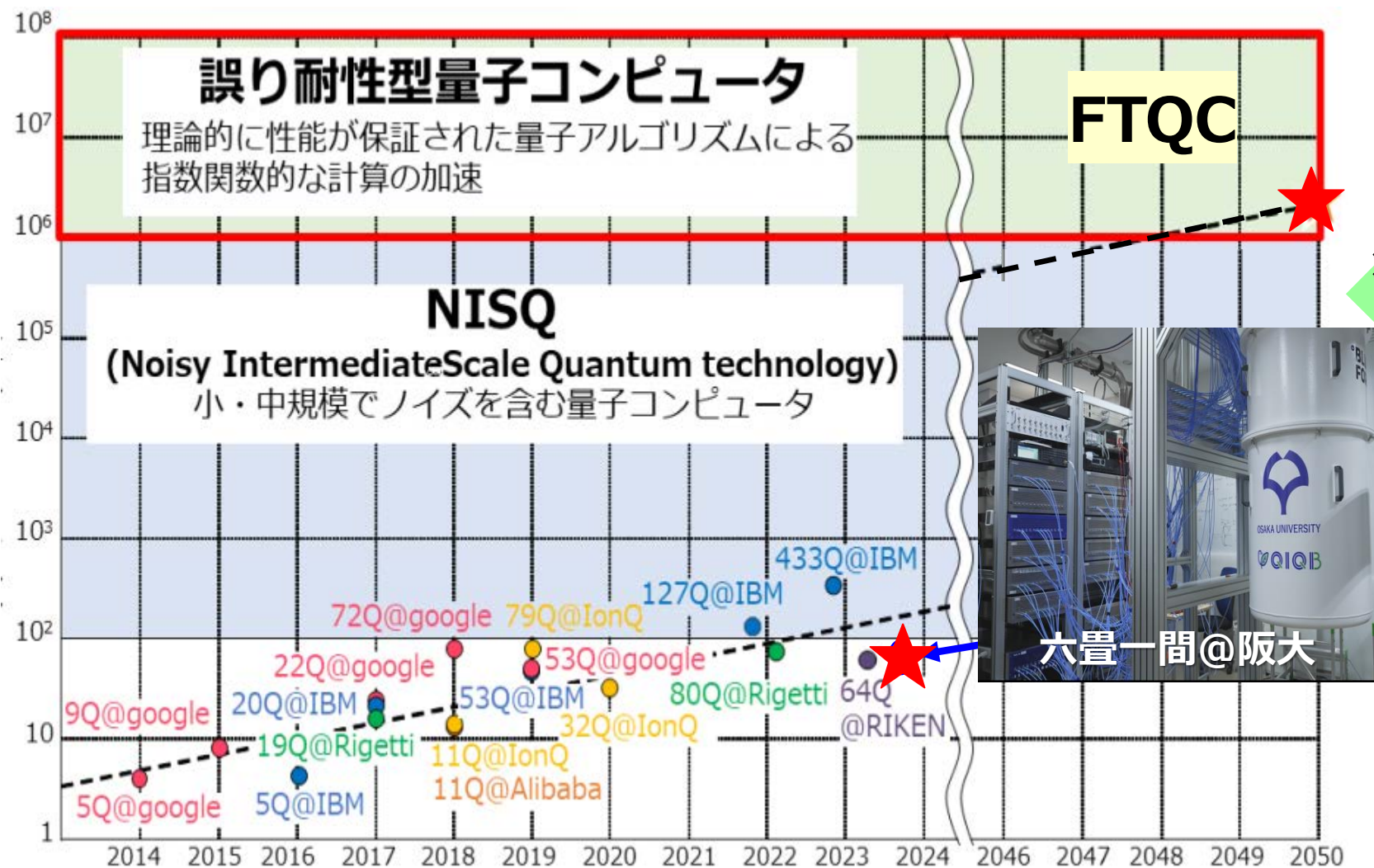
10mK



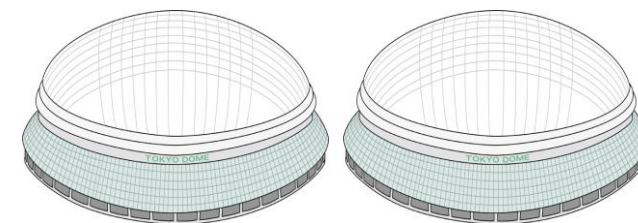
100~1000超伝導Qubit



# FTQCへ向けて



量子コンピュータ変遷



東京ドーム：約2個分

×10K



2050年

**Scalable&Downsizing**



**GOAL IMAGE**  
富岳@理研





# 各量子ビットの特徴と課題

## 各種量子ビットの特徴と課題

| 方式                   | 特徴                                                                                           | 大規模化に向けての課題                                                                                         |
|----------------------|----------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------|
| <b>超伝導</b>           | <ul style="list-style-type: none"><li>・実稼働開始</li><li>・電子回路構成</li><li>・ゲート操作が安定</li></ul>     | <ul style="list-style-type: none"><li>・極低温環境下</li><li>・<b>-部品の小型高性能化</b></li><li>・エラー発生対応</li></ul> |
| <b>半導体</b>           | <ul style="list-style-type: none"><li>・高集積化</li><li>・コヒーレント時間</li><li>・電子回路構成</li></ul>      | <ul style="list-style-type: none"><li>・<b>集積量子ビット制御技術</b></li><li>・極低温環境下</li></ul>                 |
| <b>中性原子<br/>(冷却)</b> | <ul style="list-style-type: none"><li>・量子ビット品質</li><li>・コヒーレント時間</li><li>・量子ビット結合</li></ul>  | <ul style="list-style-type: none"><li>・2量子ビットゲートの忠実度向上</li><li>・<b>量子ビット動作の遅延</b></li></ul>         |
| <b>イオン<br/>トラップ</b>  | <ul style="list-style-type: none"><li>・常温真空化下動作</li><li>・量子ビット安定</li><li>・コヒーレント時間</li></ul> | <ul style="list-style-type: none"><li>・異なるイオンのもつれ制御技術</li><li>・<b>量子ビット数の大規模化</b></li></ul>         |
| <b>光量子</b>           | <ul style="list-style-type: none"><li>・常温大気下動作</li><li>・光通信との相性良</li><li>・ノイズ耐性</li></ul>    | <ul style="list-style-type: none"><li>・<b>光回路部品の高性能化</b></li><li>・光パルス発生光源開発</li></ul>              |

極低温

低温

常温



**集積・小型・省電力**

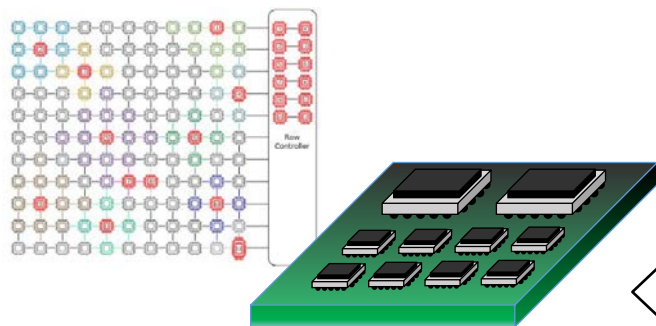
**部品の低温環境対応**

**安定・高信頼性設計**



# プロジェクト体制

## 項目1：エラー訂正バックエンド



佐野(理研), 門本(東大), 長名(熊本大)

協調設計

## 項目2：量子ビット制御 フロントエンドの先鋭化

三好(キューエル)



情報共有



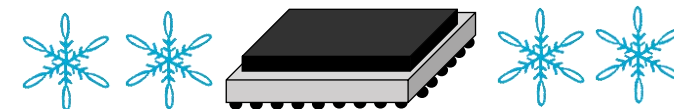
協調設計

## 項目5：常温で動作するフロント エンドアナログRF部のLSI化



五十嵐(ソシオネクスト)

## 項目4：フロントエンド・ バックエンドのCryo CMOS化



小林, 高井(京都工繊大), 土谷  
(滋賀県立大), 宮原(高エネ研),  
今川(明治大), 岸田(富山県立大)

協調設計

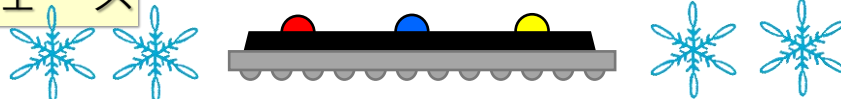
協調設計

試験環境

## 極低温環境



## 項目3：光/Cryo CMOS集積回路による スケーラブルな古典-量子インター フェース



塩見(阪大), 新谷(京都工繊大), 佐藤(京大)



# 課題推進者（14名）

大学:8,研究機関:2,企業:2

## 項目1



理化学研究所  
佐野 健太郎



東大  
門本 淳一郎



熊本大  
長名 保範

## 項目2



キューエル  
三好 健文

## 項目3



阪大  
塩見 準



京都工繊大  
新谷 道広



京大  
佐藤 高史

## 項目4



京都工繊大  
小林 和淑



滋賀県立大  
土谷 亮



京都工繊大  
高井 伸和



高工ネ研  
宮原 正也

2023年12月～



明治大学  
今川 隆司



富山県立大  
岸田 亮

## 項目5

2023年6月～



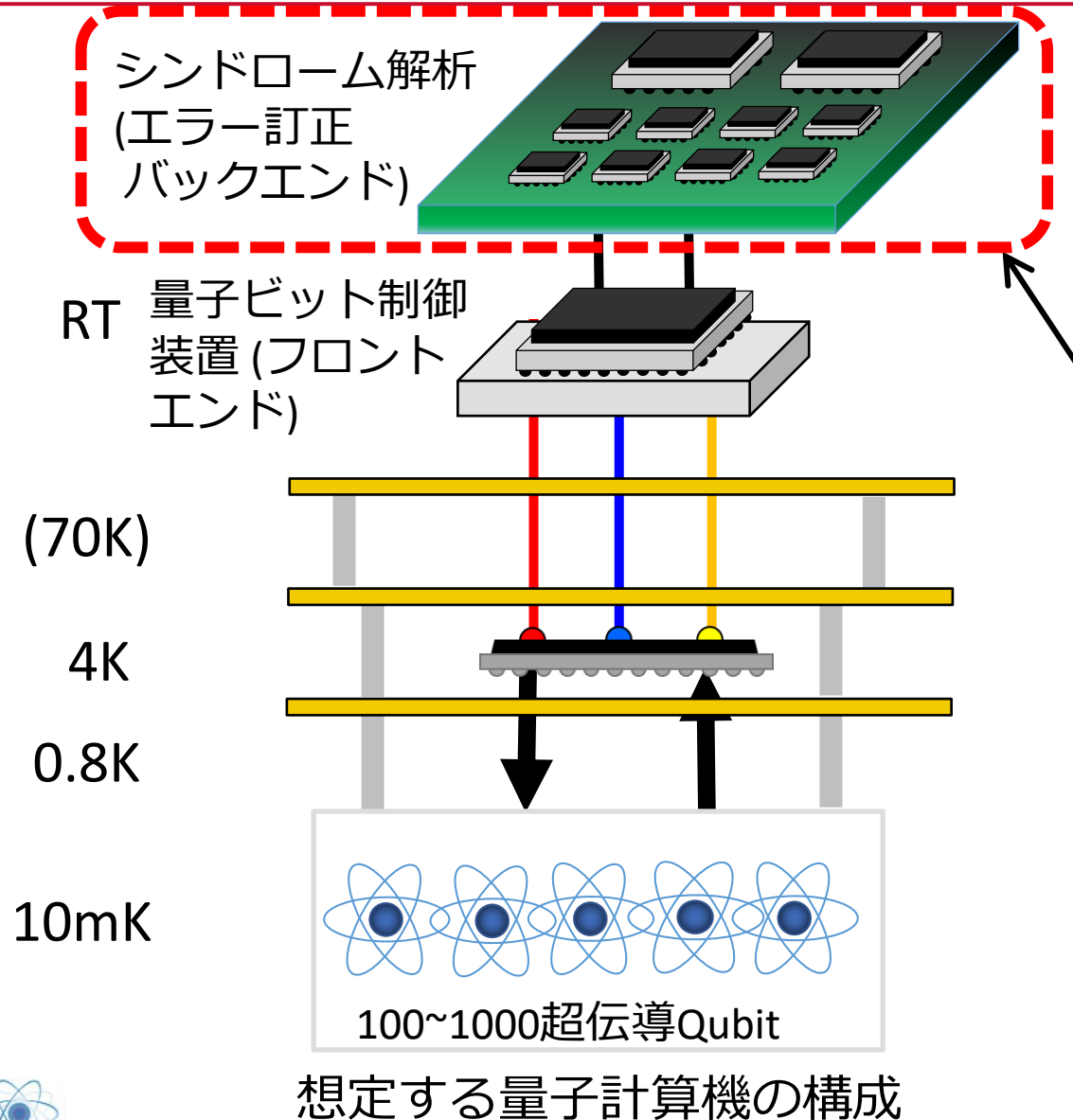
ソシオネクスト  
五十嵐 正利

太字：項目リーダー



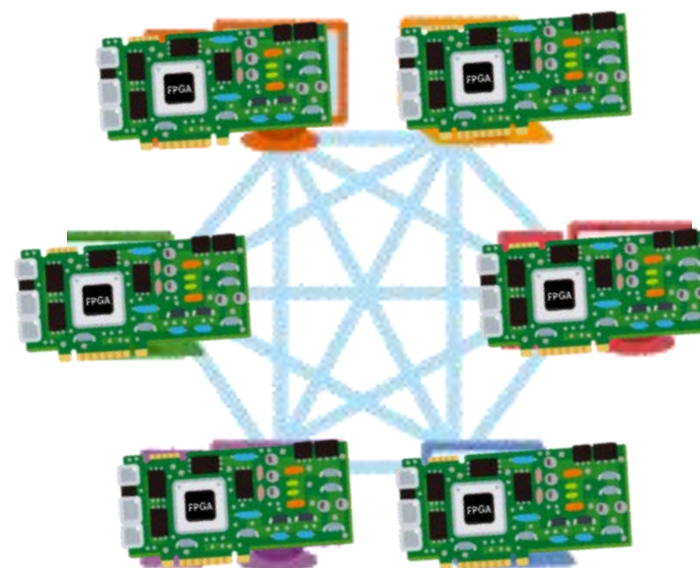


# 項目1の狙い



量子誤り訂正を行うスケーラブルな  
古典ハードウェアシステム

フロントエンドから得られるエラーシンドローム  
情報に対し、低遅延・広帯域のエラーデコード処  
理を行う



FPGAクラスタによる試作  
バックエンドシステム

最小重み完全マッ  
チング問題 (MWPM)  
の専用ハードウェア

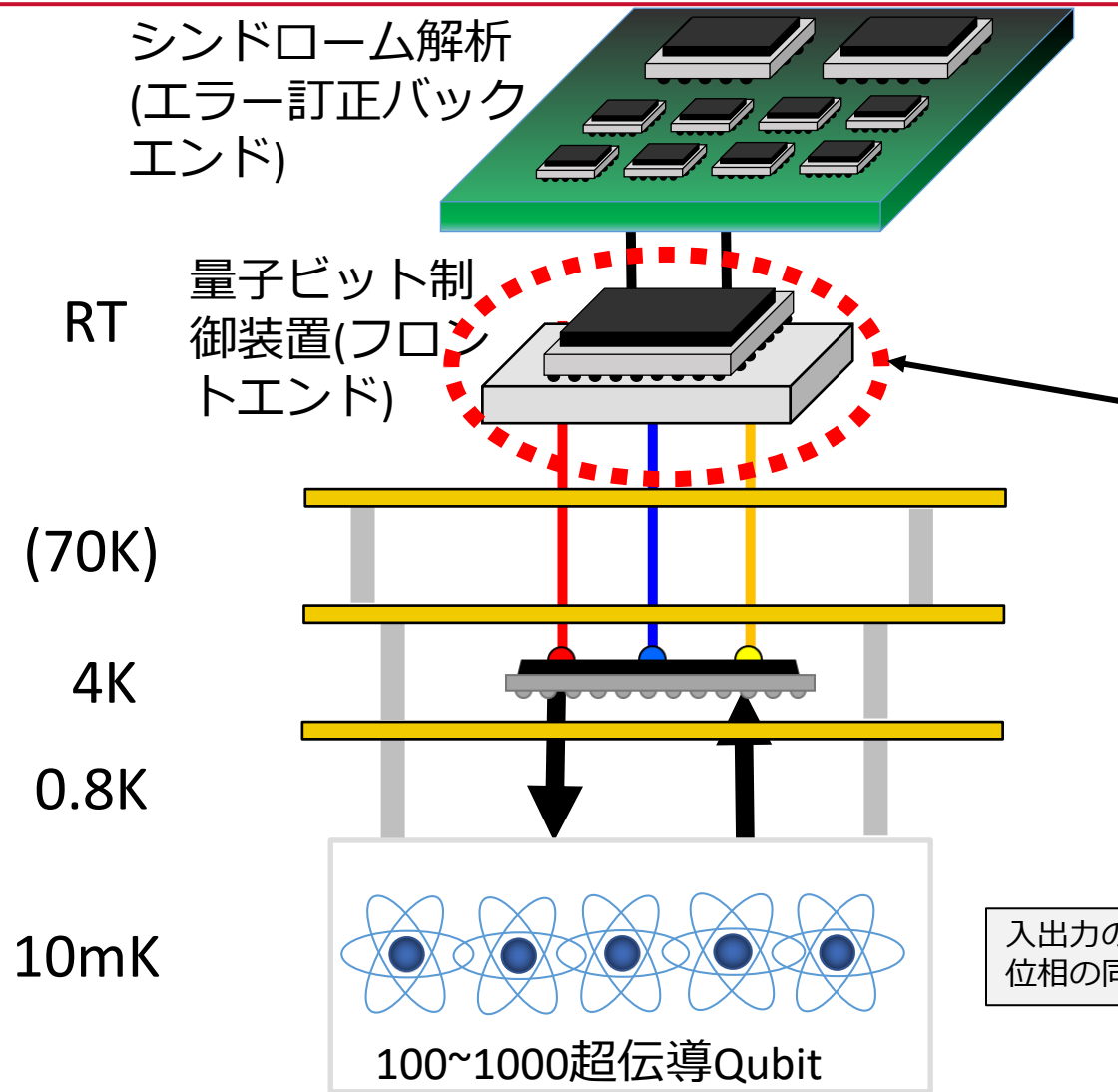
ASIC実装による誤り  
訂正システムの高  
性能化・高密度化

性能要件を満たす  
ネットワークの探索  
と高信頼性化





# 項目2の狙い



実装予定量子コンピュータ構成案

項目2: 量子ビット制御フロントエンド

**リアルタイム**で  
量子ビット情報の収集・  
バックエンドに送信

低レイテンシでフィードバック

入出力  
フロントエンド(FE)

入出力FE

入出力FE

デジタル信号処理  
信号整形  
量子ビット復号  
同期制御

**集積化による小型化**

300K, 70K, 4K, (10mK)ステージを  
柔軟に変更し最適化

アナログ回路  
高精度信号入出力  
高密度化

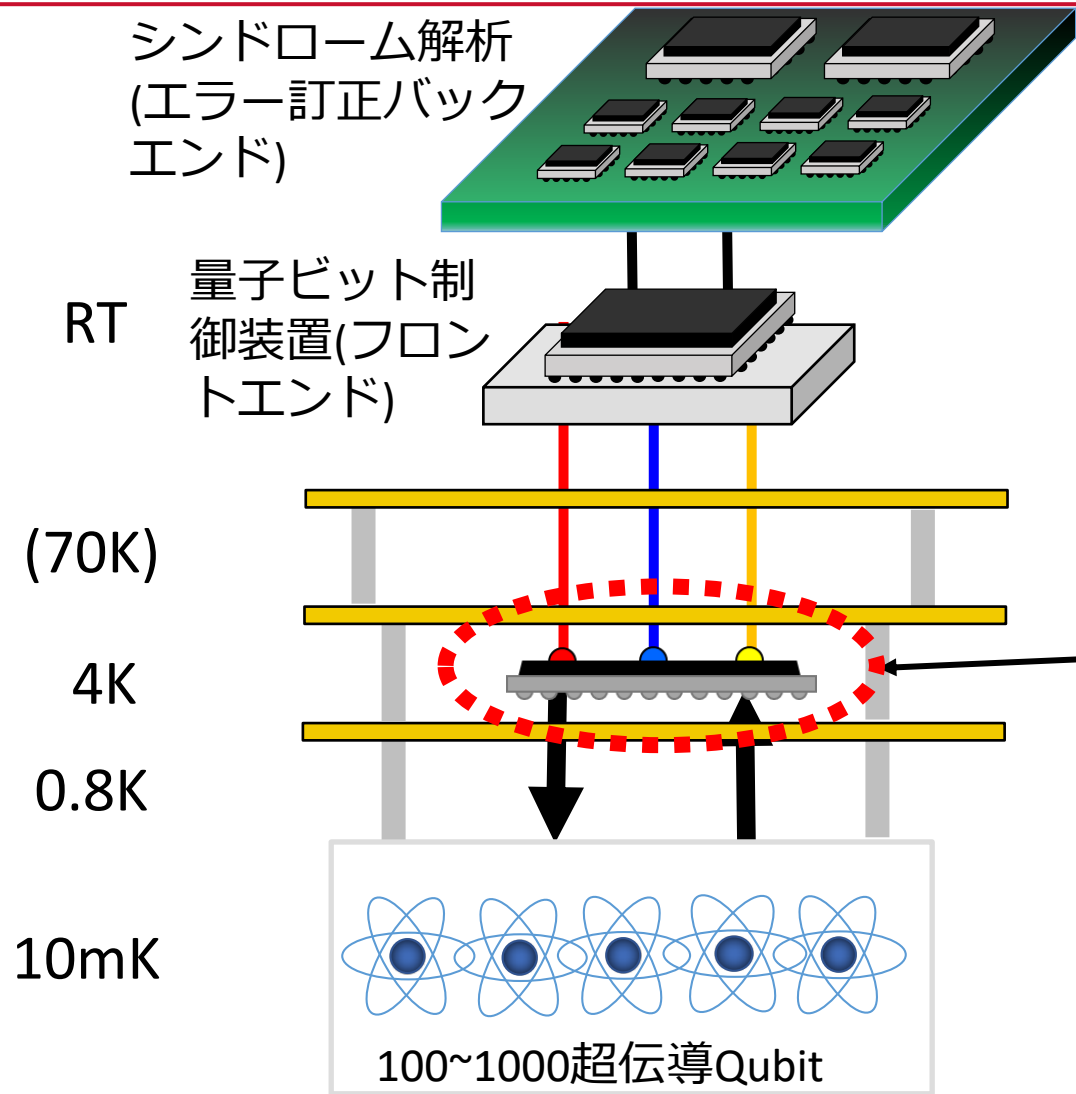
...

入出力のタイミング・  
位相の同期

室温で利用可能な技術で実デバイス向け研究開発を先行  
他項目との成果の共有/取り込み

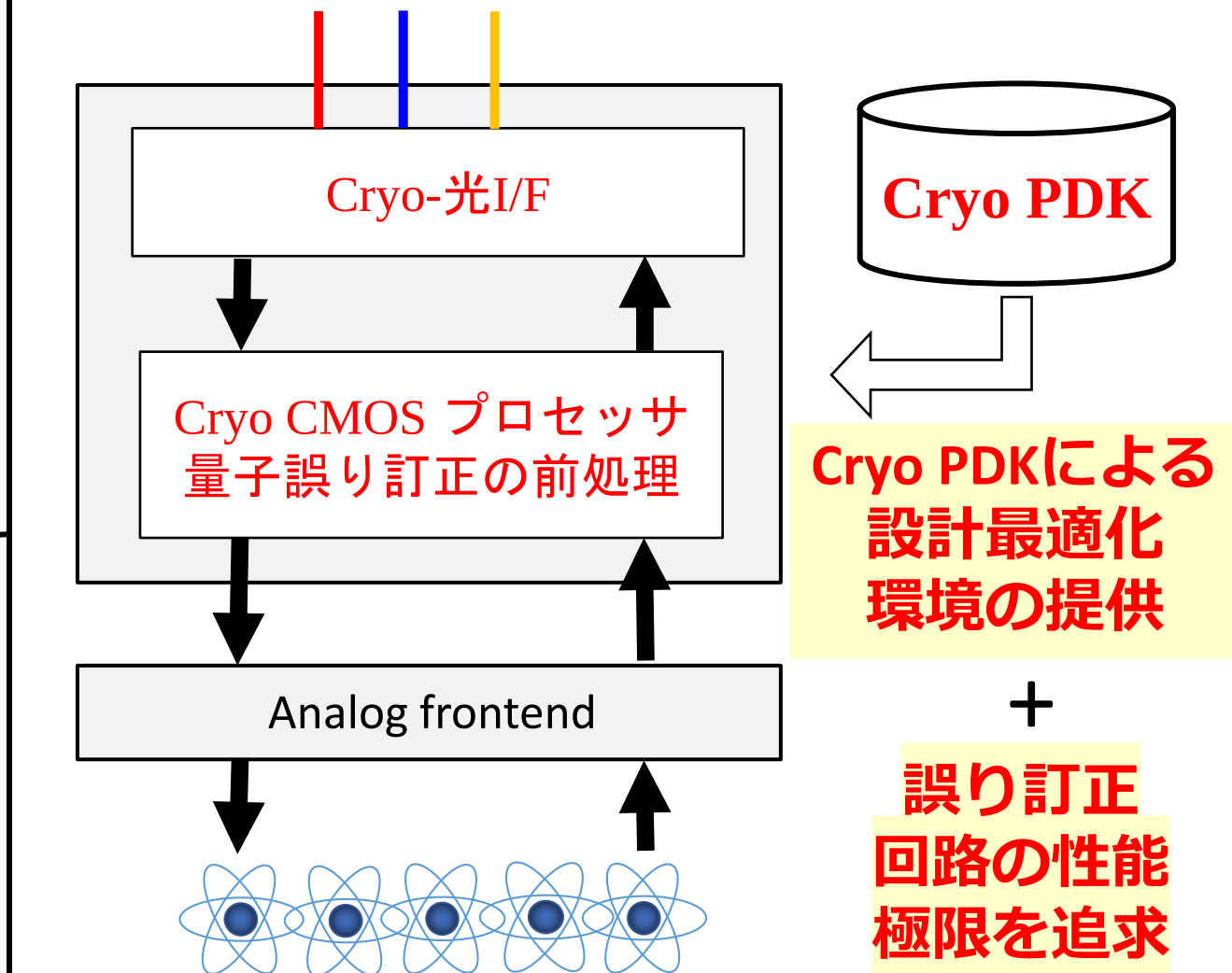


# 項目3の狙い

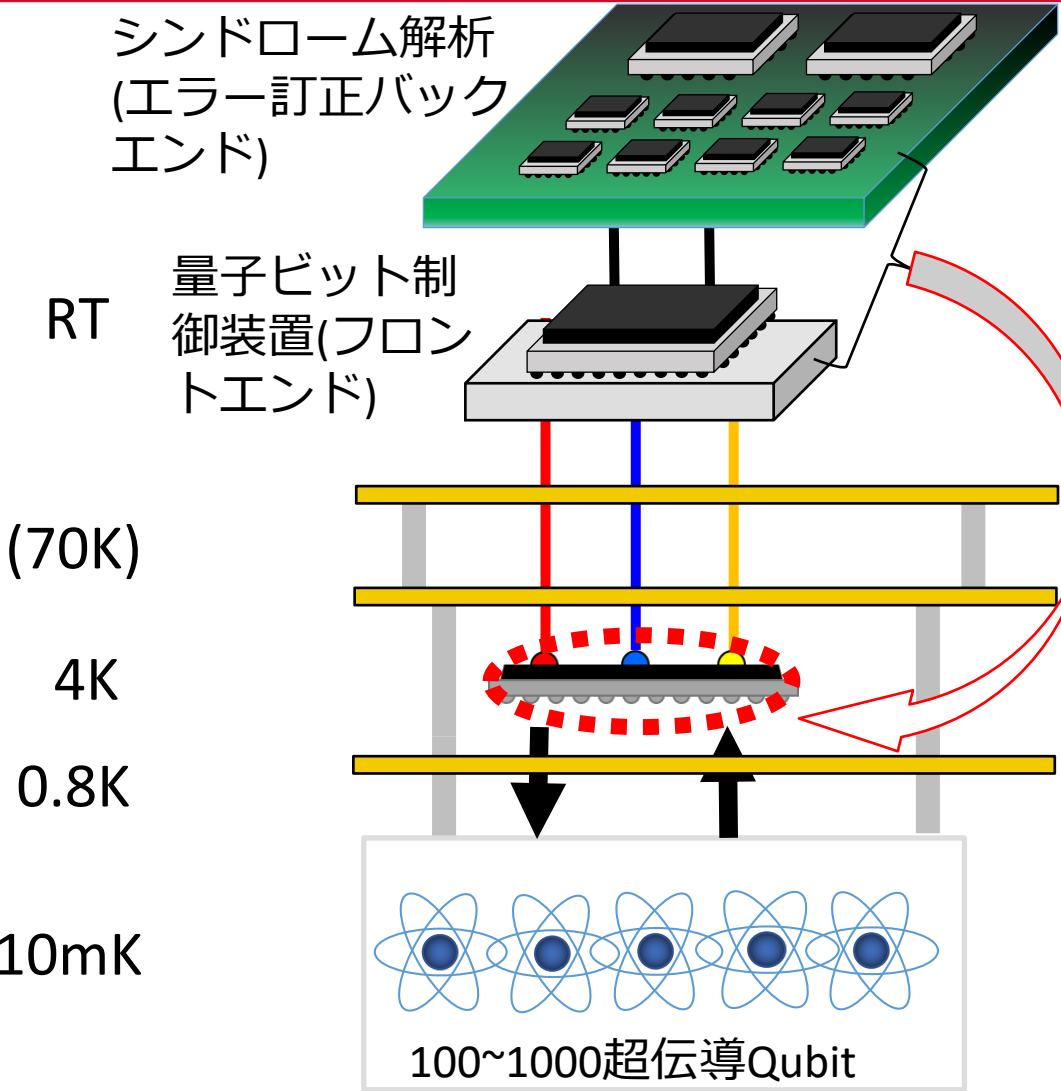


実装予定量子コンピュータ構成案

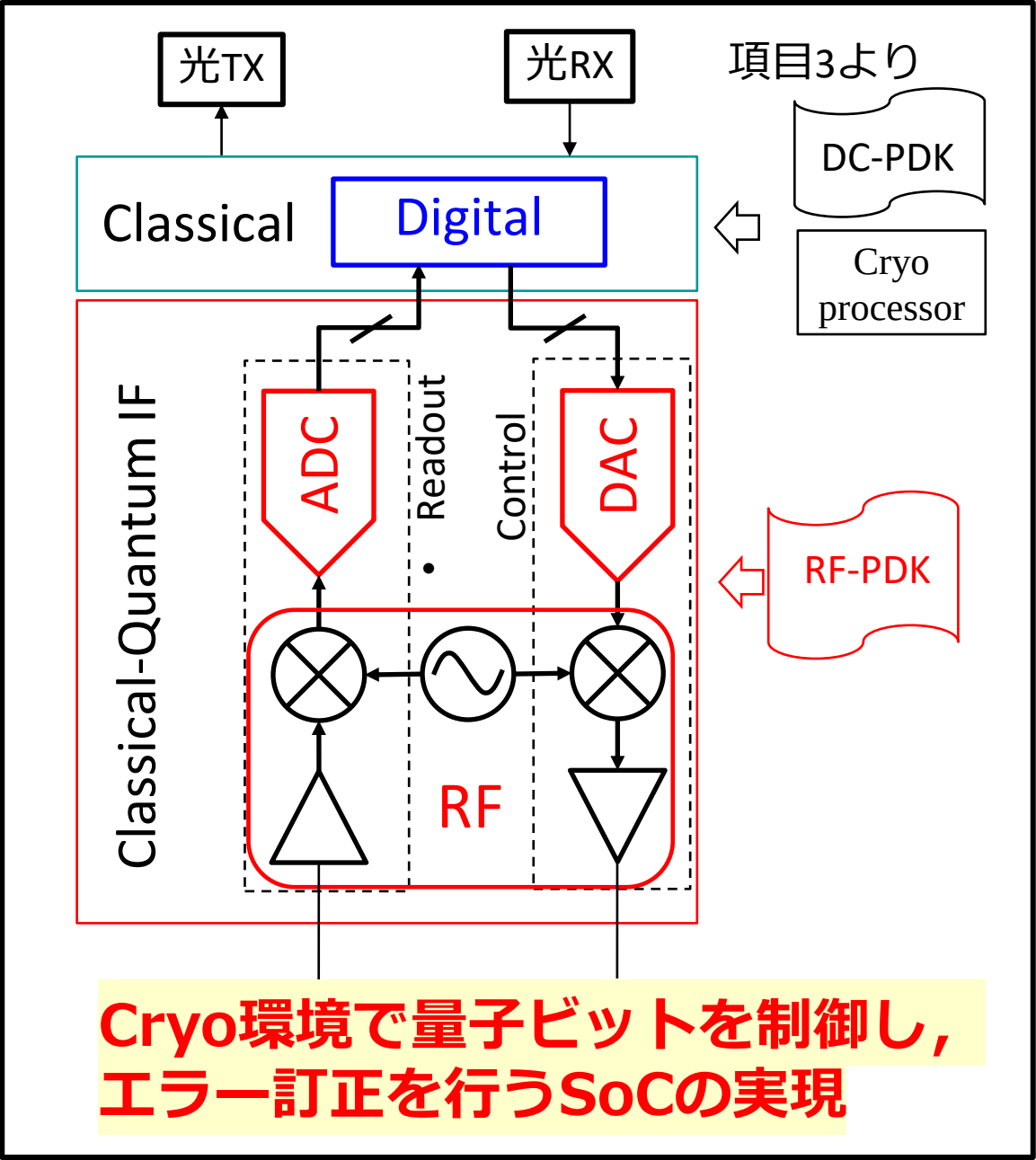
✓ 光/Cryo CMOS集積回路による  
スケーラブルな古典-量子 I/F



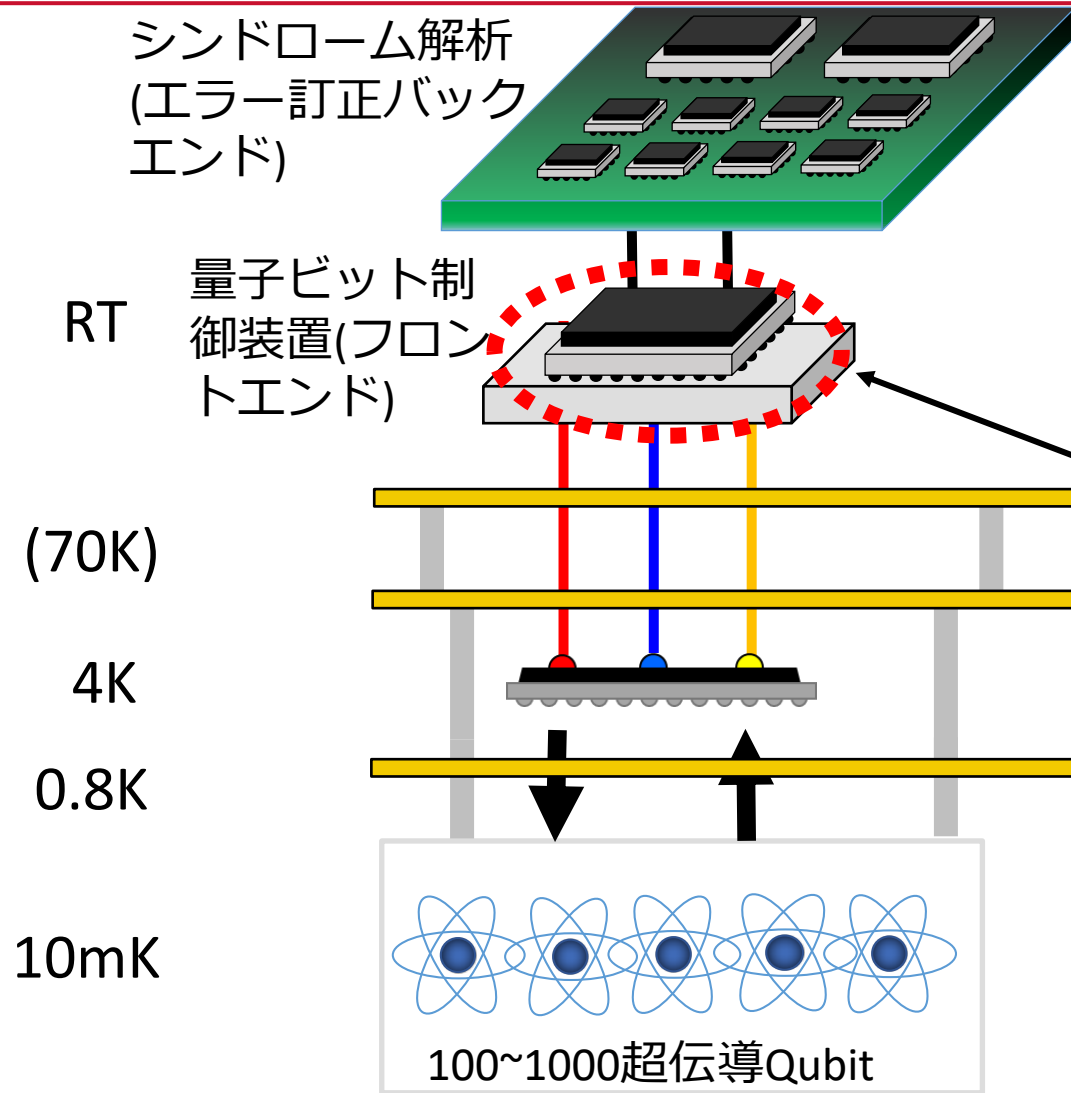
# 項目4の狙い



実装予定量子コンピュータ構成案



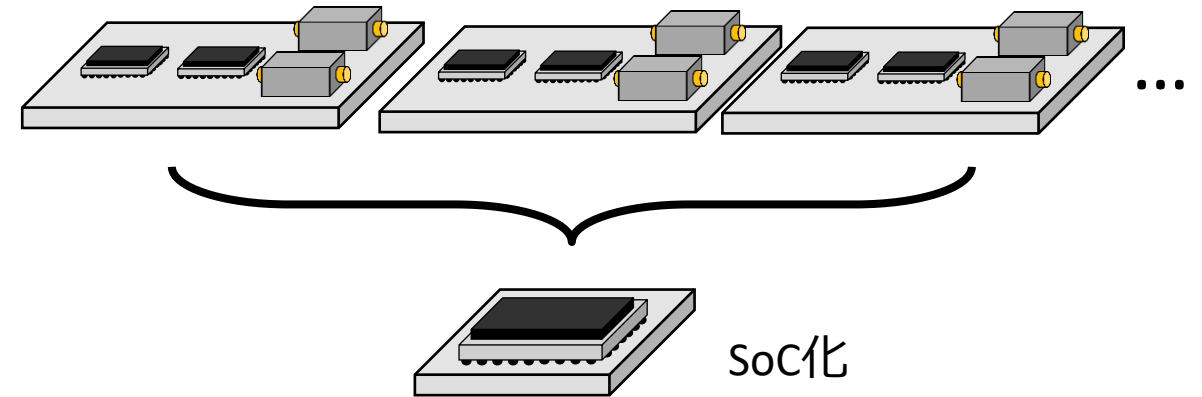
# 項目5の狙い



実装予定量子コンピュータ構成案

## 現状の制御装置イメージ

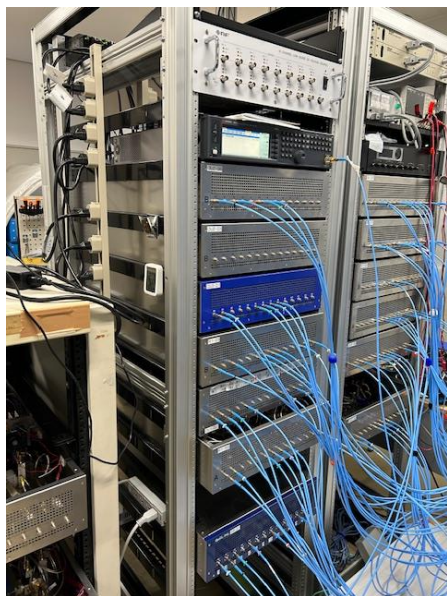
- ・高周波特性やノイズ性能に優れた化合物半導体や Bipolarデバイスを使用
- ・ディスクリット部品を組み合わせて構築  
⇒量子ビット数を増やすには、飛躍的な小型・低消費電力化が必要



**複数の機能を統合、集積化(System on Chip, SoC)することで実装サイズ  
の飛躍的な削減を目指す** ⇒項目2 連携



# 各項目の成果紹介

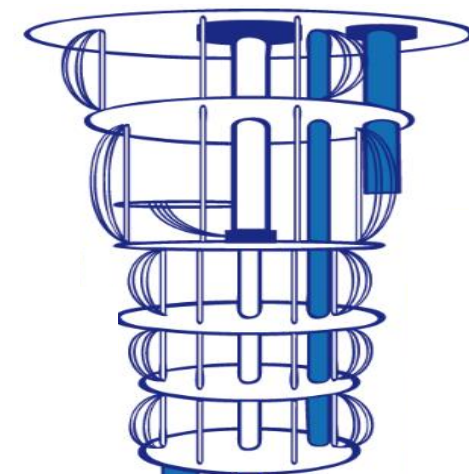
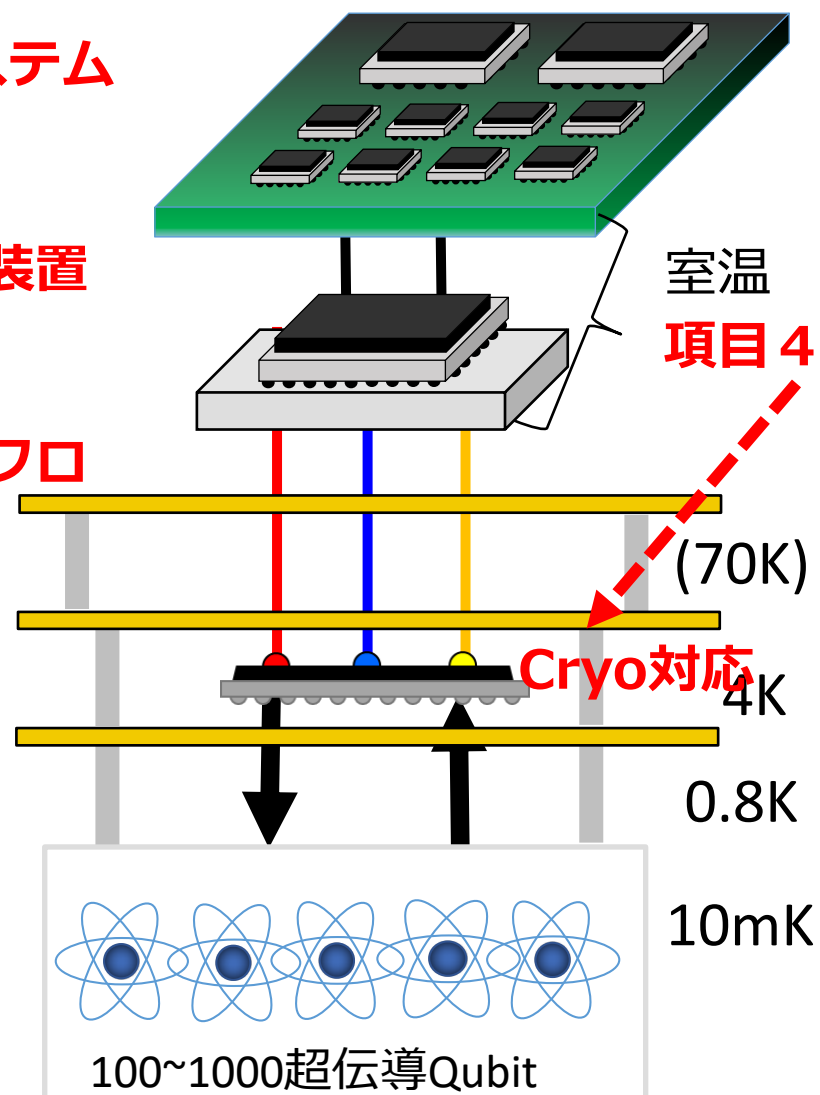


項目1：エラー訂正システム  
(バックエンド)

項目2：量子ビット制御装置  
(フロントエンド)

↓  
項目5：常温で動作するフ  
ロントエンド用RFのLSI化

項目3：光/Cryo  
CMOS集積回路



# 項目 1 : エラー訂正バックエンド

課題 1 佐野 健太郎 (理化学研究所)

課題 2 門本 淳一郎 (東京大学)

課題 3 長名 保範 (熊本大学)



# 課題 1 : ハードウェア向け誤り訂正アルゴリズムとFPGAによるバックエンドシステム (理研 佐野)

- **FPGA実装に向けたシンドローム解析ハードウェアの設計**

- ✓ 長崎大学との連携によりハードウェア実装
- ✓ Systolic arrayの実装と動作検証、ハードウェア資源評価
- ✓ Contact notice情報をセントラルコントローラに送信する Reduction treeの検討
- ✓ 複数種類のセントラルコントローラ処理の検討とハードウェア実装

- **複数FPGA向けのハードウェア並列化、処理規模拡張の検討**

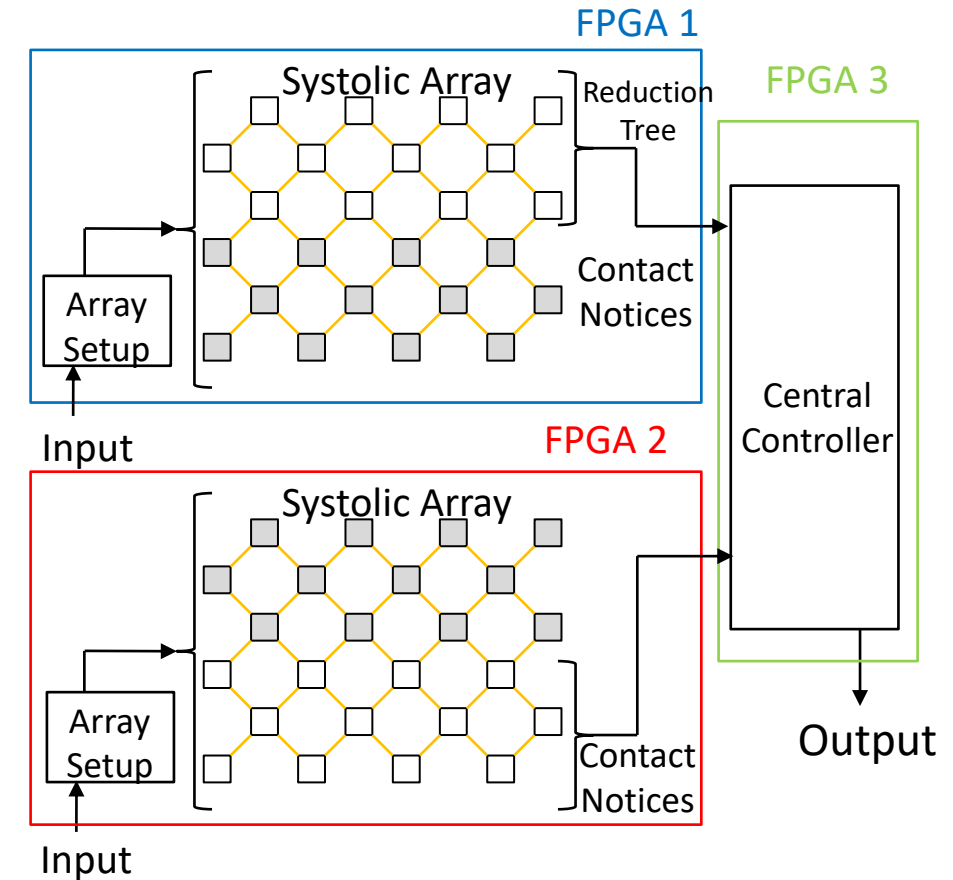
- ✓ Systolic Array PEのマルチコンテキスト化による処理規模の拡張
- ✓ シンドローム解析ハードウェアの分割実装による複数FPGA向け設計

- **Union Find Systolic Arrayによる**

縮小シンドロームグラフデコーダの理論的検討

- **シンドローム解析ハードウェアの**

ソフトウェアシミュレータ開発



**Union Find Systolic Arrayの複数FPGA向け  
分割実装の例。Lattice Surgeryのために  
さらなる並列化も可**

# 課題2： QECコアのASIC向け評価（東大 門本）

## ● ASIC化QECコアのアーキテクチャ設計

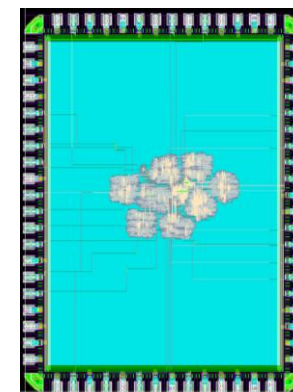
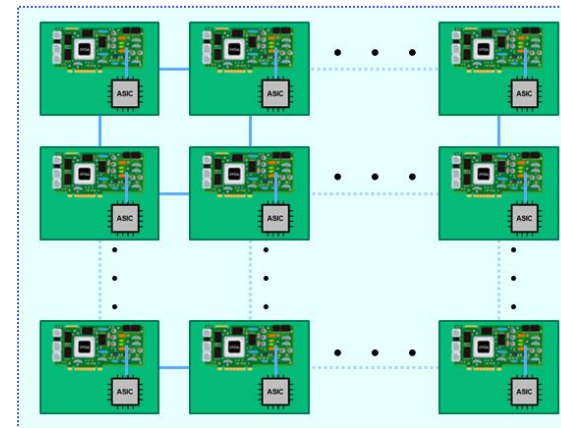
- ✓ ASICを活用したQECコアのアーキテクチャを策定中
- ✓ 今後試作したASICチップとFPGAクラスタとを接続したシステムを構築予定

## ● ASIC化QECコアの性能評価

- ✓ ASIC化QECコアの性能をシミュレーションによって評価
  - 7nm, 22nm, 28nm, 65nm, 180nm CMOS製造プロセスのそれぞれにおけるQECコアの各種性能指標（消費電力、最大動作周波数、面積）について調査
- ✓ 今後実測を通した評価も進め、HW最適化によるシステム全体性能の改善を実証予定

## ● エラー訂正TEGチップの開発

- ✓ 22nm CMOSでエラーデコーダのTEGチップを開発
- ✓ 今後QECコアの各機能ブロックをASIC化し、ASIC向けの高度な最適化による性能改善について評価予定



TEGチップ@22nm CMOS

# 課題3：ディペンダブルなエラー訂正バックエンドの実現（熊本大 長名）

- Ethernet を用いた相互結合網:

項目1・2では当面 Ethernet を用いる方針で推進中

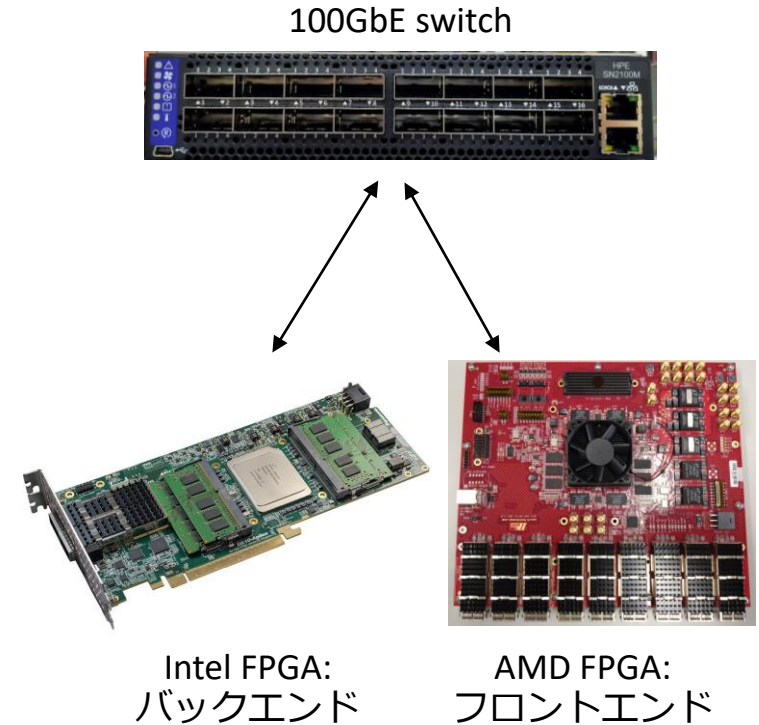
- ✓ Ethernet を用いたクラスタに必要なコントローラを開発
  - 両社 FPGA に共通の Ether/IP 通信コアおよび性能モニタ等
- ✓ 2025 年頃までに見込まれる Qubit数(数百Qubit)に対応できるか、システムのモックアップを構築して実証
- ✓ それ以降のシステムのスケールアップに対応するため、データセンタなどで普及しつつある Lossless Ethernet の仕組みを導入する準備も推進中
- ✓ フロントエンド・バックエンドを統合したシステムの基盤作りがほぼ完了

- 独自プロトコルによる低レイテンシ結合網

- ✓ Ethernet スイッチは 300ns 以上
- ✓ 約 30ns のレイテンシでスイッチングできるオンチップルータを開発
  - シリアル通信コントローラと一体の実装で 200ns 未満を目指す

- FPGAクラスタのソフトエラー耐性

- ✓ 設計に大きく変更を行わない範囲でエラーを緩和するためのコントローラを設計中





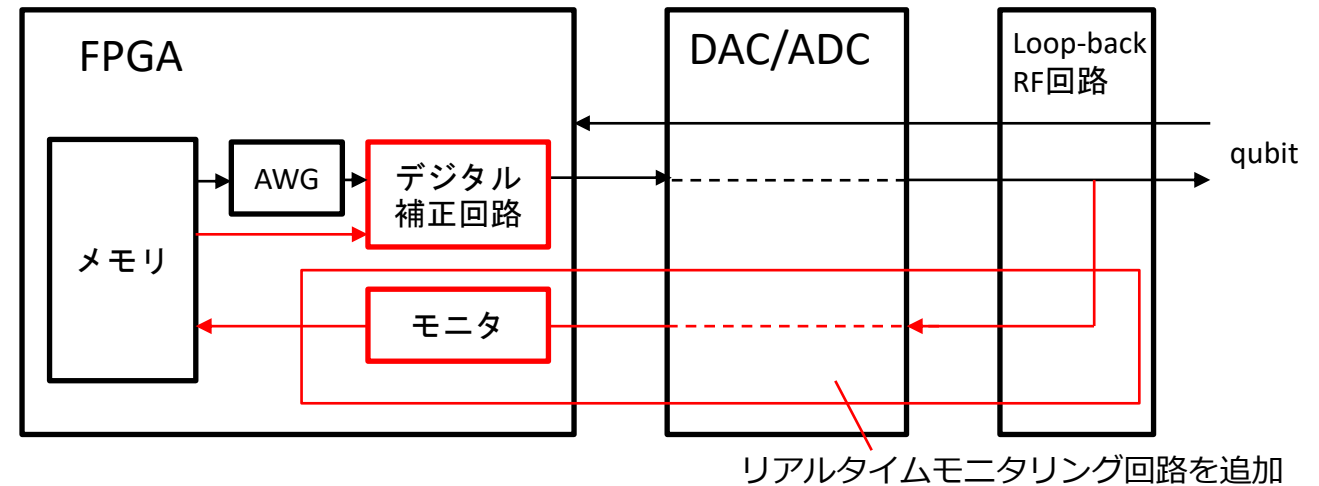
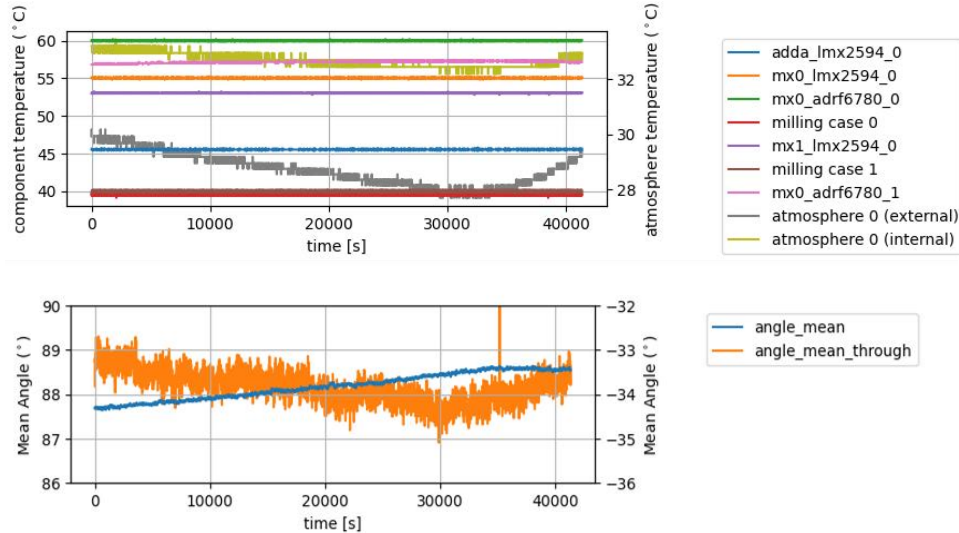
## 項目 2 : 量子ビット制御フロントエンドの先鋭化

三好 健文 (キューエル)



# ディジタル信号処理を活用した信号補正技術の確立

- **スケラビリティの向上のためのハードウェア簡略化時の信号安定性の追求および信号補正技術に求められるスペックの洗い出し**
  - ✓ 温調制御を簡略化したハードウェアシステム一式の信号品質を評価
  - ✓ 位相安定性においては必要スペックを達成(2度以内)できることを確認
  - ✓ 実量子ビットを用いた実験により量子コンピュータに必要なスペックの調査を開始
- **出力信号のリアルタイム補正による信号品質向上**
  - ✓ 補正係数を利用してユーザ定義波形をワイヤレートで補正する回路を追加
  - ✓ 装置内に出力信号のリアルタイムモニタリング回路を追加

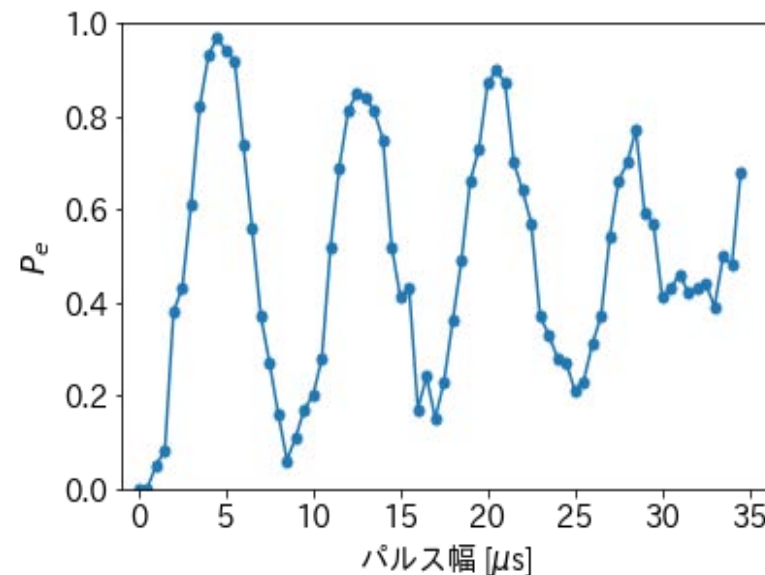
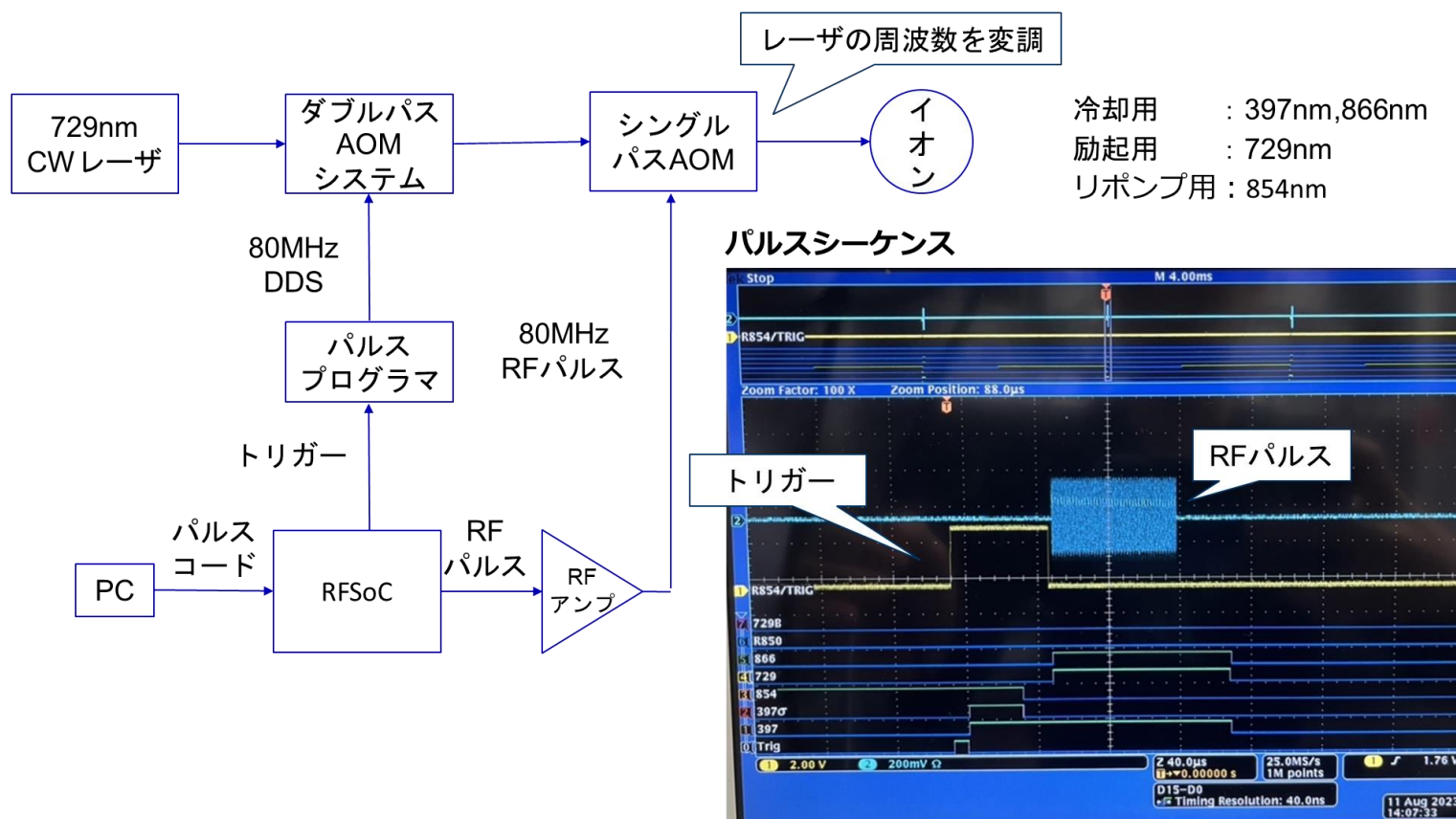


## 温度制御簡略版装置における温度制御と位相安定性の評価

出力信号のリアルタイム補正用のコンポーネントを作成、追加

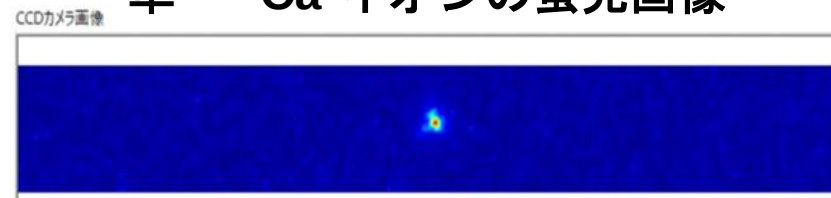
# デジタル信号処理を活用した信号補正技術の確立

- 超伝導量子ビット以外のシステム(イオントラップ向け)における要求仕様の実験的調査を行った



ラビ振動の観測結果

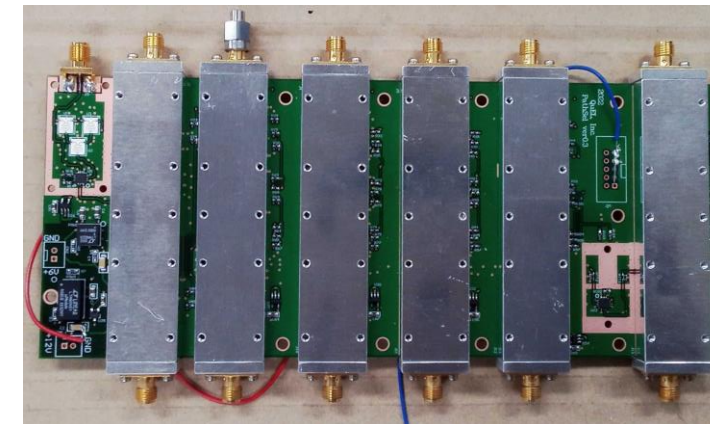
単一<sup>40</sup>Ca<sup>+</sup>イオンの蛍光画像





# 既存IP/ICを組み合わせたSoC/SiP化による高集積化

- デジタルボードおよびアナログ-デジタルボード, RFボードを開発
  - ✓ SoC/SiP化に向けたコンポーネント分割
  - ✓ 現行機の1/3小型化に向けて個別にボード(面積2/3, 高さ1/2)を設計
  - ✓ 現行機の機能+FTQC向け処理実現に向けたシステム構成

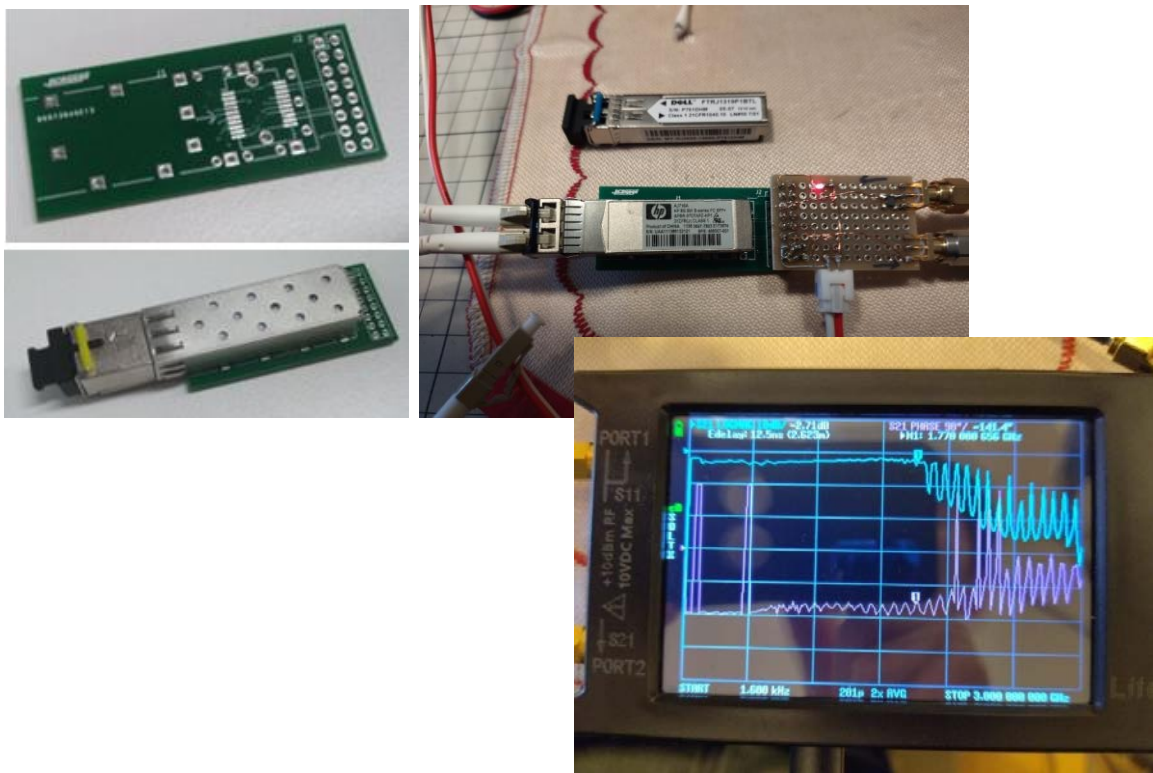


設計開発したデジタルボード, アナログ-デジタルボード, RFボード

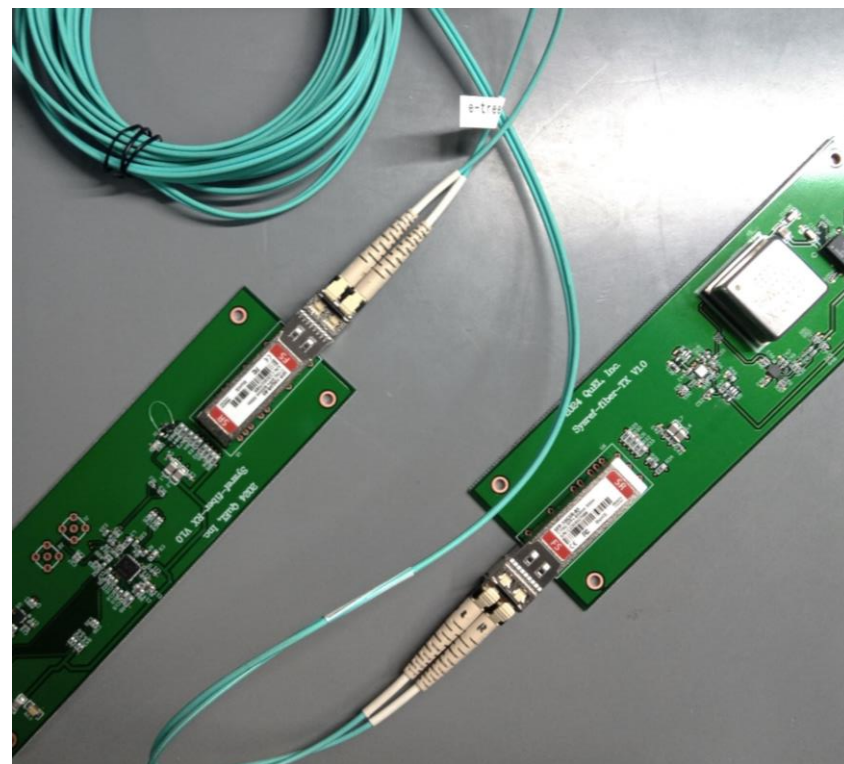
# 光モジュールを活用した高精度のクロック分配

- 高精度クロック分配の評価ボードを設計開発評価を開始した

- ✓ リファレンス用の-数百MHzのクロックを高精度のまま分配できるか評価
- ✓ システム同期用の長周期信号を同時に分配する方式を開発, 評価



予備実験による特性評価



実環境評価に向けたボード設計



# 項目5：常温で動作するフロントエンドアナログRF部の LSI化

五十嵐 正利（ソシオネクスト）



# 項目5: 開発進捗

## ● PLL、送受信回路の設計

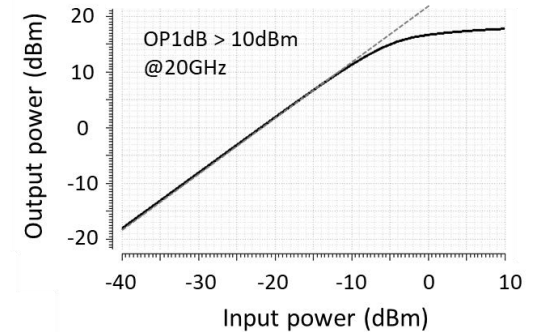
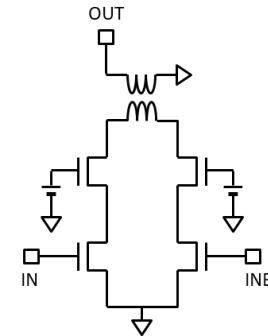
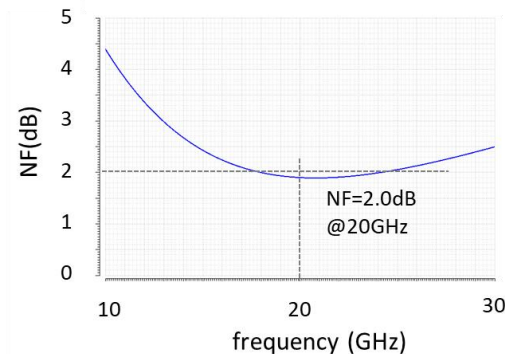
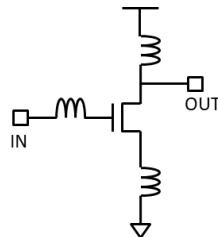
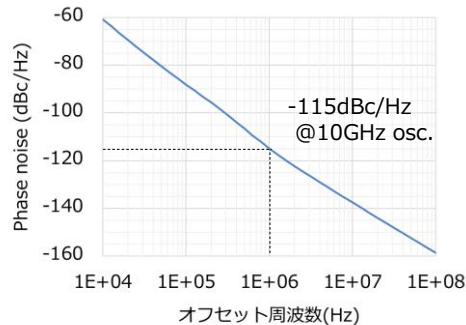
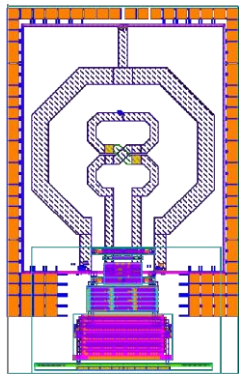
プロトタイプ設計に、22nm **FDSOI** CMOS プロセスを選定

低ノイズ、低消費電力化のために、比較周波数の高いAD(All Digital)PLLを開発中

低ノイズ、低消費電力の送受信回路設計

高アイソレーション化のために、電源/回路/磁気分離のそれぞれに対し目標値を決定

10GHz/20GHzのCMOS PA、LNAを設計中



# 項目3：光/Cryo CMOS集積回路による スケーラブルな古典-量子インターフェース

塩見 準（大阪大学）

新谷 道広（京都工芸繊維大学）

佐藤 高史（京都大学）



# 課題1：低コスト量子ビット制御回路アーキテクチャ（阪大 塩見）

従来手法 (AWG ベース) のスケーラビリティの課題:

- DAC とメモリのコストが大きい

➡ 低コストなアーキテクチャ (SPulseGen) を提案

## AWG ベース (従来手法)

High-bandwidth memory

↓ 波形データ

High-performance DAC

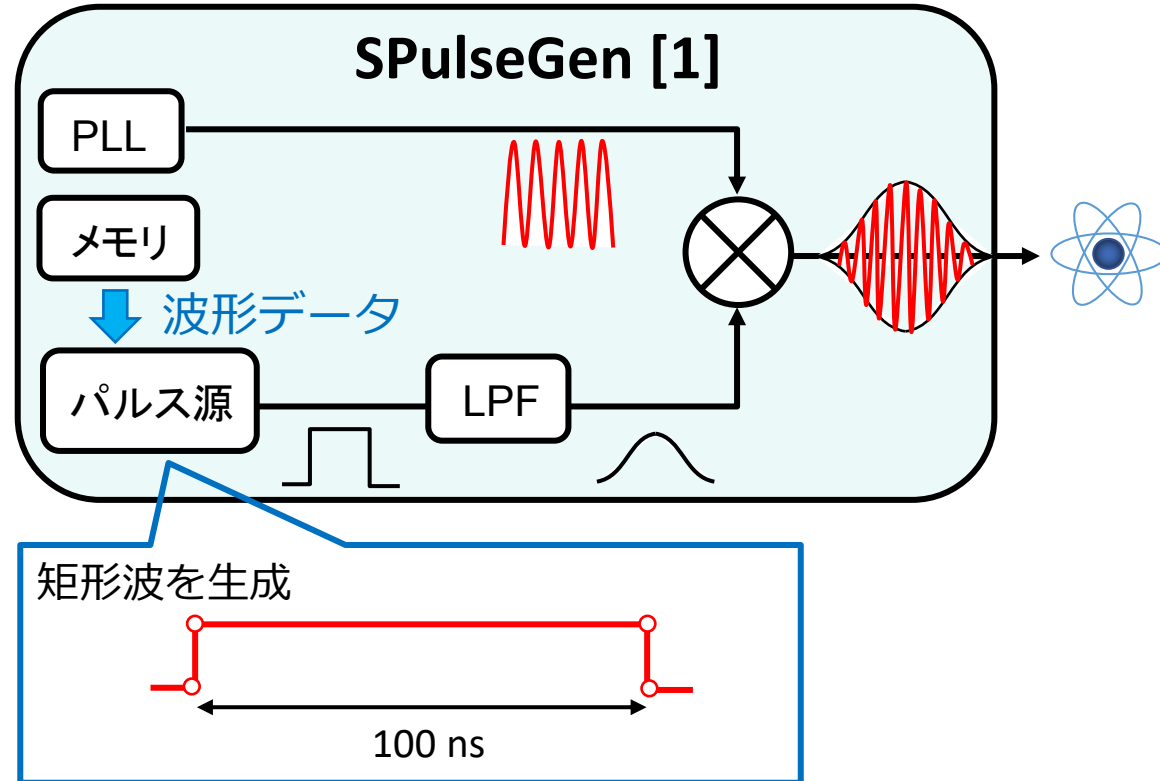
複雑な波形を生成



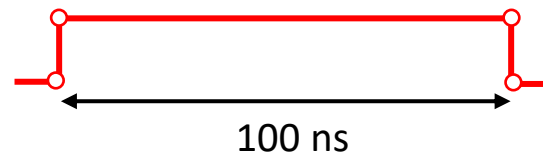
100 ns

項目2と  
連携

## SPulseGen [1]



矩形波を生成



100 ns

回路コスト:

- DAC のサンプリングレート
  - メモリ容量
- } 2 桁削減

ゲート忠実度のシミュレーション:

- 2-qubit ゲートで同等なゲート忠実度

[1] arXiv に記載. URL: <https://arxiv.org/abs/2312.08699>





# 課題1: Cryo向け光集積回路の測定環境（阪大 塩見）

## ● 極低温用 測定環境の構築

光ファイバコネクタ

✓ 光通信モジュールの  
温度特性を評価予定



フランジ

デュワー

APS TV で紹介



## ● 極低温用 光モジュールの測定

光源、パワーメータ

電気制御

恒温槽環境  
-65度で動作



-65度



チップ

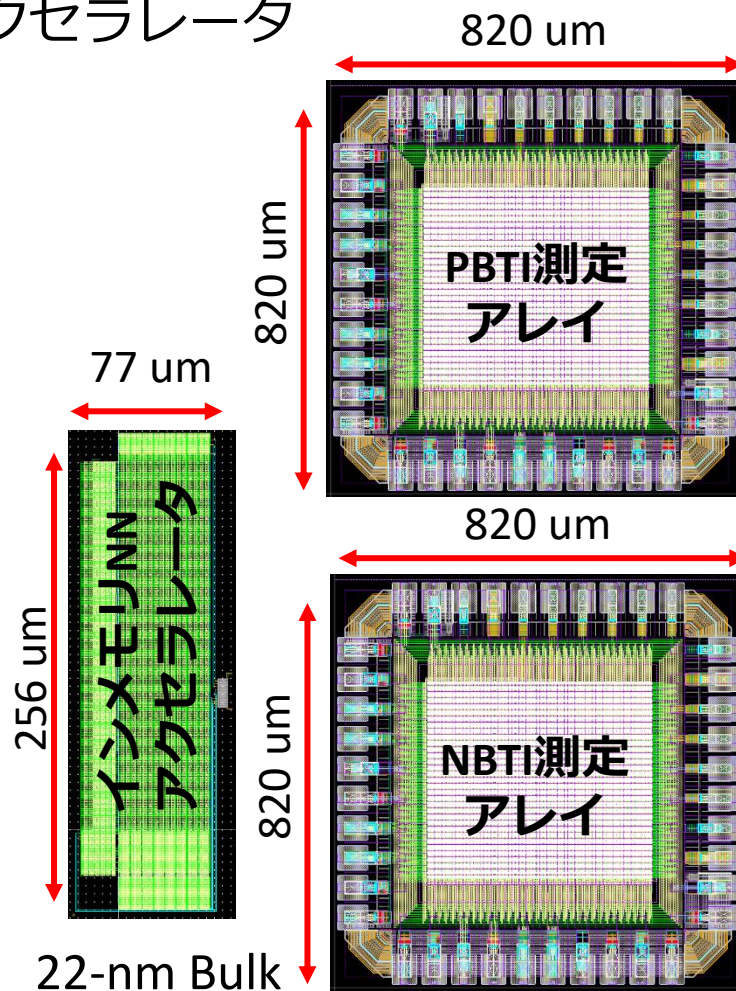
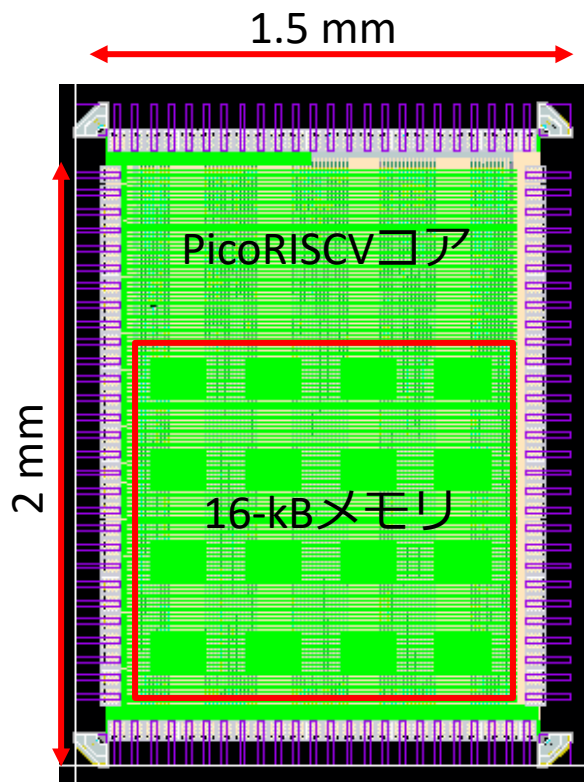
## ● 極低温用 光演算回路の設計

- ✓ Cryoプロセッサ向け光演算回路を作成
- ✓ 2024年2月TO

# 課題2: 極低温CMOSチップの設計 (京大 佐藤)

- 極低温環境用プロセッサの設計

- ✓ 低温向け低電力メモリ
- ✓ インメモリNNアクセラレータ
- ✓ 2024年3月TO

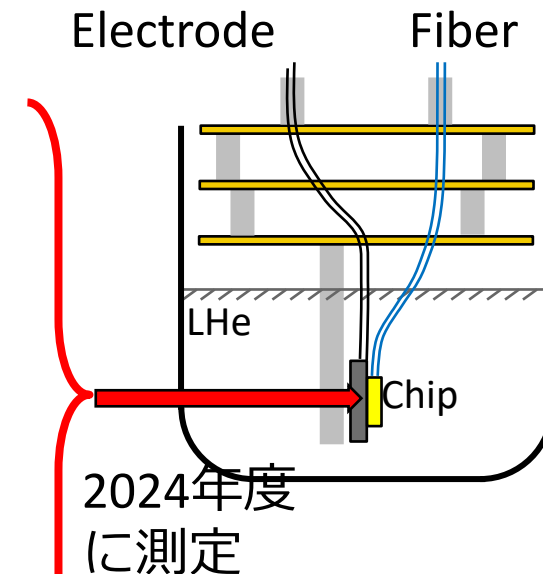


- 極低温環境用FPGAボード完成



- 極低温環境用CMOS測定環境

- ✓ 液体ヘリウムに浸すロッドを設計
- ✓ 京大、阪大に配備済み



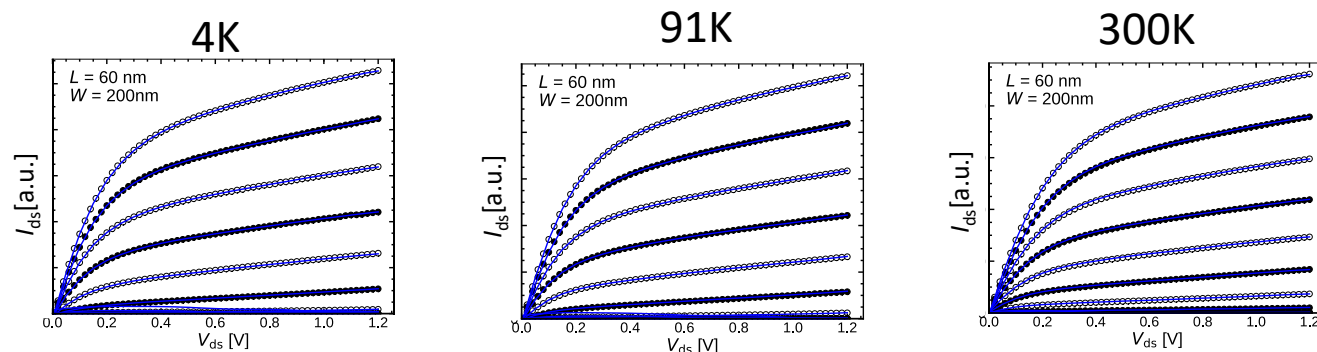
- 光通信モジュールとの連携を目指す



# 課題3: 極低温CMOSトランジスタモデルの開発 (工繊大 新谷)

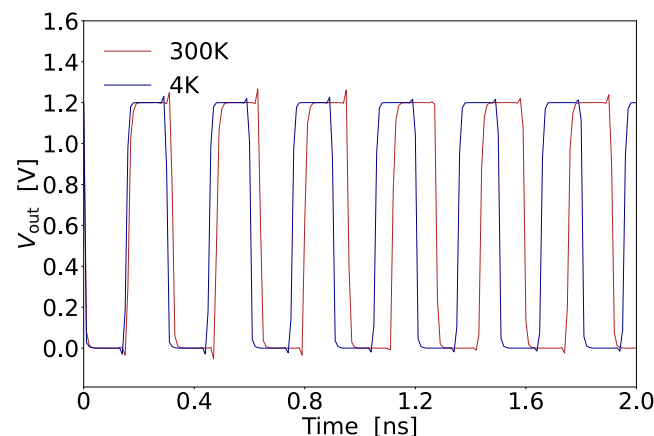
## ● 65nmトランジスタ特性モデル化

- ✓ 機械学習: 4K~300KをSPICEシミュレーション可

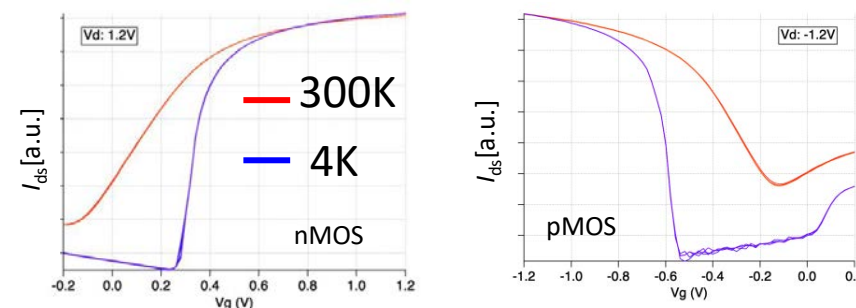


- ✓ BSIM4: 回路設計への応用を試行中

17段ROの  
300Kとの比較

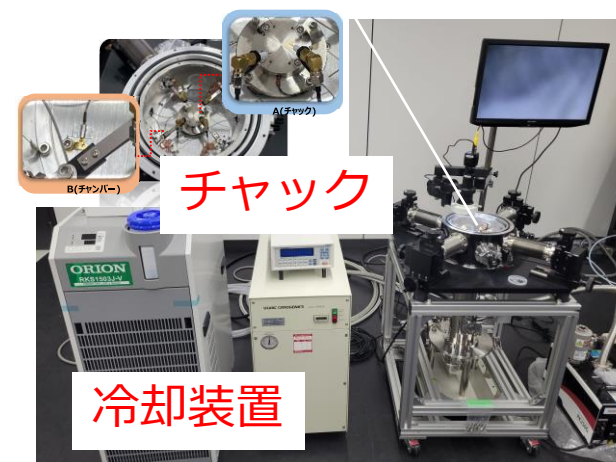


## ● 22nmトランジスタTEG測定



## ● 極低温真空プローバの導入

- ✓ 2月末納品、今後測定を加速



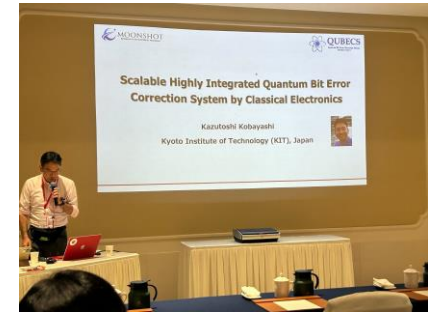
## 項目4：フロントエンド・バックエンドの Cryo CMOS化

小林 和淑 (京都工繊大)  
土谷 亮 (滋賀県立大)  
高井 伸和 (京都工繊大)  
宮原 正也 (高工ネ研)  
今川 隆司 (明治大学)  
岸田 亮 (富山県立大学)

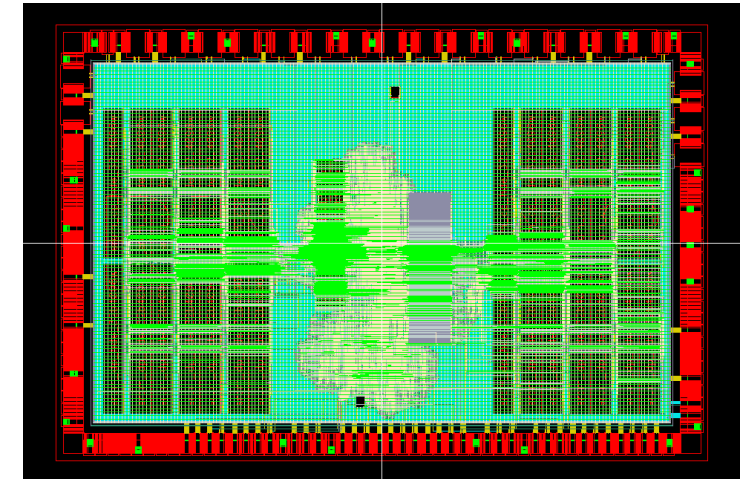


# 課題1：フロントエンド・バックエンド向けデジタル回路技術と高信頼化（工繊大 小林，明治大 今川，富山県立大 岸田）

- 新規PIとして，今川助教（明治大），岸田講師（富山県立大）を増強
  - ✓ 小林，今川，岸田の3名でデジタル回路の設計を加速
- 对外発表
  - ✓ IEEE ASICON 2023(23/10)にて招待講演
  - ✓ IPSJ SLDM WiP(23/11)にてLVDSインタフェース，IEICE VLD研究会(23/11)にてフロントエンド向けエラー訂正回路
- 22nm BulkプロセスにてFPGA実装済のデジタル部を設計
  - ✓ 土谷PIのPLL，宮原PIのLVDSを搭載して，4月にTO予定
- 4Kで動作するデジタル回路の設計開始
  - ✓ 4Kで動作するSRAMをロジックルールで設計
    - ファブ提供のSRAMはレイアウトおよびトランジスタモデルの提供がなく，4K動作は不可



ASICON2023 発表の様子



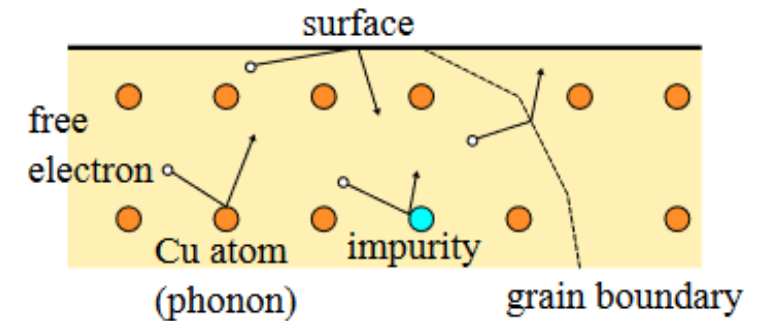
トップレベルレイアウト



## 課題2:RFフロントエンド回路 (滋賀県立大 土谷)

### Cryo-RF デバイスモデルの構築

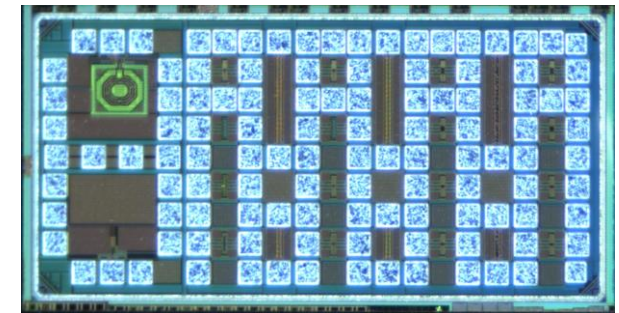
- ✓ 特性評価チップを 22 nm CMOS で試作  
常温環境で測定中
- ✓ 表面散乱を考慮した配線抵抗の温度依存性を  
モデル化, 配線サイズによって温度特性が  
異なることを数値的に予測  
→ 国際会議 (IEEE SPI2024, 5月) 採択



極低温では表面での散乱が支配的,  
抵抗率は材質ではなく配線サイズで  
決まることを数値モデル化  
→ IC内では配線層で40倍変化,  
設計に大きく影響

### RFフロントエンド要素回路

- ✓ 22 nm CMOS でPLLの一次試作を実施, 常温環境で測定中  
今後は極低温での測定, 性能改善とともにミキサー回路の  
設計・試作を実施



CMOS 22nm 試作チップ

## 課題3: フロントエンド用高速DAC (工織大 高井)

# 低電圧, 高精度電流DACの開発

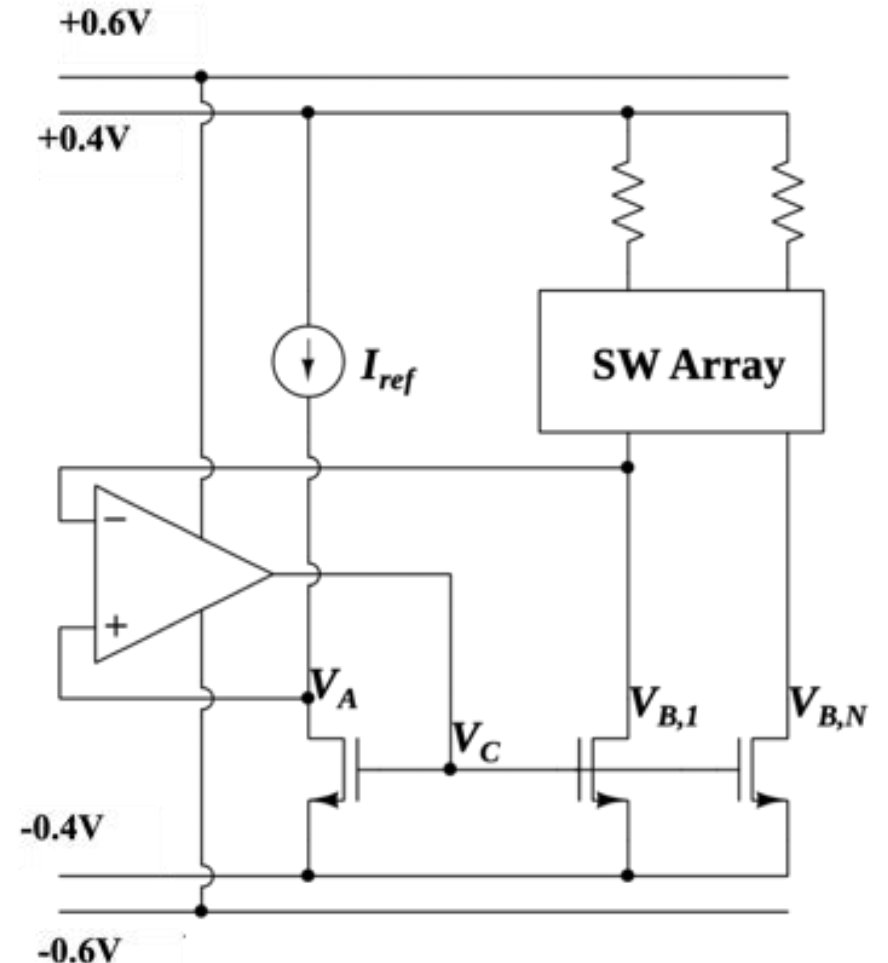
- DACを含むASICは22nmプロセスで製造
- 微細化に伴う電流源の性能低下が課題
- アンプによる補償で性能を維持しつつ低電力化

### カレントミラーを負帰還ループに取り込む

- 飽和領域
  - 出力抵抗をアンプの利得倍に強化
- 線形領域
  - 仮想短絡によりドレイン端子の電位が一致
  - 全端子の電位が一致し、電流源として動作

### 対称性を利用する

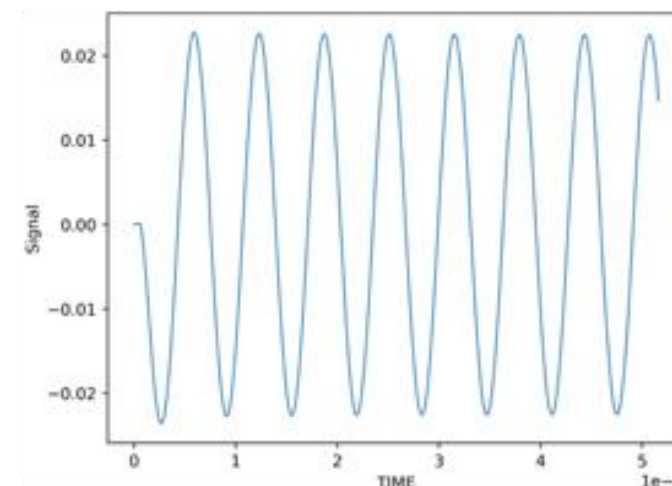
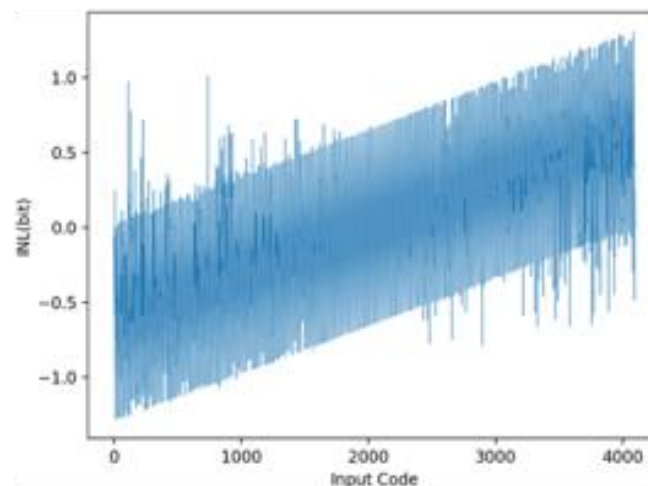
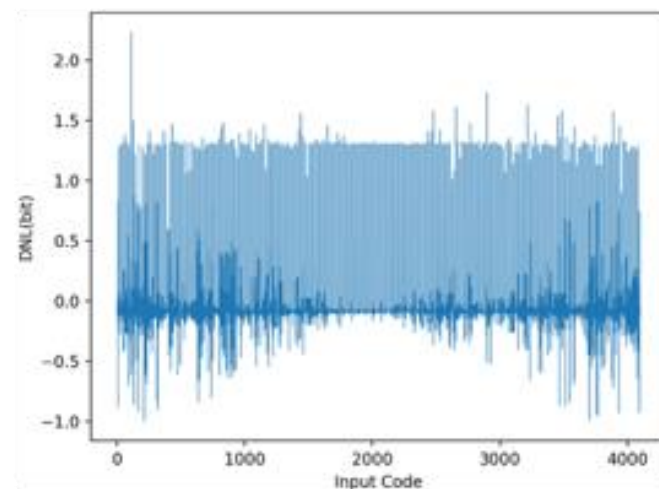
- ループ外の電流源も同様に動作
- オペアンプの数を削減



# 課題3:フロントエンド用高速DAC (工織大 高井)

## 低電圧, 高精度電流DACの開発

- 12bitのDACを4bitのsub-DAC3つで構成し、シミュレーション



| 消費電力<br>Static/<br>Dynamic  | サンプリング<br>周波数 | DNL      | INL      | SFDR<br>@1/2Nyquist | ENOB<br>@1/2Nyquist |
|-----------------------------|---------------|----------|----------|---------------------|---------------------|
| 527 $\mu$ W/<br>932 $\mu$ W | 500MHz        | <2.59LSB | <1.36LSB | 75.4dB              | 11.93bit            |



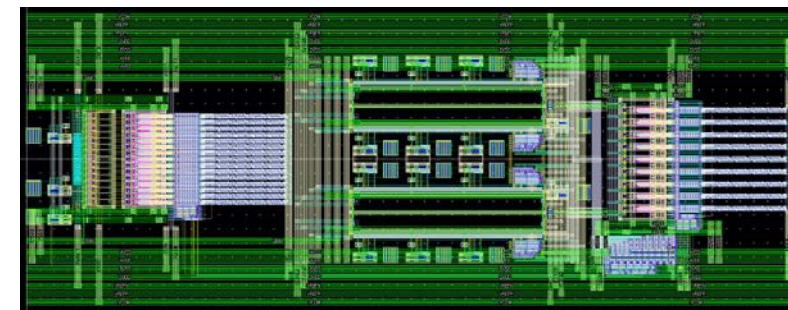
# 課題4: フロントエンド用高速ADC(KEK宮原)

## ● 主な実施項目

- ✓ 22nm Bulk CMOSを用いた設計環境整備
- ✓ Cryo環境下で動作する単体ADCの試作(22nm CMOS)
  - 2023/9 第1次試作 10bit ADC
  - 2023/11 第2次試作 ADC周辺回路TEG
- ✓ 4K評価環境整備

## ● 主な成果

- ✓ 10bit ADCの常温での正常動作を確認
- ✓ ADC周辺回路TEGの正常動作を確認
  - ばらつき解析用Comparator, 制御用SPI, 低温動作IO, リング発振器



10bit Cryo ADC



デュワー



同軸 8本  
信号線 96本

← 評価基板  
120 x 120 mm<sup>2</sup>

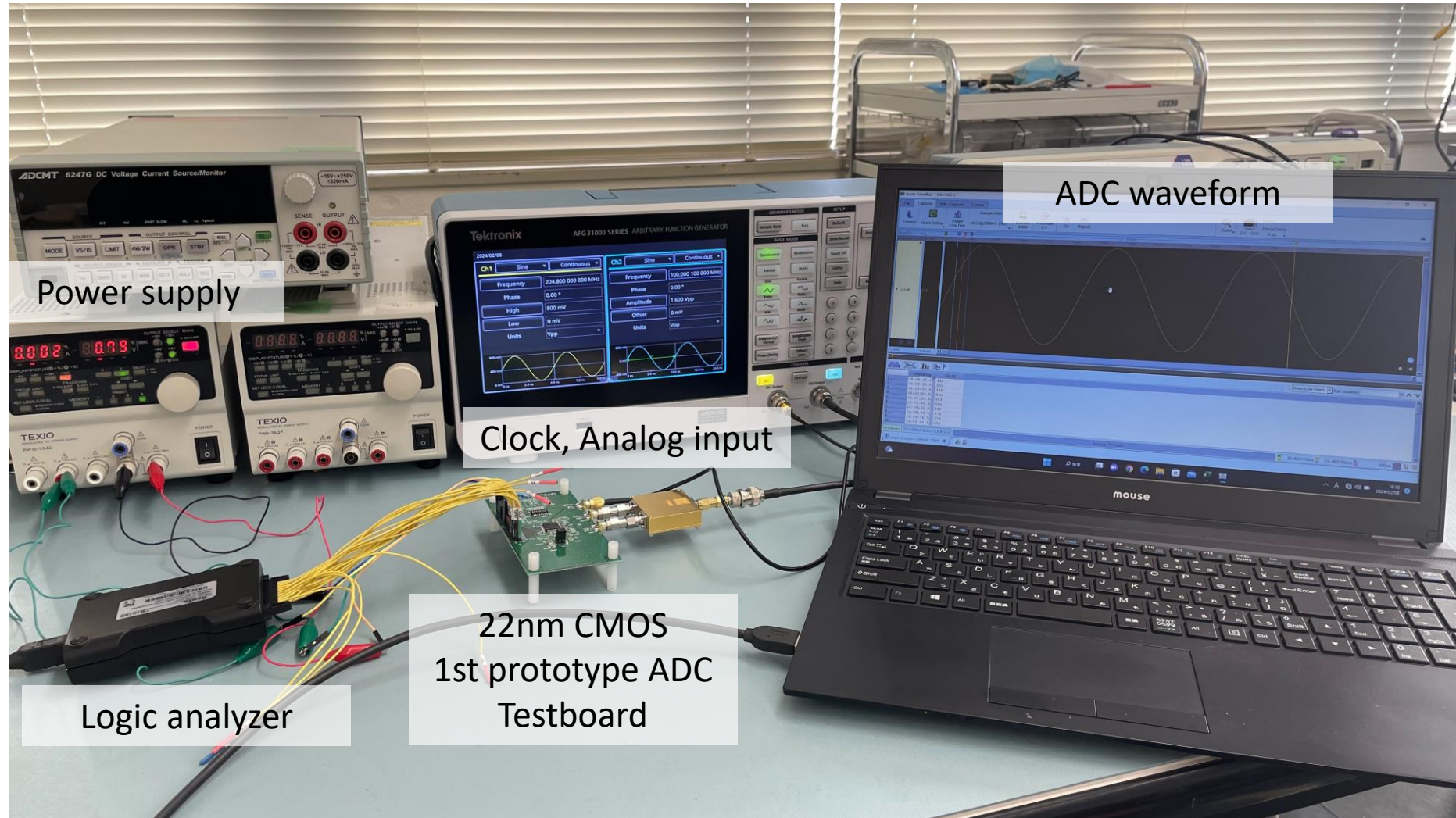
ASIC評価用インサート

4K評価環境整備



# 課題4: フロントエンド用高速ADC(KEK宮原)

22nm CMOSを用いたADC及び周辺回路の1次試作を完了. 常温での正常動作を確認.



# APS-TVでプロジェクトの概要を紹介

---



5分バージョンはyoutubeに。「APS-TV QUBECS」で検索してください。





# **QUBECS**

**Quantum Bit Error Correction System**  
**Moonshot Goal 6**