



北川勝浩PD ムーンショット目標6

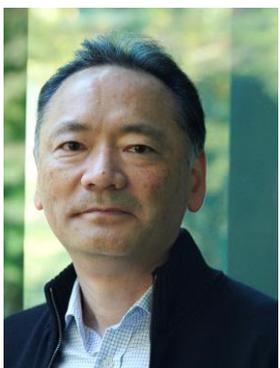
JPMJMS2065

# 大規模集積シリコン量子コンピュータの研究開発

株式会社日立製作所  
研究開発グループ 基礎研究センタ  
主管研究長

PM 水野 弘之

## 課題推進者 (PI)



**HITACHI** Inspire the Next  
日立 水野 弘之



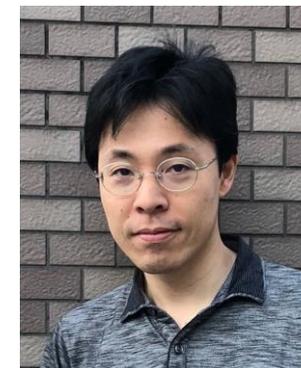
**KOBE UNIVERSITY**  
神戸大 永田 真



**東工大**  
小寺 哲夫

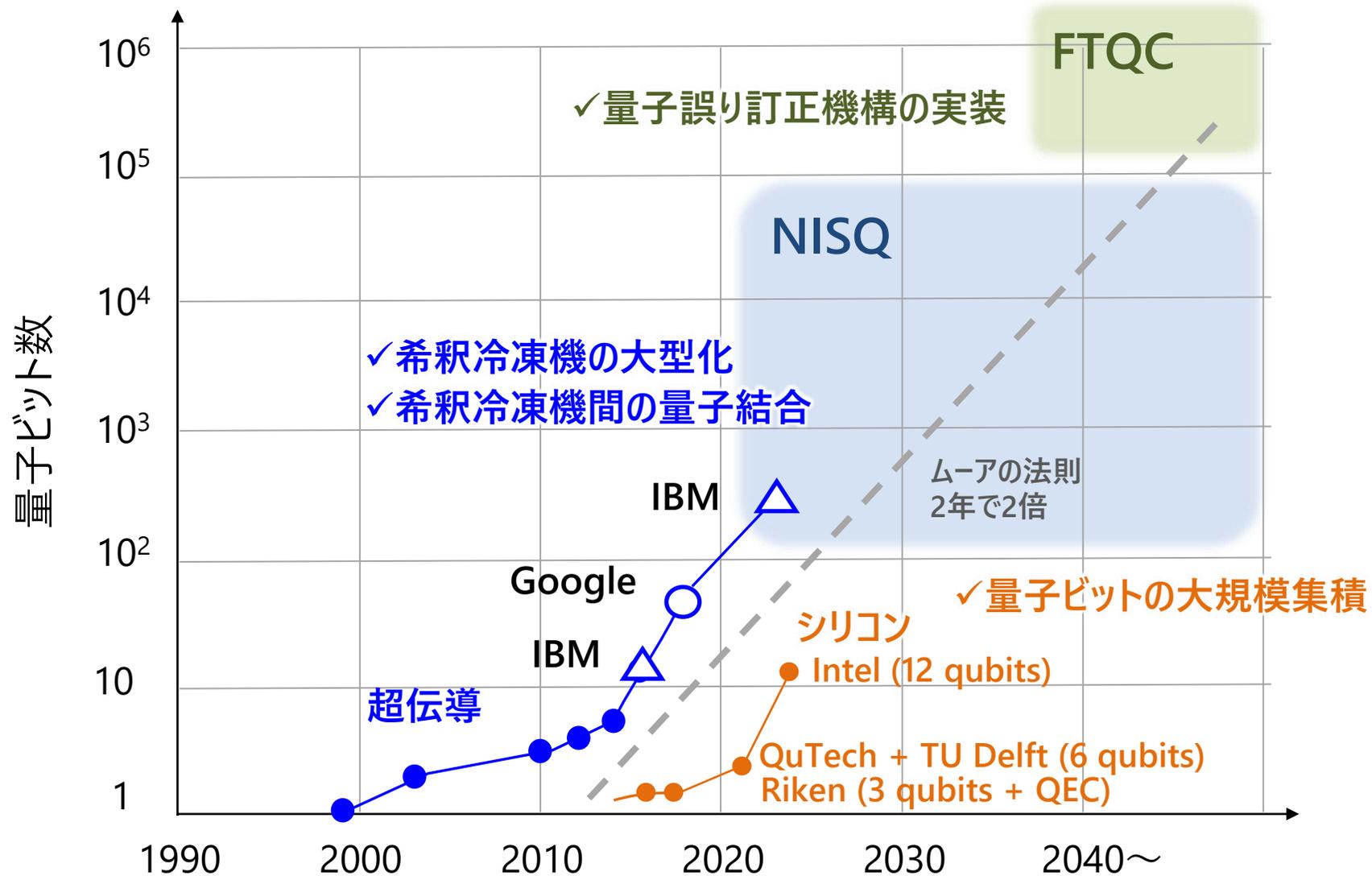


**東工大**  
米田 淳



**CEMS RIKEN**  
理研 中島 峻

- 期待されている高集積化・スケーラビリティが課題



nature View all journals Search Log in

Explore content About the journal Publish with us Subscribe Sign up for alerts RSS feed

nature > volumes > volume 601

<< Previous Volume | All Volumes | Next Volume >>

### Volume 601

**No. 7893** 20 January 2022

High fidelity  
The cover image shows an artist's impression of spin

**No. 7894** 27 January 2022

The heat is on  
A key requirement for self-sustaining energy generation

**No. 7892** 13 January 2022

Rain stops gain  
The cover shows heavy storms over Ostfriesland in Germany. In

**No. 7891** 6 January 2022

Field guide  
The cover shows the structure of the interstellar magnetic field

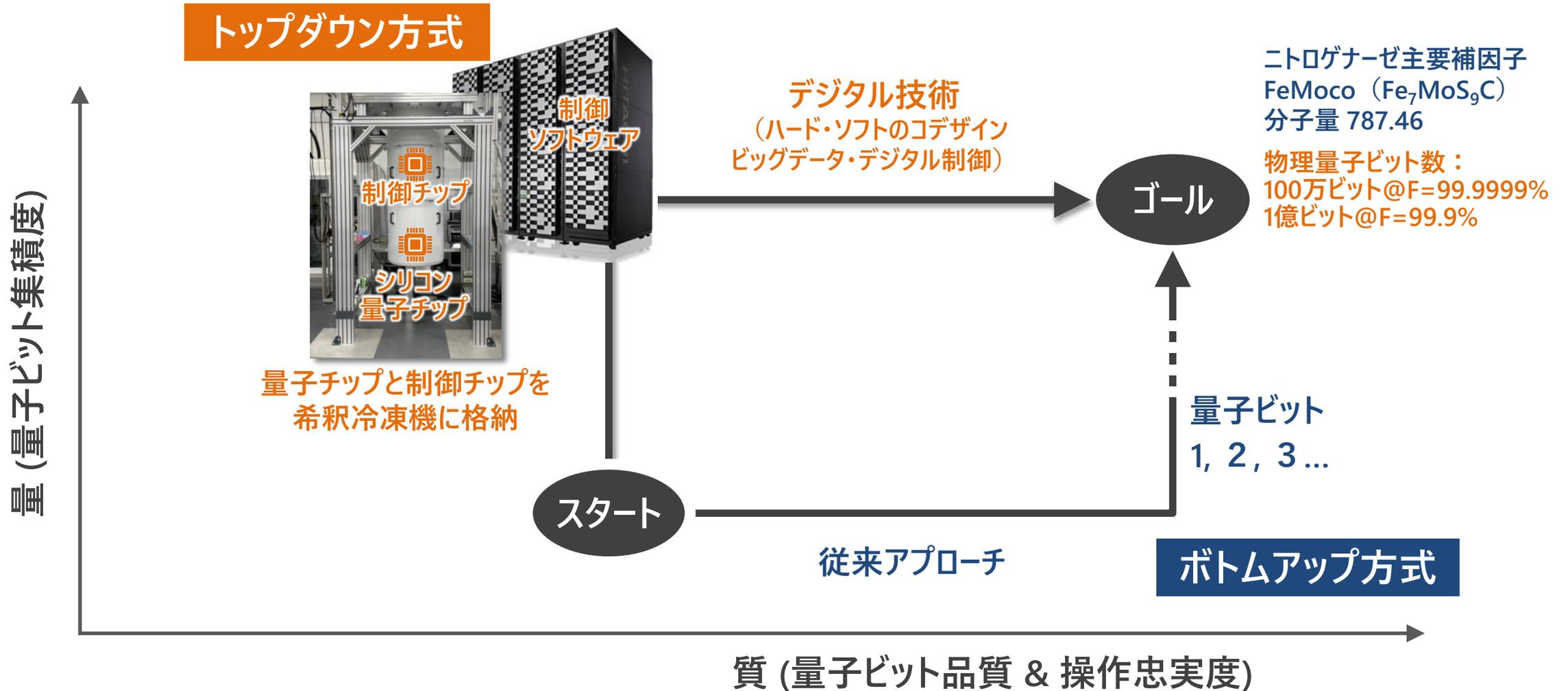
<https://www.nature.com/nature/volumes/601>

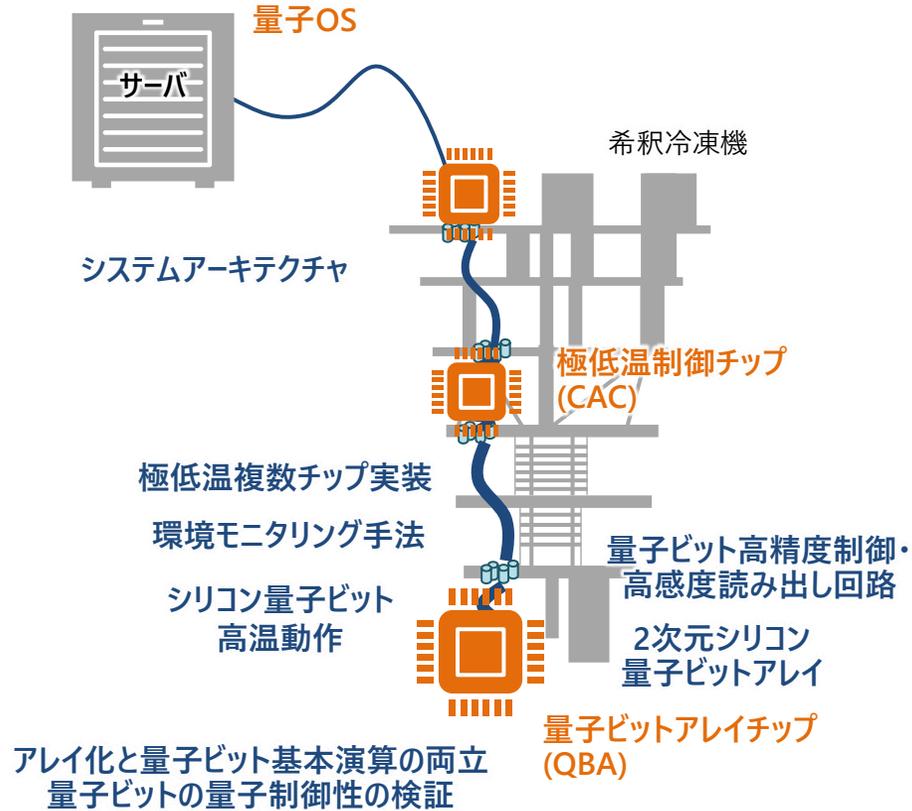
今回の3グループの成果により、シリコンベースの量子情報処理は量子コンピュータのプラットフォームに一步近づいた。しかし、今回の研究グループのデバイスを拡張可能なものにするには、克服すべき課題がある。重要な問題は、システムのサイズが1ビットでも大きくなると、量子ビットの校正、ベンチマーク、達成された忠実度の多くが悪影響を受けることである。

したがって、このシステムの次の実験的マイルストーンは、より多くの量子ビットが存在するにもかかわらず、XueらやNoiriらが実証したような**高い忠実度を持つ2量子ビットゲートをホストする、より大きな量子ドットアレイを構築することである。このようなシステムのさらなるブレークスルーは、量子エラー訂正の実証である。**

<https://media.nature.com/original/magazine-assets/d41586-022-00047-0/d41586-022-00047-0.pdf>

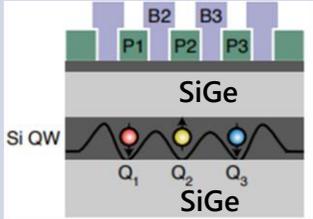
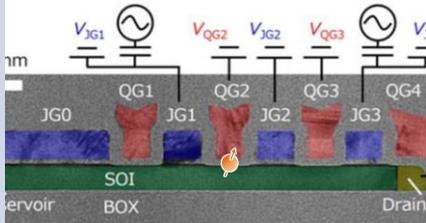
- シリコン集積性を最大限に活用したトップダウン方式で早期実用化をめざす



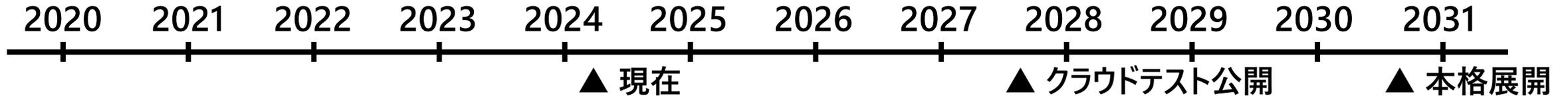


研究開発項目	課題推進者	研究開発課題
1 量子コンピューティングシステム	日立 水野弘之	1 2次元量子ビットアレイ 2 量子ビット高精度制御・高感度読み出し回路 3 システムアーキテクチャ
2 極低温複数チップ実装システム	神戸大 永田真	4 極低温複数チップ実装 5 環境モニタリング手法
3 ホットシリコン量子ビット	東工大 小寺哲夫	6 シリコン量子ビットの高温動作
4 小規模回路による量子演算	東工大 米田淳	7 アレイ化と量子ビット基本演算の両立
	理研 中島峻	8 量子ビットの量子制御性の検証

- 小規模回路で実績があるSiGe量子ビットに対し、将来の集積化を重視してSi-MOS量子ビットによる量子ビット操作に挑戦中

	SiGe (理研、他)	Si-MOS	懸念点
デバイス構造			
基盤の基本特性	<ul style="list-style-type: none"> <li>• 同位体含有量: <math>^{29}\text{Si}</math> 0.08%, <math>^{30}\text{Si}</math> 0.00%</li> <li>• 電子移動度: <math>1.5 \times 10^5</math></li> <li>• 有効質量: 0.13</li> </ul>	<ul style="list-style-type: none"> <li>• 同位体含有量: <math>^{29}\text{Si}</math> 4.7%, <math>^{30}\text{Si}</math> 3.1%</li> <li>• 電子移動度: <math>1.0 \times 10^4</math></li> <li>• 有効質量: 0.14</li> </ul>	<ul style="list-style-type: none"> <li>• コヒーレンス時間</li> </ul>
電子閉じ込め構造 (縦方向)	<ul style="list-style-type: none"> <li>• ウェル構造: SiGe 30nm / Si 8nm / SiGe 30nm</li> <li>• ゲート材料: Al/<math>\text{Al}_2\text{O}_3</math></li> </ul>	<ul style="list-style-type: none"> <li>• ウェル構造: <math>\text{SiO}_2</math> 5nm / SOI 50nm / BOX 145nm</li> <li>• ゲート材料: Poly-Si/<math>\text{SiO}_2</math></li> </ul>	<ul style="list-style-type: none"> <li>• バレー分離</li> <li>• ゲートチャージ</li> </ul>
電子閉じ込め構造 (面方向)	<ul style="list-style-type: none"> <li>• Si - SiGe 界面</li> <li>• 素子分離: 電解分離</li> <li>• 寸法: Unknown</li> </ul>	<ul style="list-style-type: none"> <li>• <math>\text{SiO}_2</math> - Si 界面</li> <li>• 素子分離: シャロートレンチアイソレーション (STI)</li> <li>• 寸法: 60 nm</li> </ul>	<ul style="list-style-type: none"> <li>• 表面粗さ</li> <li>• STIによる固定チャージ発生</li> <li>• マルチプル量子ドット形成</li> </ul>
スピン操作手法	<ul style="list-style-type: none"> <li>• スピン操作: EDSR</li> <li>• ローカル磁場生成: マイクロマグネット (Co/Ti)</li> </ul>	<ul style="list-style-type: none"> <li>• スピン操作: ESR</li> <li>• ローカル磁場生成: ローカル電流</li> </ul>	<ul style="list-style-type: none"> <li>• ゲート速度</li> </ul>

# スケジュール



ムーンショット（5年）

- 量子ビットアレイ操作実証
- システム要素技術開発

▲ IMEC連携開始

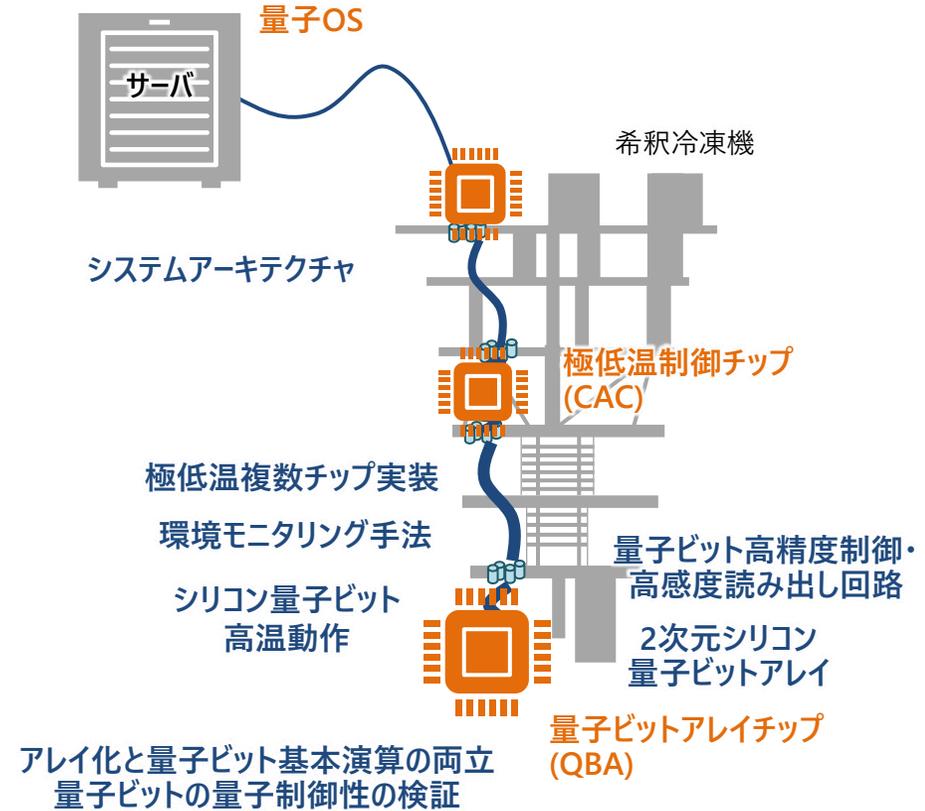
- システム統合
- (量子誤り訂正システムアーキ設計)

ムーンショット（次期5年）

(システム化、スケーラビリティ、量子誤り耐性)

- ✓ CMOS混載量子ビットプロセス (QCMOS) 設計
- ✓ クライオCMOS回路設計 (DAC、RF、シーケンサ含む)
- ✓ 極低温シリコンインターポーザ開発
- ✓ ホットシリコン量子ビット雑音特性評価
- ✓ SiGe/3量子ビットGHZ状態の生成
- ✓ SiGe/高忠実度2量子ビットゲート制御
  - ✓ 単電子ポンプ
  - ✓ PMOSアンブ読出し
  - ✓ クライオCMOS回路評価 (DAC、ADC含む)
  - ✓ 極低温シリコンインターポーザ物理評価
  - ✓ 極低温環境モニタリングシステム、要素技術開発
  - ✓ ホットシリコン正孔スピン操作
  - ✓ SiGe/3量子ビットGHZ回路による位相緩和エラー抑制実証
  - ✓ パウリ排他律を用いた高速パリティ読み出し
    - ✓ 量子ドットアレイ特性、Si-MOS/1量子ビット操作
    - ✓ クライオCMOS回路評価 (RF含む)
    - ✓ 量子オペレーティングシステム
    - ✓ シャトリング量子ビット方式提唱と評価
    - ✓ 極低温シリコンインターポーザ電気特性評価
    - ✓ ホット量子ビットスピン緩和時間測定
    - ✓ モデルベース強化学習による量子ドット自動調整
    - ✓ 量子ビット位相雑音関連の観測、雑音同定方法の提唱

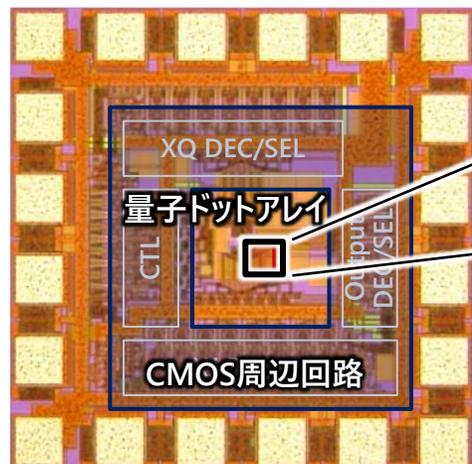
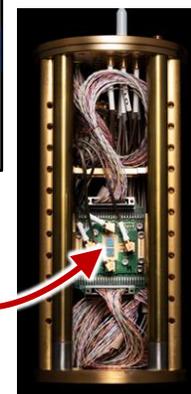
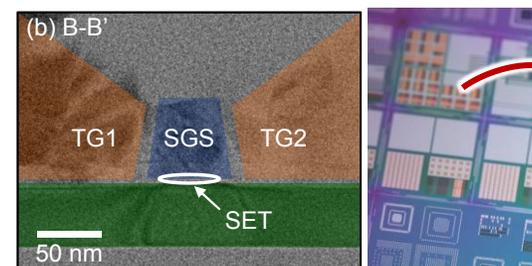
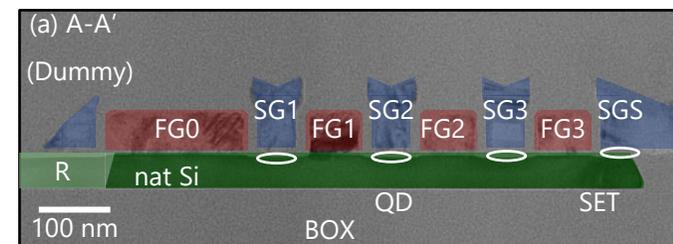
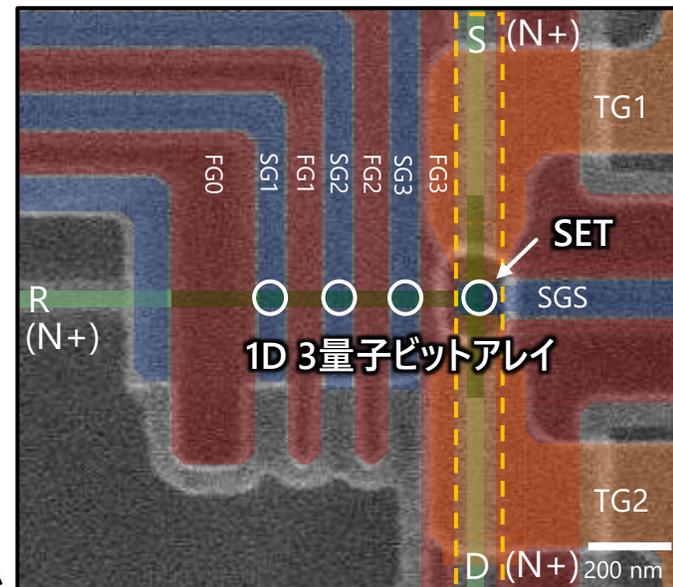
研究開発項目	課題推進者	研究開発課題
1 量子コンピューティングシステム	日立 水野弘之	1 2次元量子ビットアレイ 2 量子ビット高精度制御・高感度読み出し回路 3 システムアーキテクチャ
2 極低温複数チップ実装システム	神戸大 永田真	4 極低温複数チップ実装 5 環境モニタリング手法
3 ホットシリコン量子ビット	東工大 小寺哲夫	6 シリコン量子ビットの高温動作
4 小規模回路による量子演算	東工大 米田淳	7 アレイ化と量子ビット基本演算の両立
	理研 中島峻	8 量子ビットの量子制御性の検証



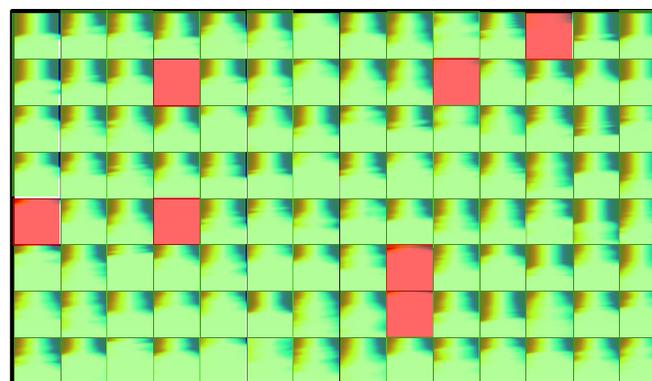
## ● 量子ドットアレイのシュムプロット取得

- ✓ 量子ドットアレイと、その制御に必要な直接周辺回路を混載するQCMOSプロセスを開発
- ✓ 周辺回路が極低温領域(4K)で動作すること確認し、量子ドットの特長マップを取得
- ✓ 特性ばらつき解析を行い、得られた知見を量子ビットアレイ構造・製造プロセスにフィードバック

## ● 小規模回路での検証

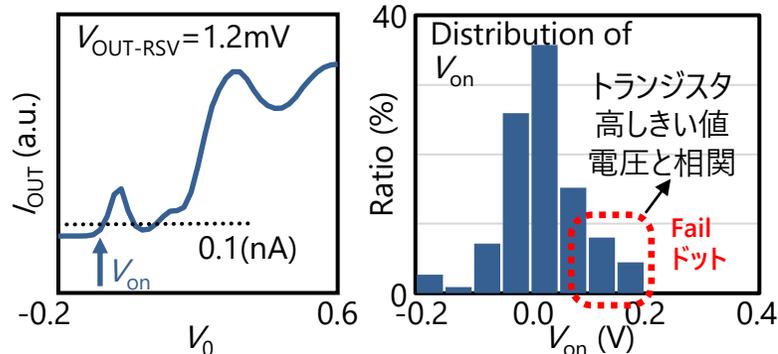


QCMOSチップ



量子アレイチップのシュムプロット

Lee N. et al. 2021 Int. Conf. on SSDM A-1-02 (2021)  
N. Lee et al., Jpn. J. Appl. Phys. 61, SC1040 (2022)



特性マップを解析した結果、トランジスタのバラつき特性と相関を確認 【東工大連携】

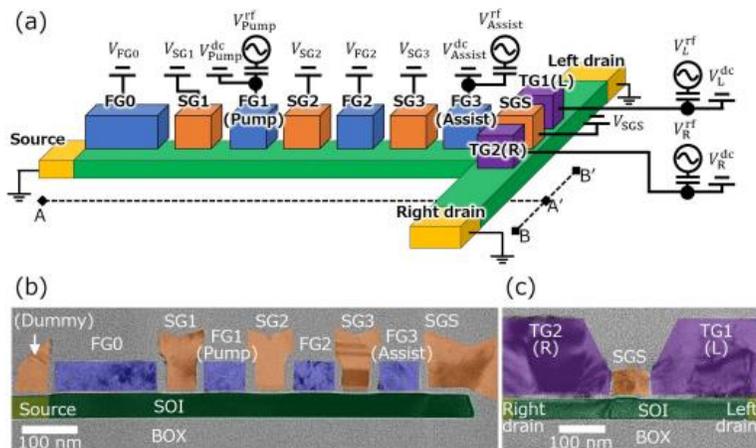
# 研究開発課題 1 : 2次元量子ビットアレイ (2)

## ● 初期化

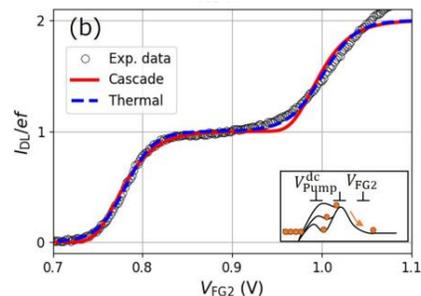
- ✓ 高速高精度な単電子ポンプ&ルーターを実証

[T. Utsugi et al., PRB, 11 December 2023](#)

[T. Utsugi et al., APS, March 2024](#)

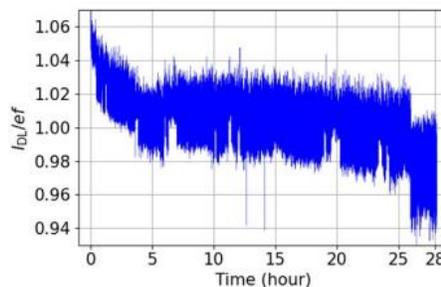


安定性 (without any feedback)



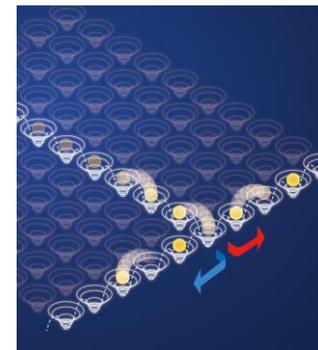
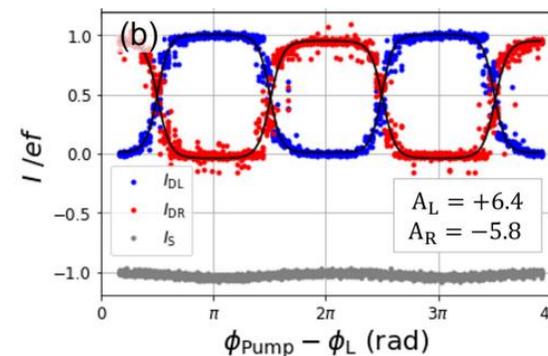
100 MHz operation

$$P_{error}^{Pump} < 0.01\%$$

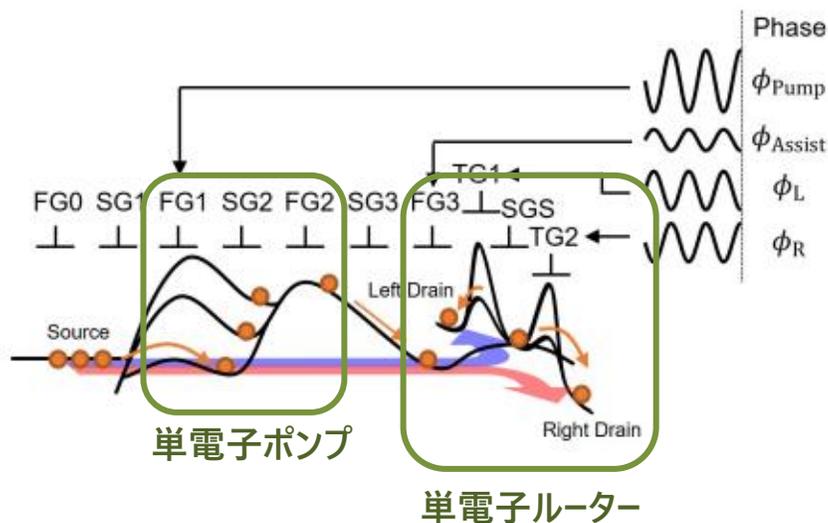
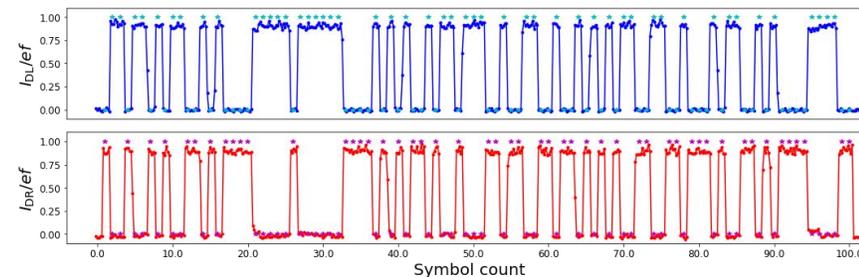


28+ hour free run  
Accuracy: 99.86%

ルーター制御

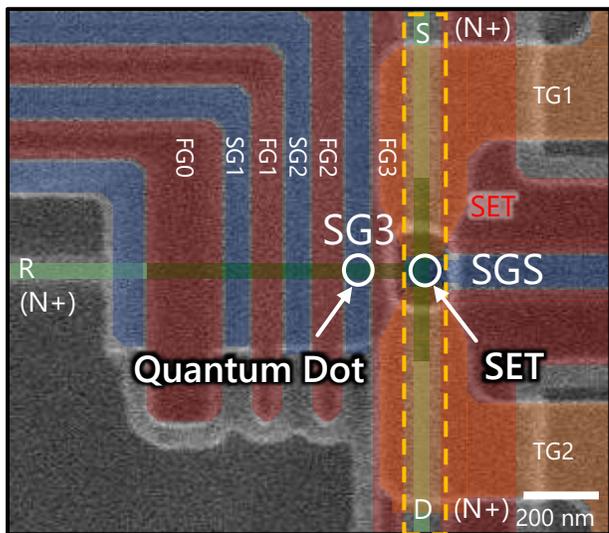


$$P_{error}^{Router} < 1\%$$

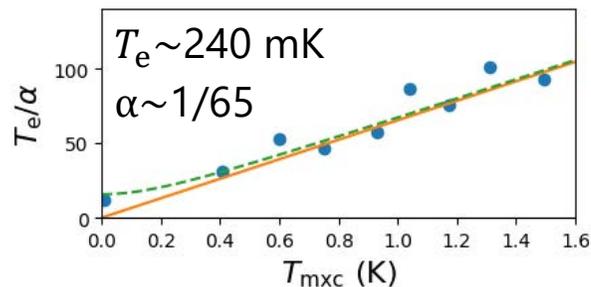


## ● 1量子ビットスピ操作

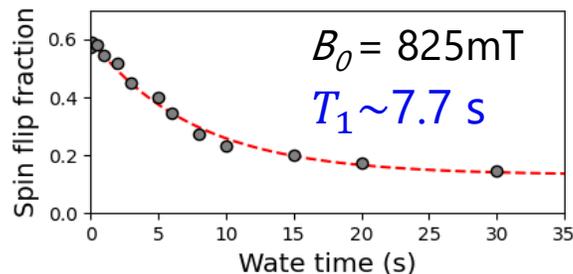
Device structure



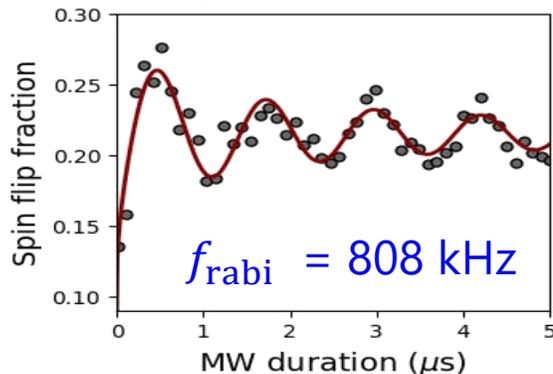
Electron temperature



Spin relaxation time



Rabi frequency



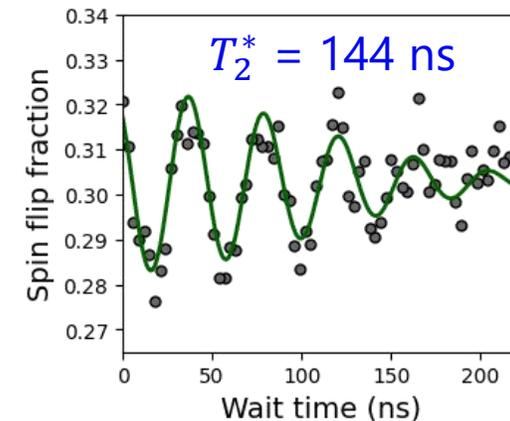
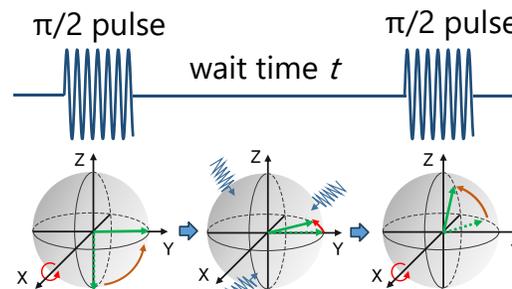
T. Kuno et al., APS, March 2024

[1] A. J. Ramsay et al, Nat Commun (2023)

## ● T2評価

- ✓ 試作量子ビットアレイの  $T_2^*$  は 144 ns (Si28の必要性を示唆)
- ✓ Concatenated Continuous Driving (CCD)<sup>[1]</sup>の適用により、低周波ノイズを除去することでコヒーレンス時間を約2桁改善することを確認 【VLSI Symposium 2024へ投稿完】

Ramsey experiment

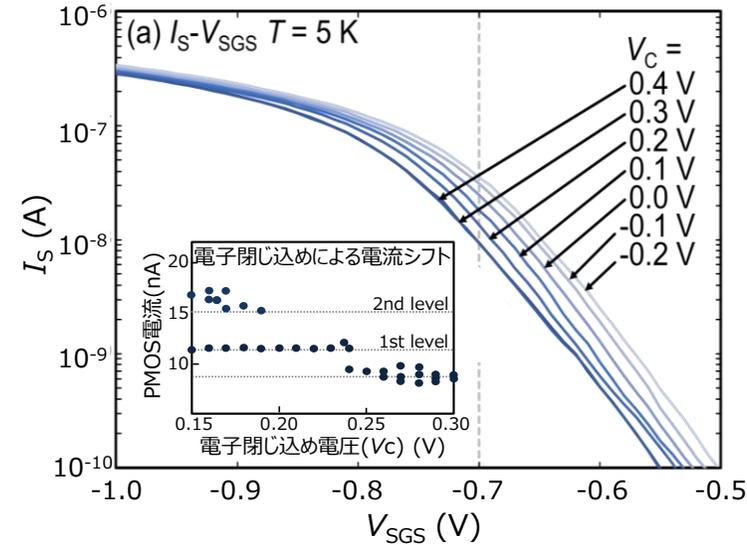
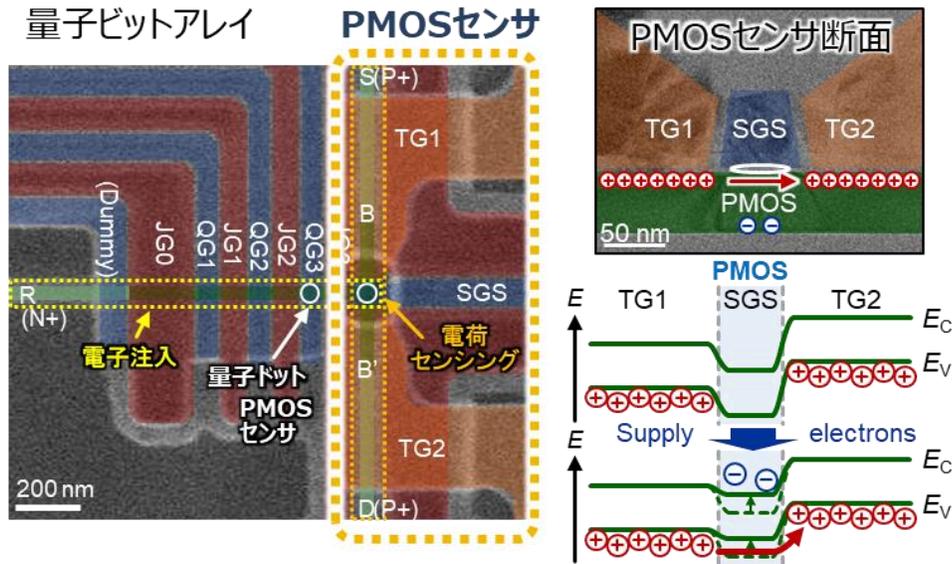


## ● Randomized Benchmarking評価完

- ✓  $F_{bare} = 95.0\%$ 、 $F_{ccd} = 99.1\%$

## ● 読み出し

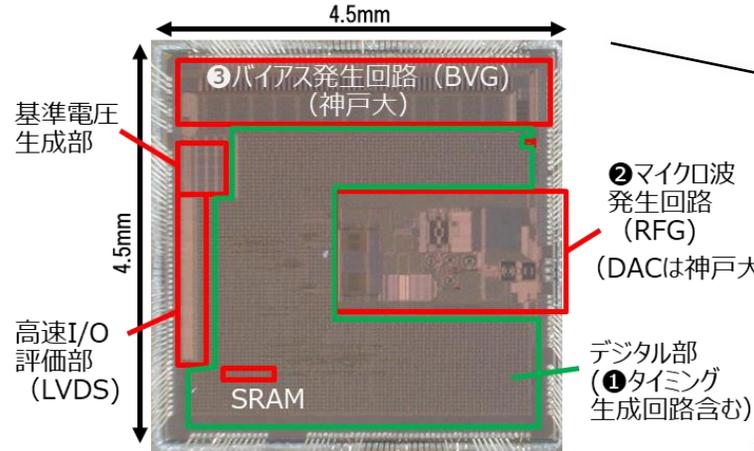
- ✓ 量子ビット読み出し信号検出用トランジスタにPMOSセンサを適用
- ✓ PMOSセンサ部への電子閉じ込め数の変化により、nAオーダーで電流が変化することを確認



電子閉じ込めによるPMOSセンサの特性変化

- PMOSセンサへの電子閉じ込めにより、PMOSトランジスタのチャンネル領域のポテンシャル障壁が低下
- ポテンシャル障壁低下により、PMOSセンス電流が大きく変化  
⇒ PMOSセンサの駆動電流変化として量子ビット状態を読み出し可

## ● 極低温量子ビット制御チップ (CAC) の設計・試作

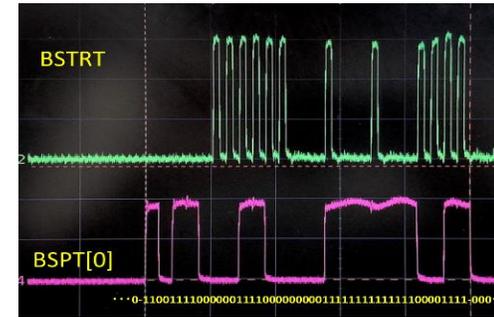


CAC チップ写真 (TSMC 40nm)



低損失伝送基板設計 & 実装完

### ① タイミング生成回路

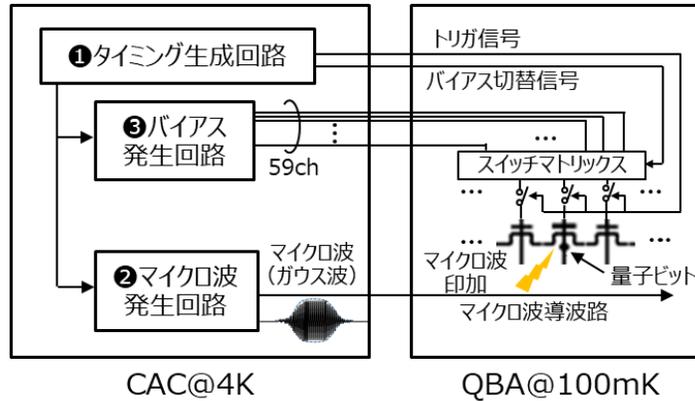


可変範囲 (1ns ~ 2ms, 1ns step)  
 バイアス切替, マイクロ波照射  
 タイミング制御可能

### ③ バイアス発生回路

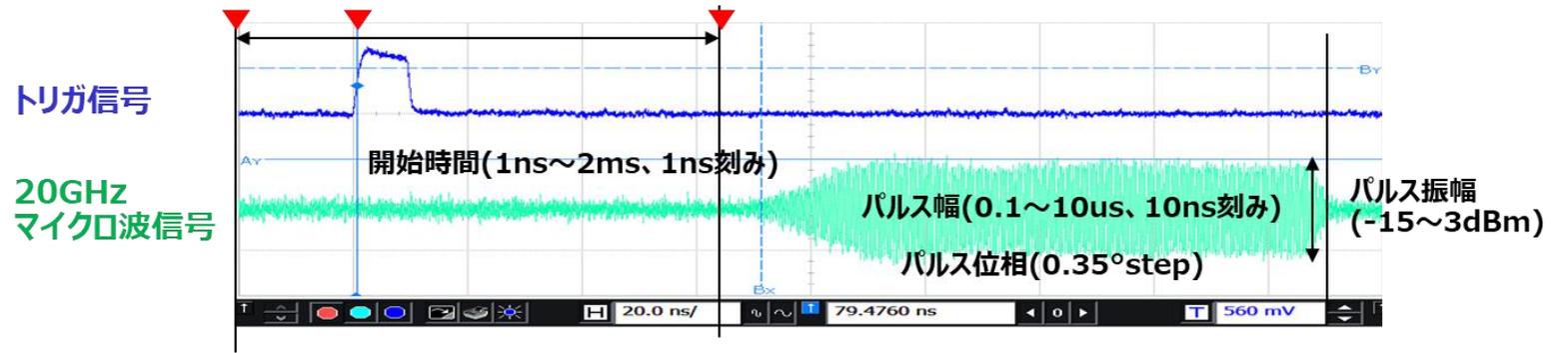


59チャンネル  
 出力電圧範囲 (0V ~ 2.5V)  
 分解能 (16bit, 1LSB=40uV)



量子ビット高精度制御アーキテクチャ

### ② マイクロ波発生回路

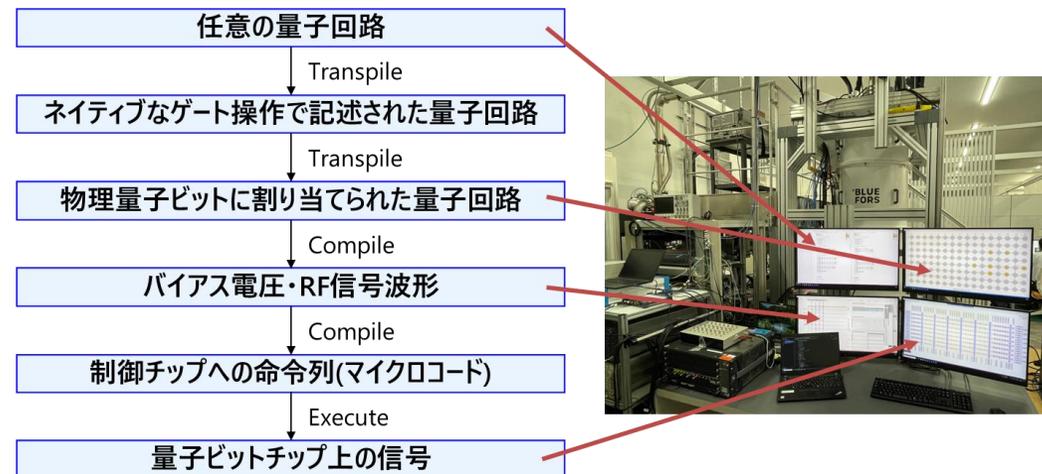
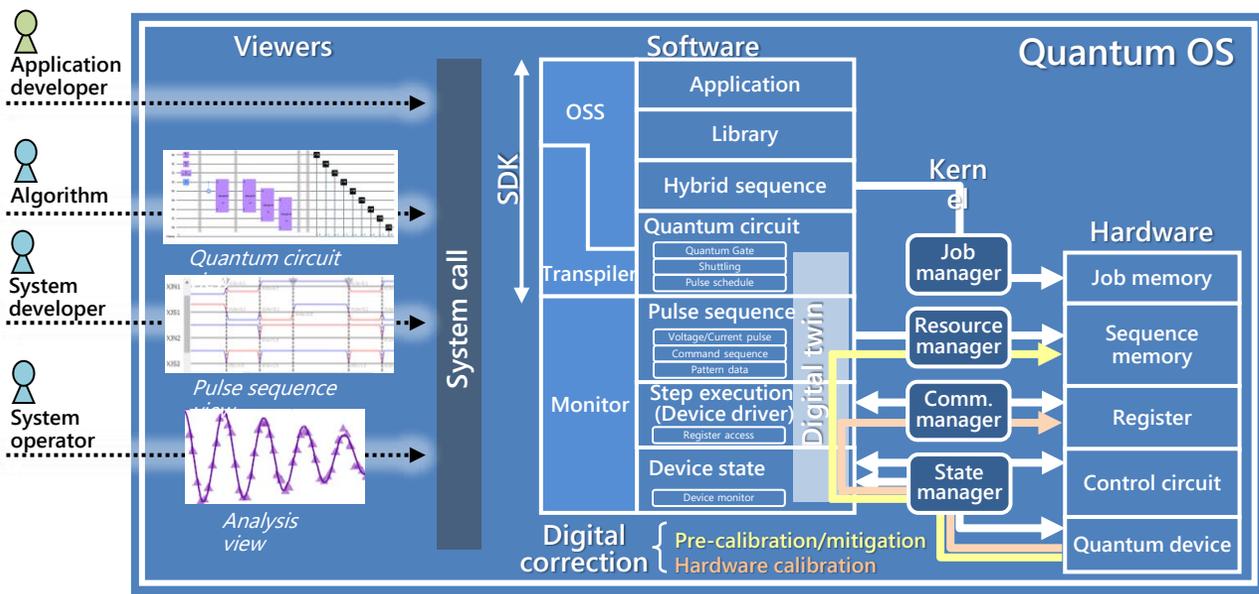


20GHz マイクロ波信号発生 (PLL & Mixer内蔵)  
 パルス幅 (0.1~10us)、位相 (0.35° step)、振幅 (-15~3dBm)  
 ジッタ特性改良版も設計 & 評価完 【VLSI Symposium 2024へ投稿完】

## ● 量子オペレーティングシステム (量子OS) の基本コンセプト構築とプロトタイプ開発

- 制御対象となる量子コンピュータのモデル (デジタルツイン) を量子OSに内包し、ハード制約に応じた制御の実現と、状態監視結果のフィードバック (デジタル補正) によるモデル精緻化を実現

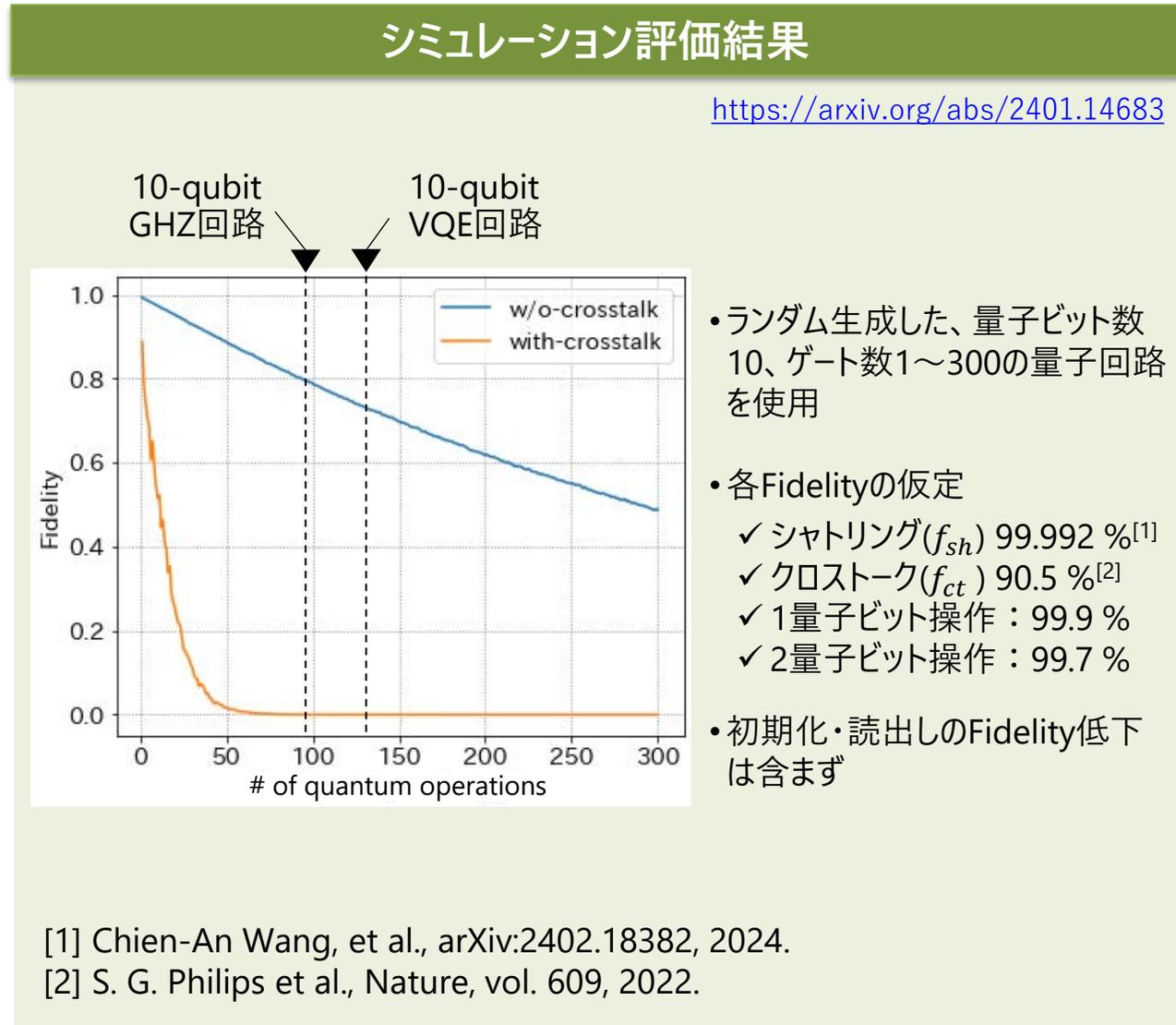
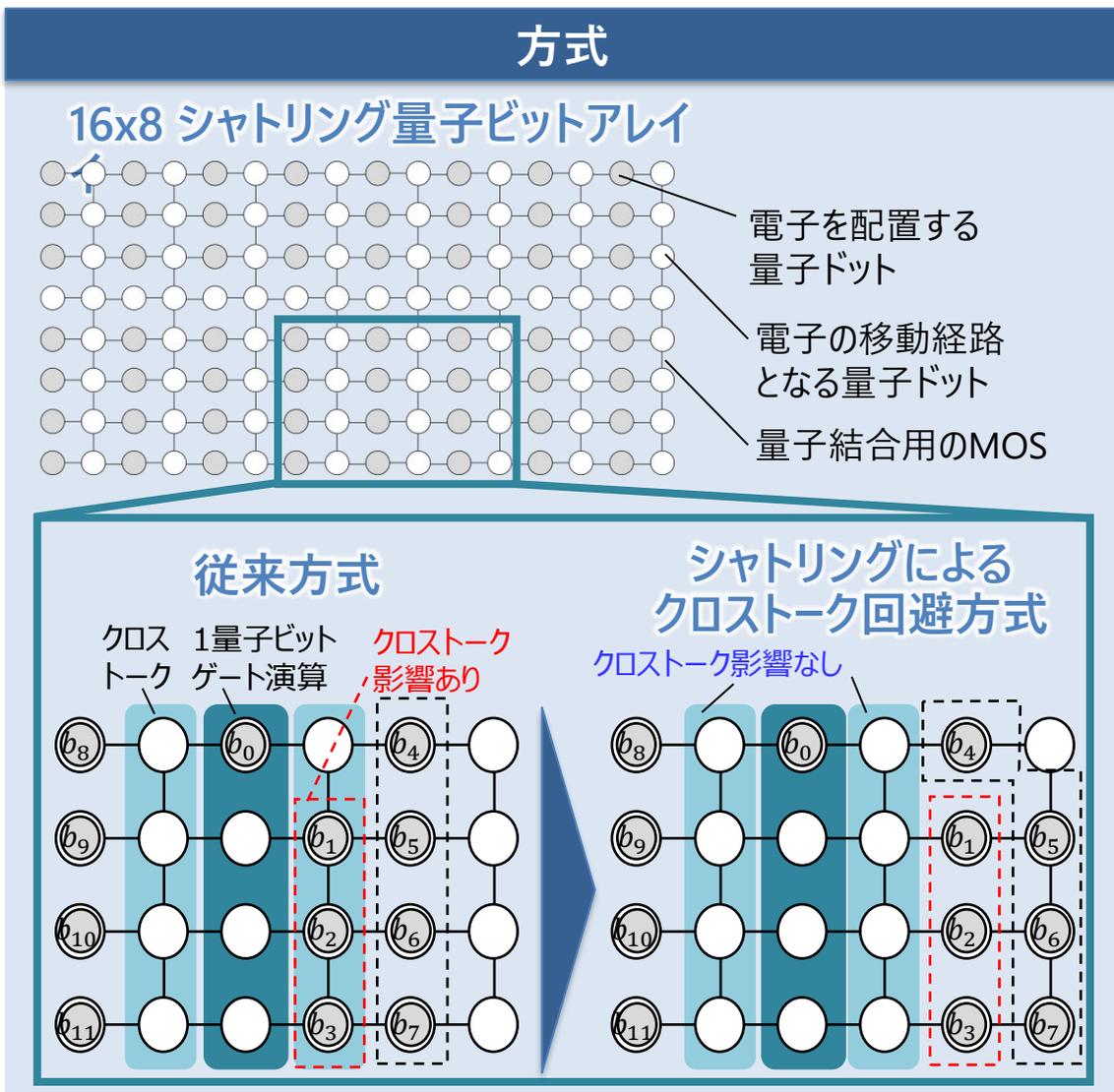
- SDKとシステムモニタを連携し、量子オペレーションの一連の流れを統合的に制御



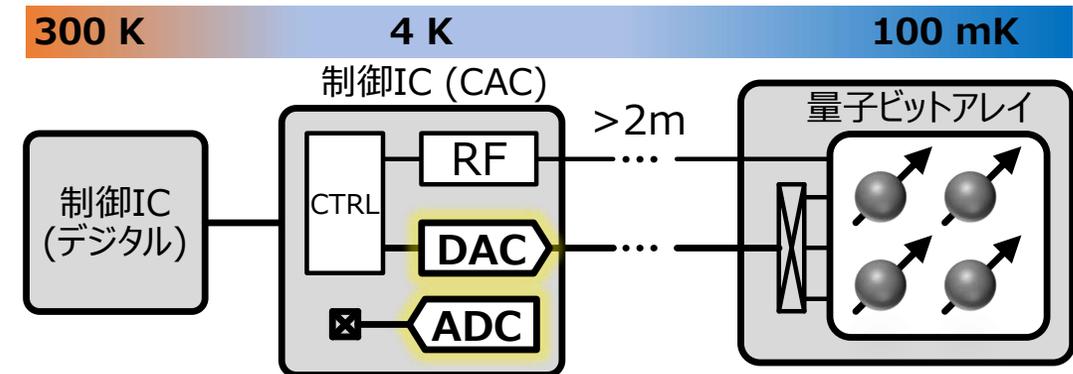
This block contains four screenshots of software interfaces:
 

- 量子回路記述 (SDK):** A code editor showing Python code for defining a quantum circuit.
- バイアス・RF波形 (システムモニタ):** A waveform viewer showing pulse sequences for qubits XJN14, XJ514, and XJN15.
- 量子ビット割り当て (量子ビット操作手順最適化):** A grid-based interface for assigning qubits to operations.
- チップ上の信号 (システムモニタ):** A heatmap-style monitor showing the status of qubits on the chip.

## ● シャトリング量子ビット方式による、量子ビット結合自由度の拡大とクロストーク影響の抑制



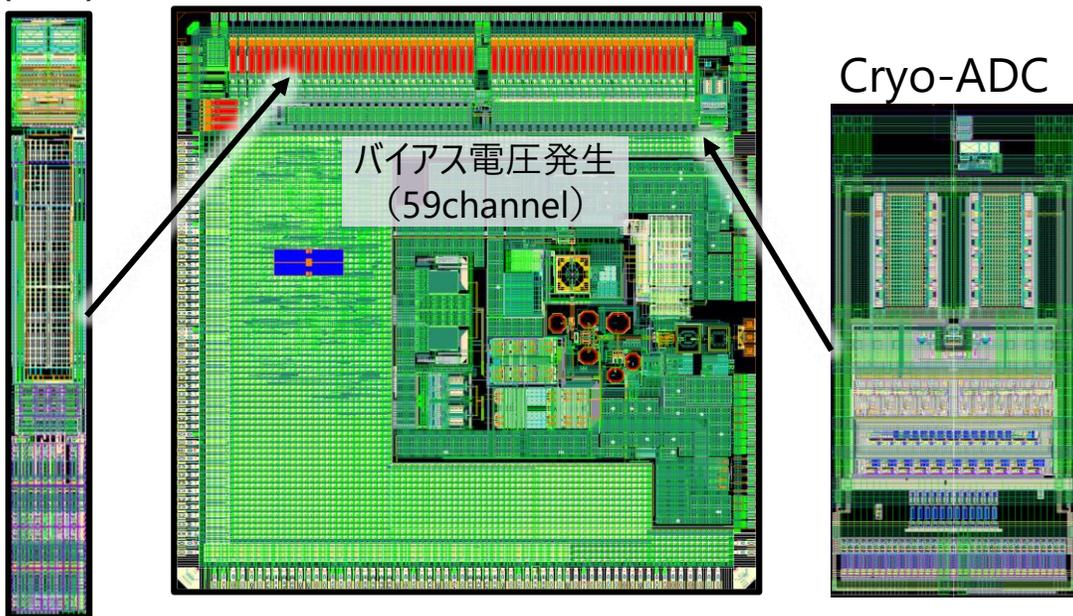
## 極低温CMOSアナログ回路



Cryo-DAC (1ch)

極低温制御IC (CAC)

Cryo-ADC

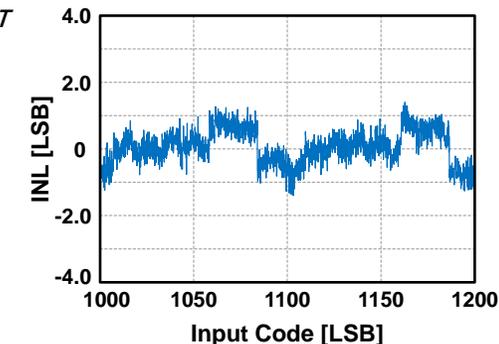
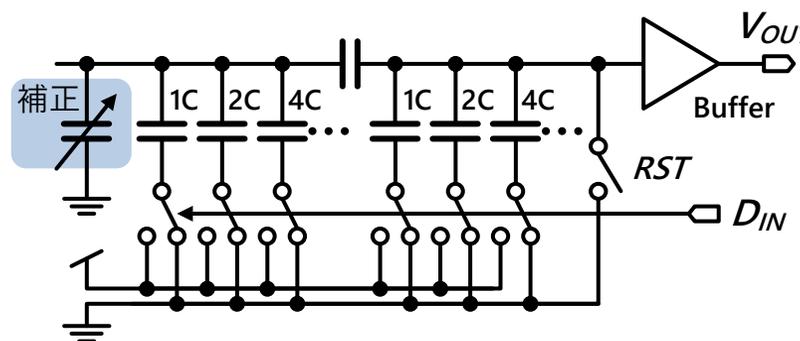


### • 極低温DA変換器 (Cryo-DAC)

- 16bit (40uV/LSB) バイアス電圧生成
- 59チャンネル (0.02 mm<sup>2</sup>/ch)

*Miki, A-SSCC 2023*

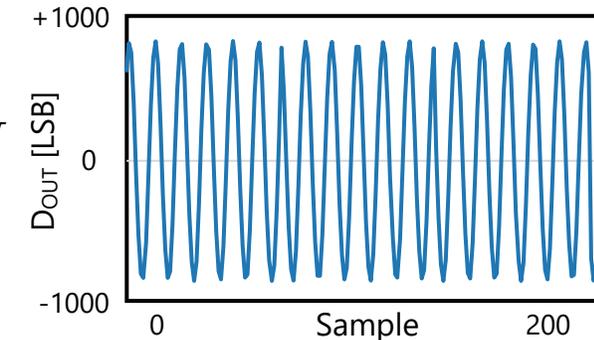
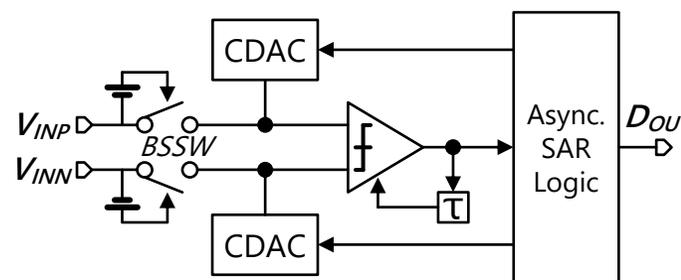
線形性評価@4K



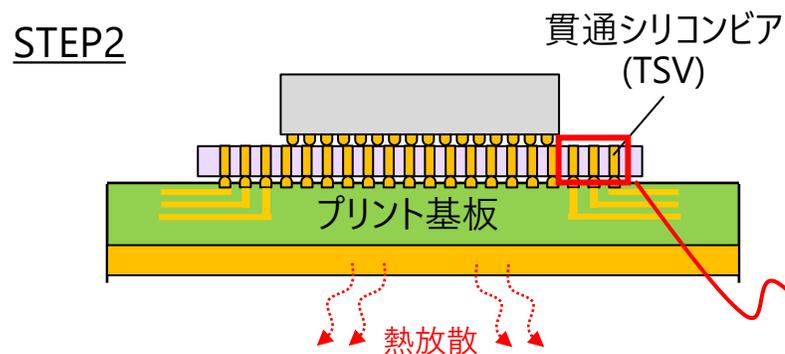
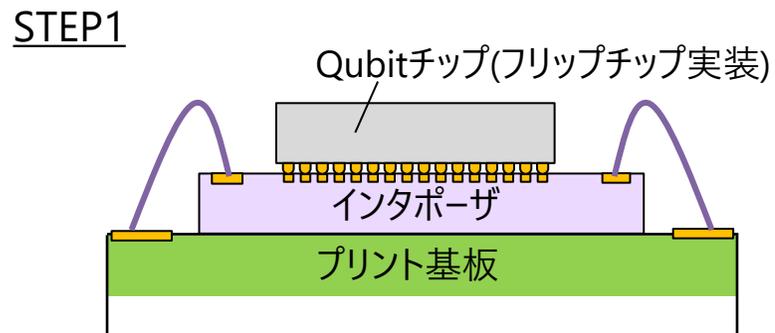
### • 極低温AD変換器 (Cryo-ADC)

- チップ内部で制御信号をモニタ → 補正
- 11bit 100 MS/s非同期逐次比較型

AD変換評価@4K

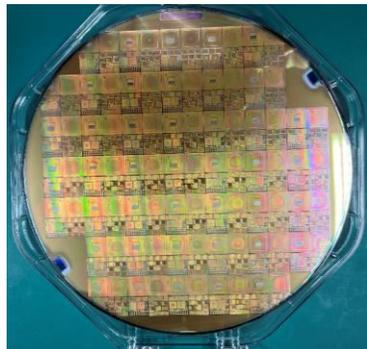
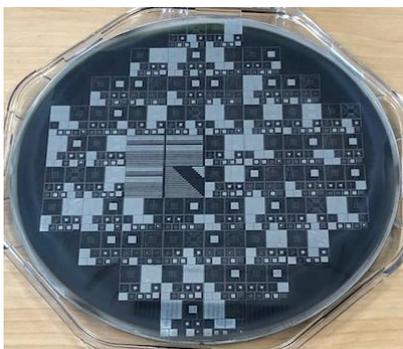


## 極低温パッケージング技術

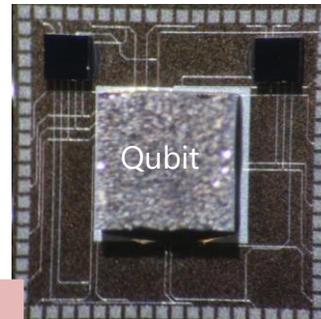
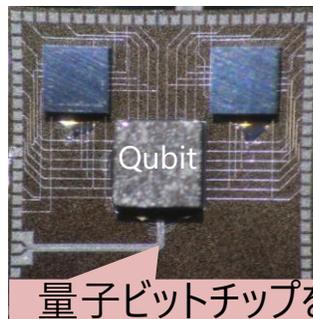


パッシブインターポータ

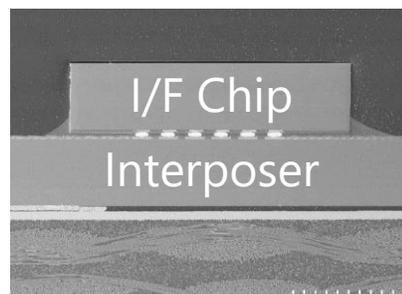
アクティブインターポータ



## 極低温フリップチップ実装の開発



*Futaya, SSDM2023*

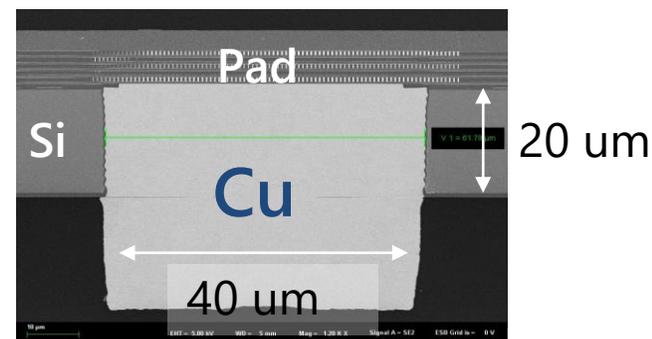


極低温耐性を確認

## 極低温評価設備の導入



## 極低温TSV形成プロセスの開発

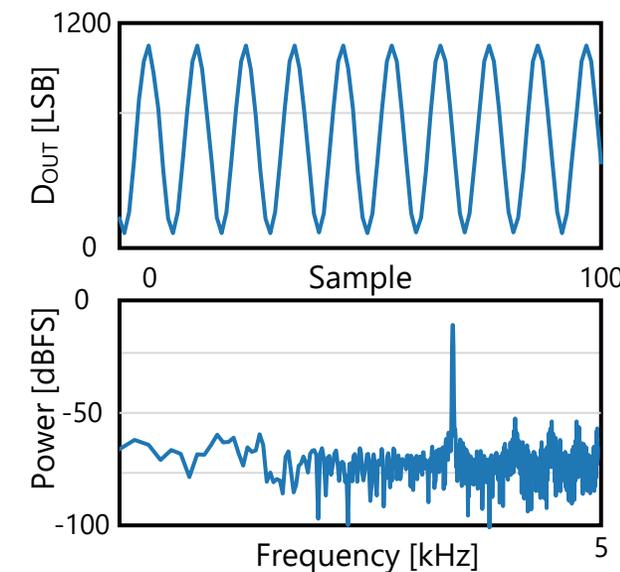
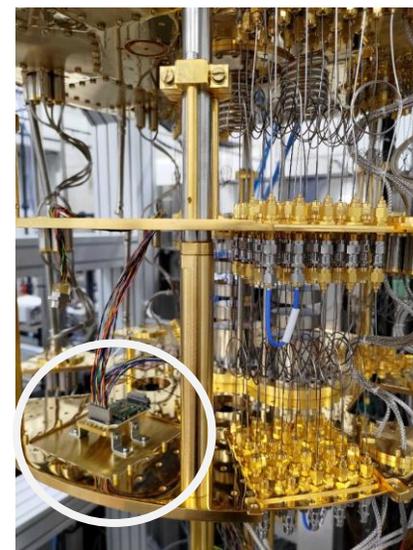
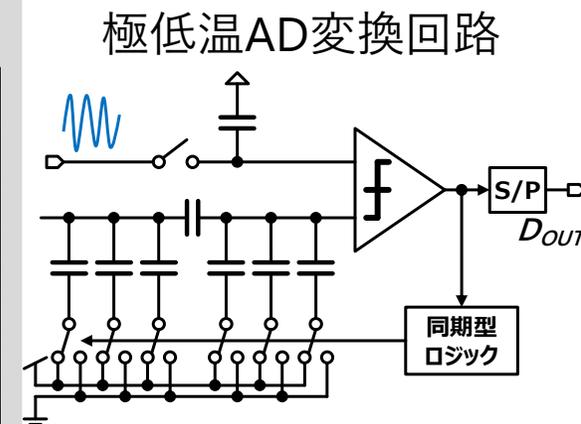
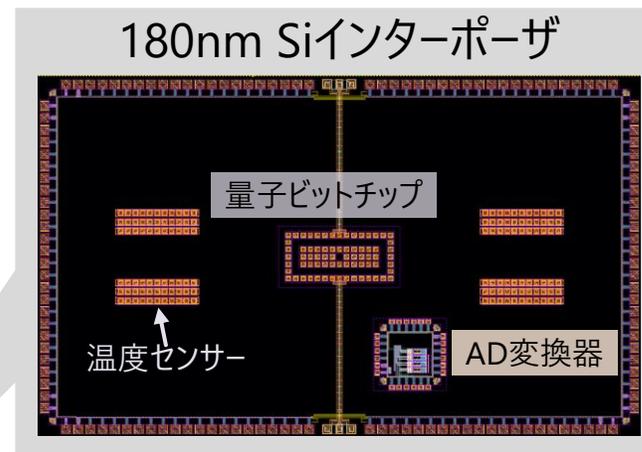
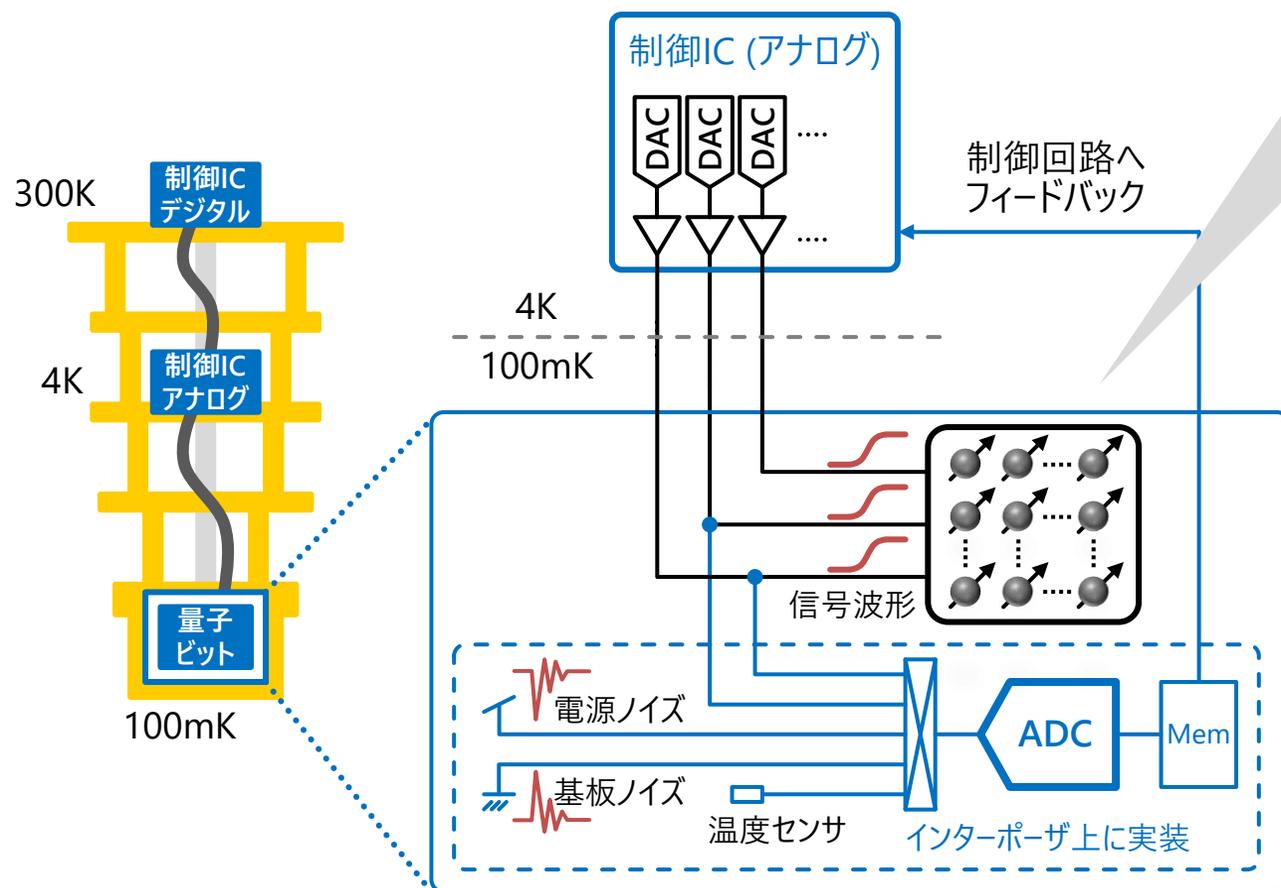


- 極薄シリコンインターポータ
- Cu-Cu接合技術の開発
  - シリコンインターポータとCu基板の接続
  - テストデバイスの製造と極低温評価の実施

*ECTC2024採択済み*

# 研究開発課題 5 : 環境モニタリング手法

- 量子ビット制御フィデリティに影響を及ぼす**温度上昇**や**制御信号波形**をモニタリング
  - 環境モニタリング向け**極低温AD変換回路@100 mK**を開発
  - 超低消費電力動作 : <1 uW
- モニタリングした環境情報を制御回路へフィードバック



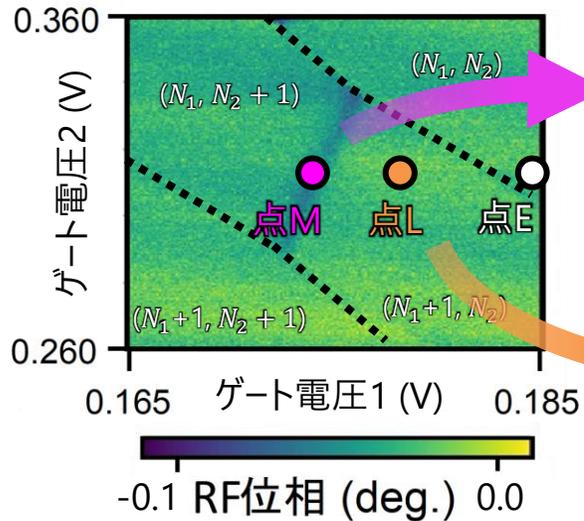
100 mKでAD変換動作を確認

## ● 高温測定に適した手法を用いたスピン緩和時間測定

- ✓ 温度の影響が小さいドット間トンネリングによるスピン読み出し
- ✓ 高温下において読み出し忠実度・コヒーレンスを制限する可能性のあるスピン緩和時間を測定

### ➤ スピン緩和時間測定

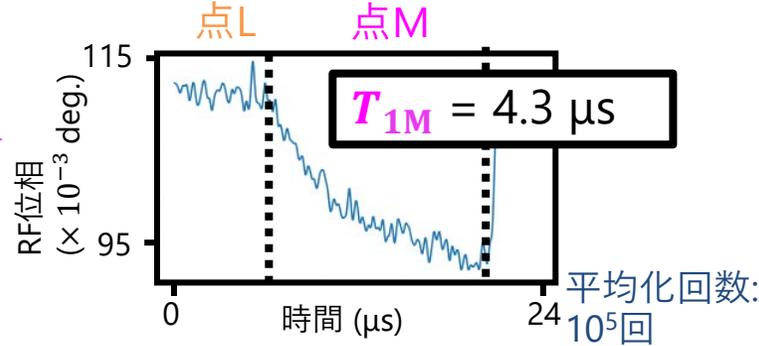
多正孔領域の電荷状態安定図



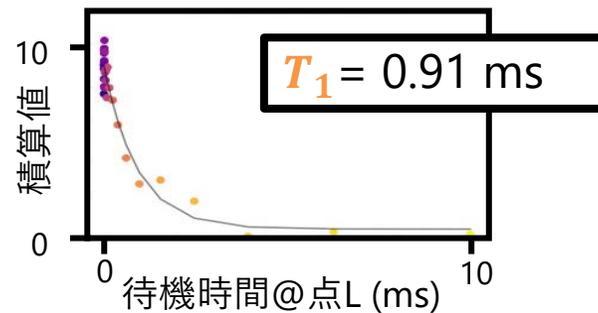
@ 100 mK, 100 mT (,)は相対的な正孔数  
点E: 初期化点、点L: 待機点、点M: 読み出し点

近藤ほか、第71回応用物理学会  
春季学術講演会 (2024).

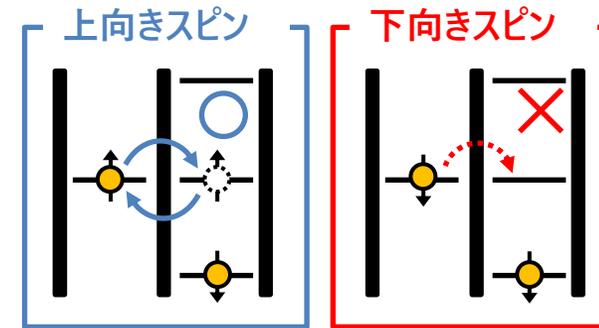
◆ 読み出し点Mにおける緩和( $T_{1M}$ ):  
読み出し忠実度に影響



◆ 待機点Lにおける緩和( $T_1$ ):  
コヒーレンスに影響



### ➤ 高温化に適した読み出し手法: Pauli spin blockade (PSB)



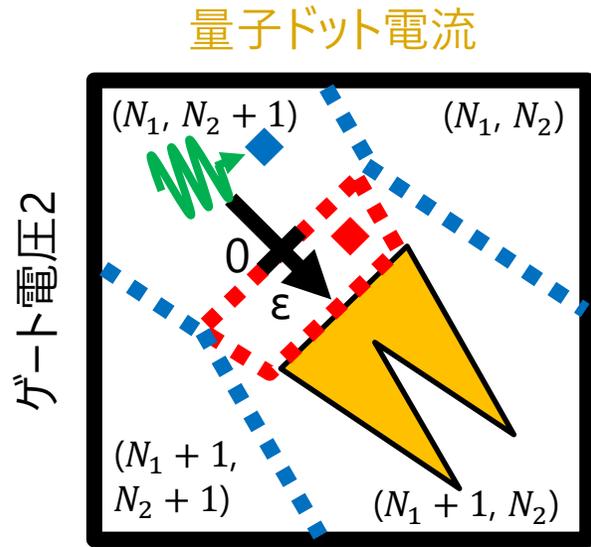
- パウリの排他律によるスピン状態に依存したドット間トンネリング
- スピン状態に依存したキャパシタンス変化 → RF特性からスピン読み出し

少数正孔における先行研究に比べて  
長い $T_{1M}$ ,  $T_1$ の観測

➡ 多数正孔スピン状態における  
電荷ノイズの影響低減効果を示唆

## ● スピン操作の高温化・高忠実度化

- ✓ 高温化(~1 K)での量子ビット実現に向けて、300 mKにおけるスピン操作
- ✓ 高忠実度化に向けて、スピン共鳴における量子干渉効果の影響を解析



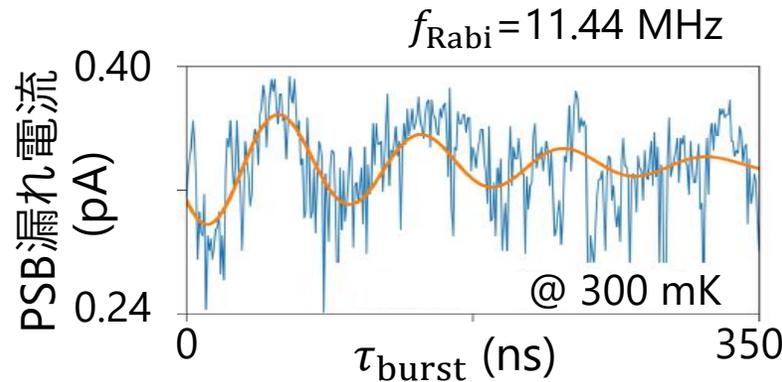
量子ドット電流

ゲート電圧2

ゲート電圧1

- ◆ : 操作点
- ◆ : 読み出し点 (PSB)
- $\epsilon$  : デチューニング

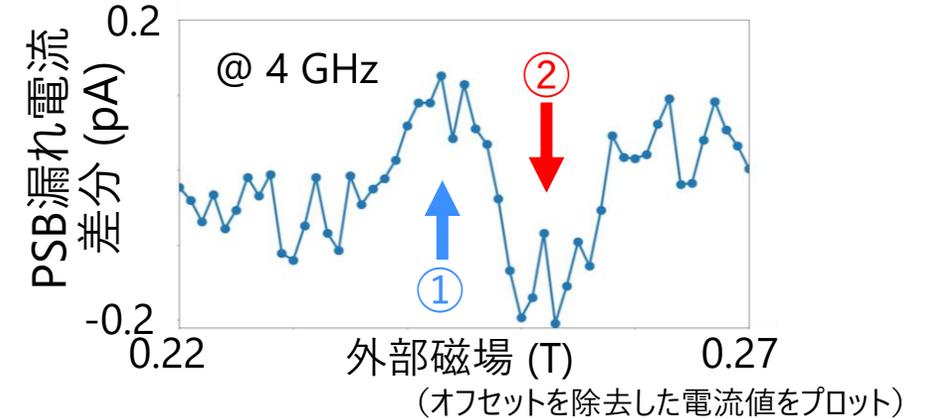
## ➤ 高温での正孔スピン操作



操作点(操作時間 $\tau_{burst}$ )でマイクロ波を印加し、読み出し点で電流値を取得

300 mKにおいて  
スピン共鳴によるスピン操作を実現

## ➤ スピン共鳴における量子干渉効果の影響



①スピン共鳴効果による  
PSB漏れ電流の増大

②量子干渉効果による  
PSB漏れ電流の抑制



スピン軌道相互作用に起因する量子干渉効果とスピン回転操作の競合を観測

➔ さらなる操作忠実度の向上に貢献

## ● モデルベース強化学習による量子ドットの自動調整

- ✓ ホットシリコン量子ビット研究の加速のため、時間のかかる量子ドットのポテンシャル調整の自動化が望まれている
- ✓ 通常ブラックボックスとして扱われる「環境」(=量子ドット特性)をモデル化する強化学習を自動調整に活用

近藤ほか、第70回応用物理学会  
春季学術講演会 (2023).

C. Kondo, et al.,  
SSDM2023 (2023).

### ➤ モデルベース強化学習の概略図

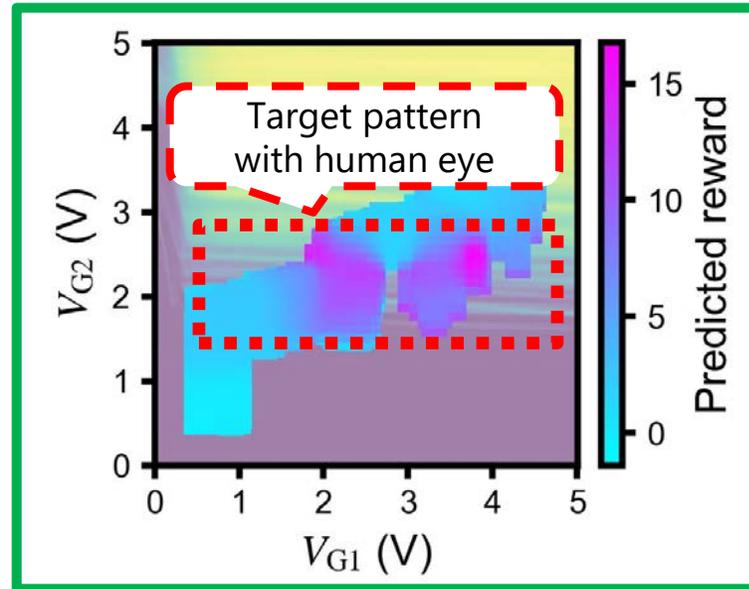
#### I. 環境モデルの構築



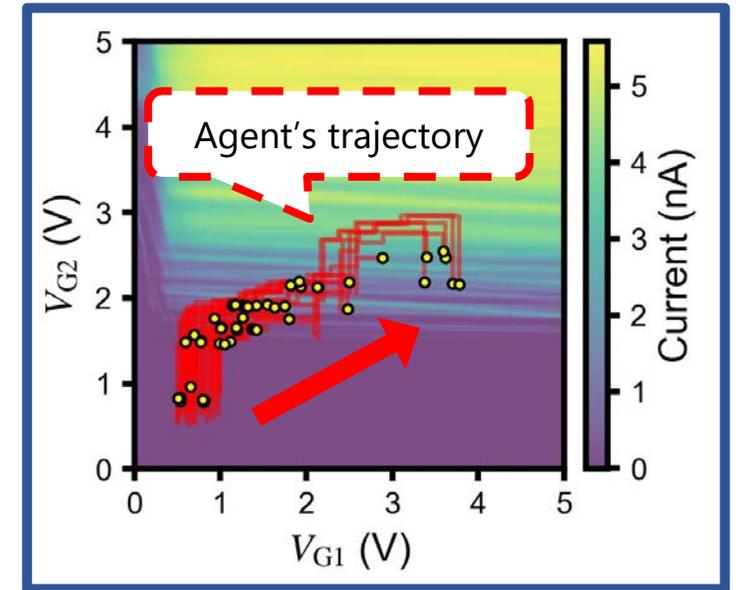
#### II. 環境モデル内での学習

- 測定結果を報酬に変換し、それを基に次の行動を決定する強化学習系を利用
- 通常ブラックボックスとして扱われる環境をモデル化
- 構築した環境モデルを学習に利用
  - 仮想環境内での高速な学習
  - 環境モデルの転用可能性

### ➤ 環境モデルの報酬予測

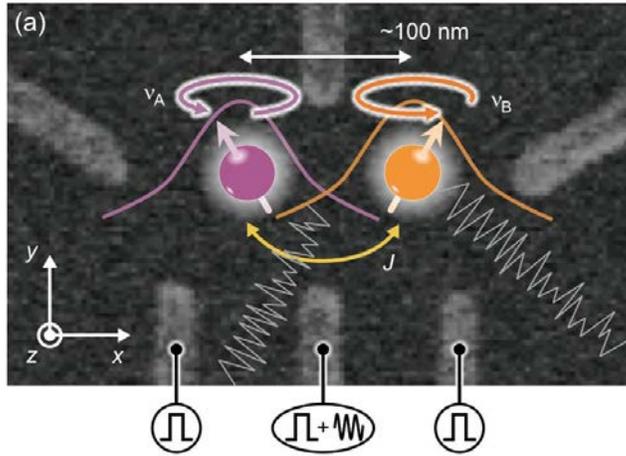


### ➤ 学習済みAIによる自動調整



適切な環境モデルの構築と環境モデル内での学習に成功していることを示唆  
→ 高温動作に適した電圧条件への自動調整技術の開発へ

## ● 量子ビットエラーの空間相関—量子ビットのアレイ化時に顕在化する課題

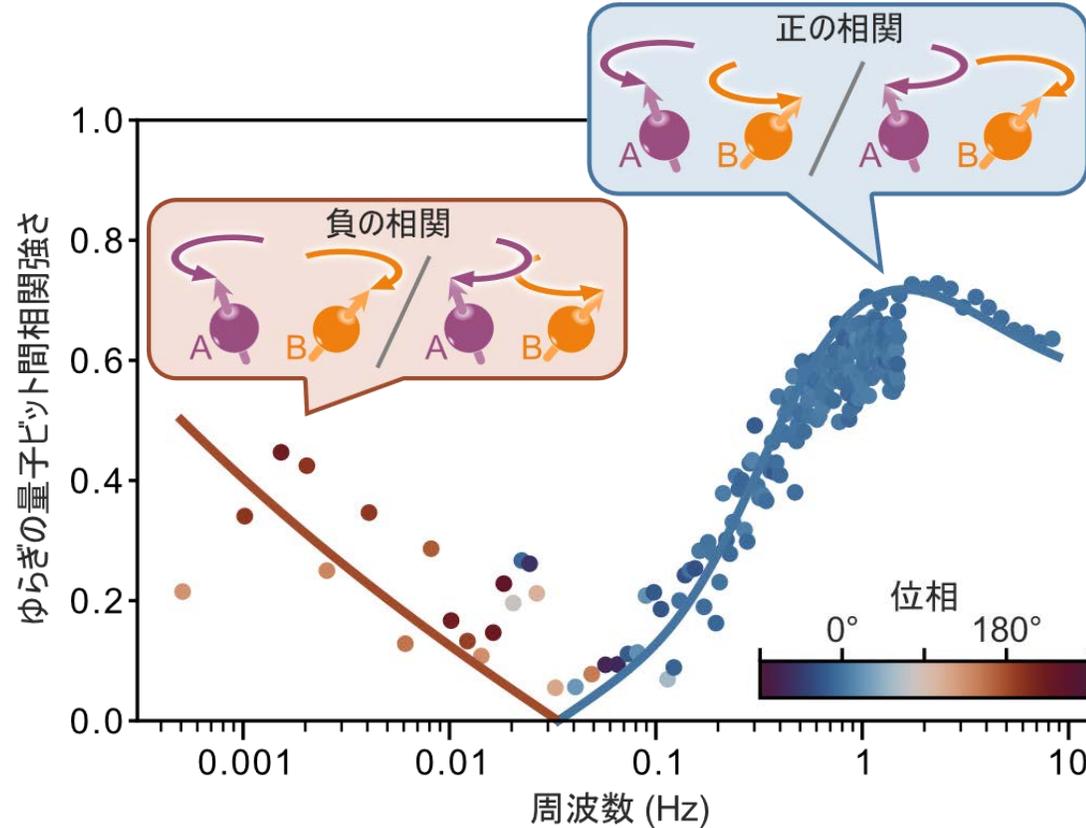


$$\mathcal{H} = \frac{h\nu_A}{2} \sigma_z^A + \frac{hJ}{4} \sigma_z^A \sigma_z^B + \frac{h\nu_B}{2} \sigma_z^B$$

自己相関 (従来)  $\begin{cases} S_A = \mathcal{F}[\langle v_A(0)v_A(\tau) \rangle] \\ S_B = \mathcal{F}[\langle v_B(0)v_B(\tau) \rangle] \end{cases}$

⇓ 交差相関

$$C_{AB} = \mathcal{F}[\langle v_A(0)v_B(\tau) \rangle] \quad \text{規格化: } c_{AB} = \frac{C_{AB}}{\sqrt{S_A S_B}}$$

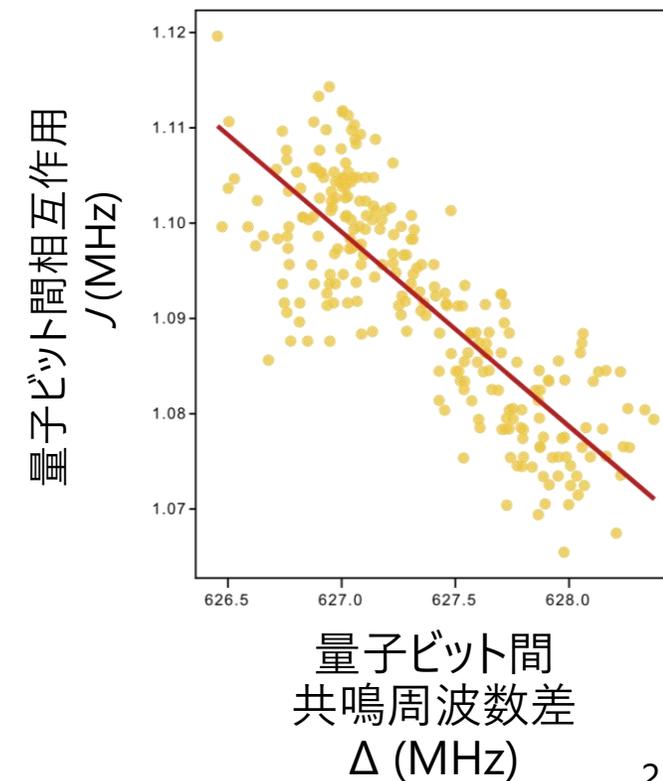
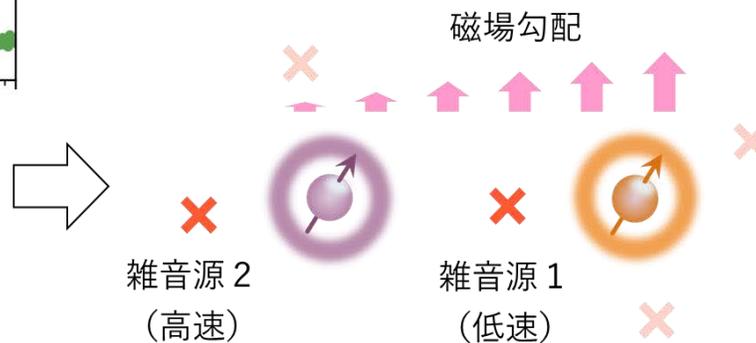
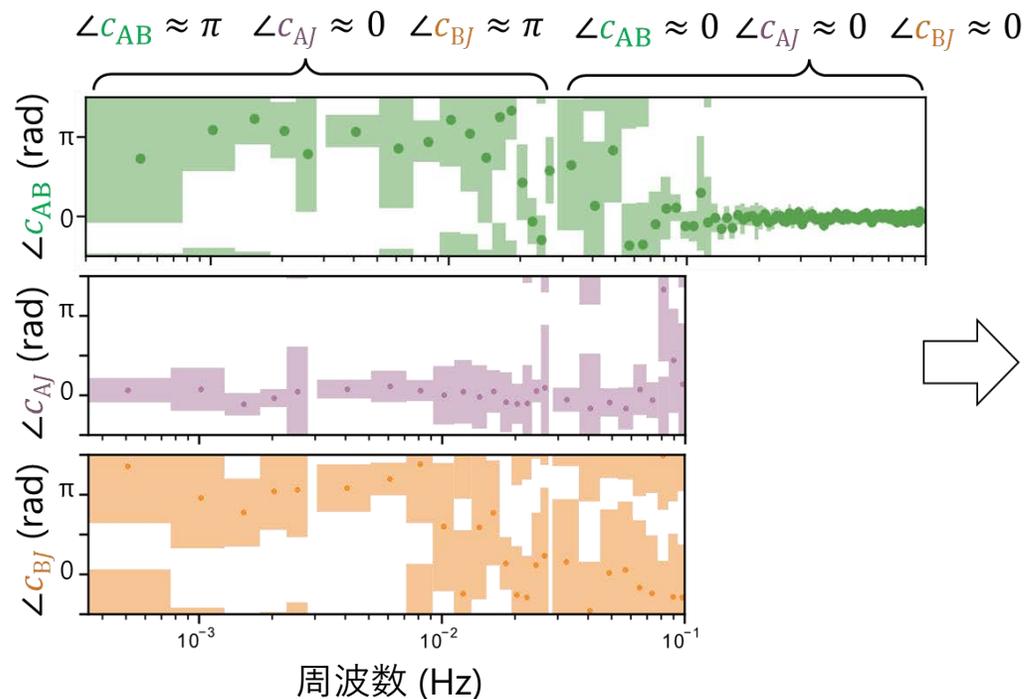
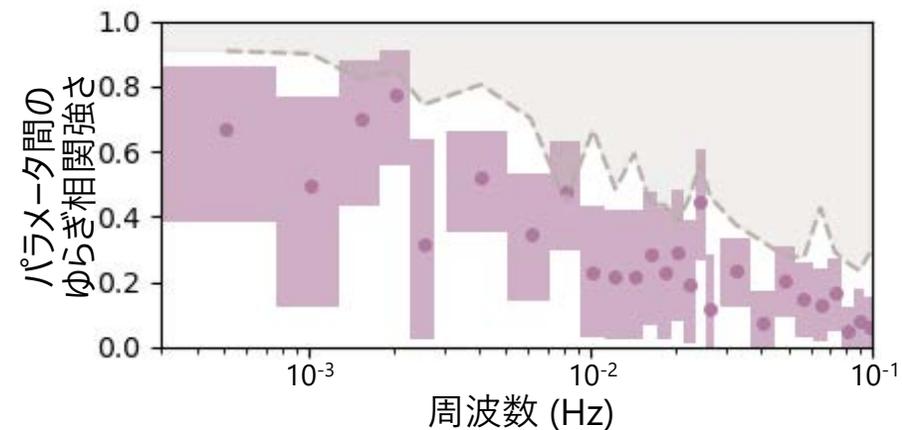


- シリコン量子ビット位相雑音の相関を観測：世界初 (最大70%程度と比較的大きな相関！)
- 反相関 (低周波側) から相関 (高周波側) へ → 電荷雑音源空間分布に依存 (モデル化が可能)
- 量子もつれのコヒーレンスのパリティ依存性観測

J. Yoneda *et al.*, *Nature Physics* 19, 1793–1798 (2023)

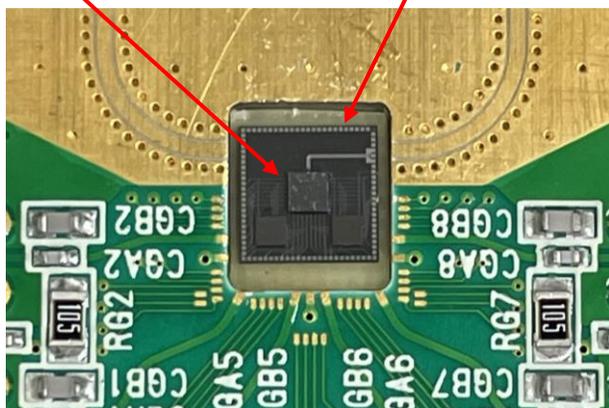
➔ シリコン量子ビットアレイの「エラー相関 (≡エラー訂正のしやすさ)」を実験的に明らかに

- アレイ化時に顕在化する「量子ビットエラーの空間相関」の課題を追究するための **交差相関の評価手法**を量子ビットハミルトニアンのパラメータゆらぎに適用
  - 典型的な雑音スペクトル形状を仮定しない、**新たな雑音の同定方法を提唱**
  - 従来の想定よりも広い範囲において **電荷雑音がコヒーレンスを支配している可能性が示唆**
- **交差相関の位相**に着目することで、**電荷雑音の空間配置の情報**を取得
  - **シリコン量子ビット素子の性能向上**に資するツールとなる可能性



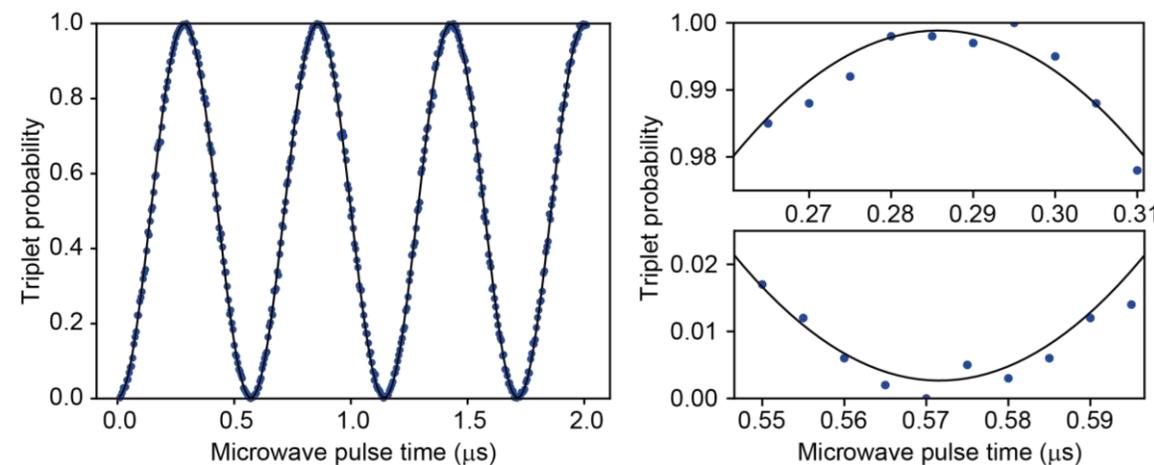
- 配線高密度化のためのシリコンインターポーザ

Si/SiGe量子ビット      Siインターポーザ



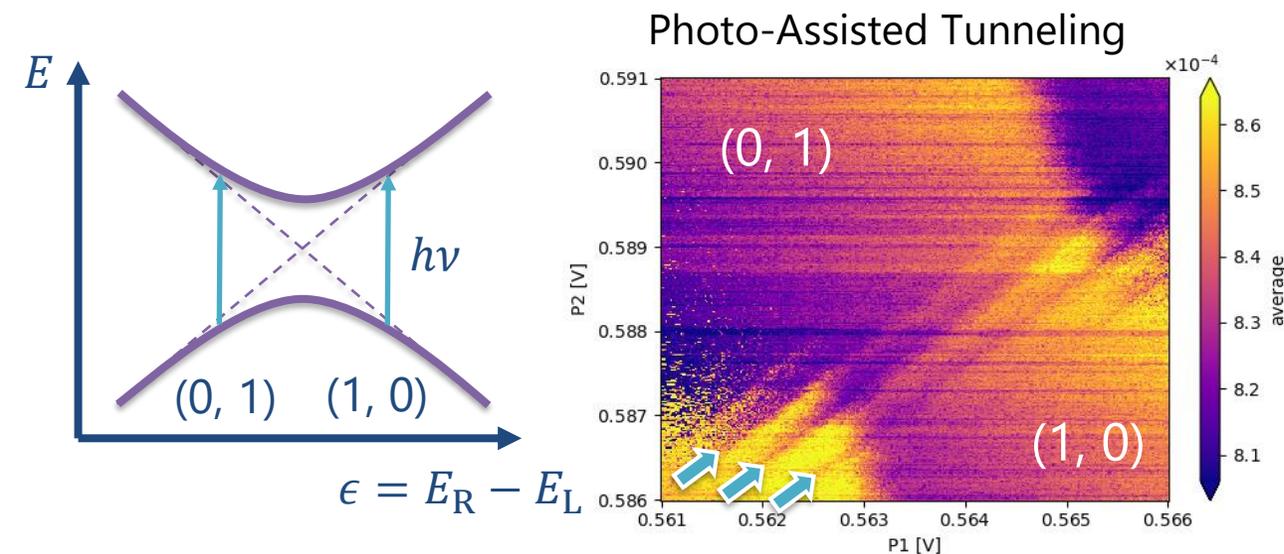
- 高速・高忠実度量子ビット測定の実現  
(樽茶PMプロジェクトと連携)

Visibility > 99.5% のラビ振動測定



K. Takeda *et al.*, *npj Quantum Info.* 10, 22 (2024)

高速 ( $1\mu\text{s} < T_2^* \sim 10\mu\text{s}$ )、高忠実度 (> 99%) な量子ビット読み出しを実装



極低温での導通安定性、18GHzマイクロ波の伝送を確認【神戸大連携】



**HITACHI**  
Inspire the Next

