

JPMJMS2065

# 大規模集積 シリコン量子コンピュータの研究開発

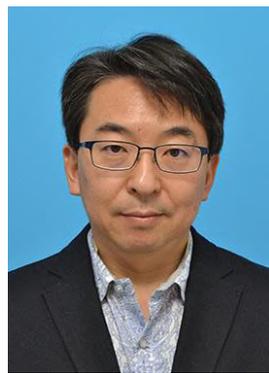
株式会社日立製作所  
研究開発グループ 基礎研究センタ  
主管研究長

PM 水野 弘之

## 課題推進者



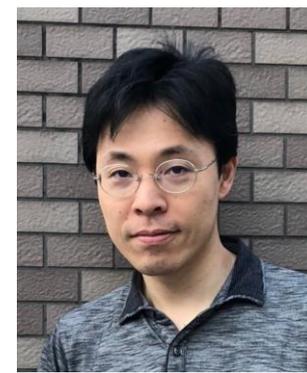
HITACHI Inspire the Next 日立  
水野 弘之



KOBE UNIVERSITY 神戸大  
永田 真



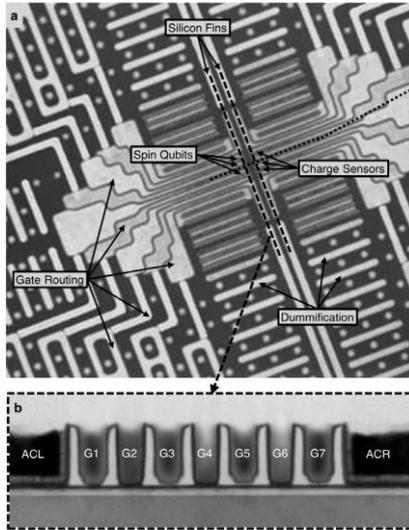
東工大  
小寺 哲夫



CEMS RIKEN 理研  
中島 峻

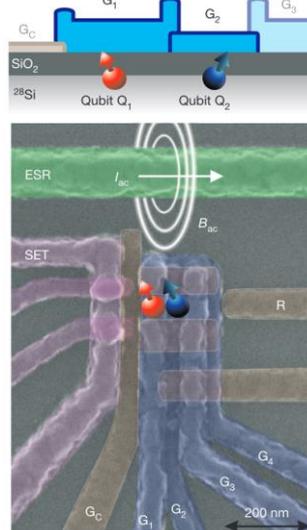
## シリコン量子ビットは世界的に2ビット止まり。3ビット以上へのスケールが課題

### nMOS Intel + QuTech



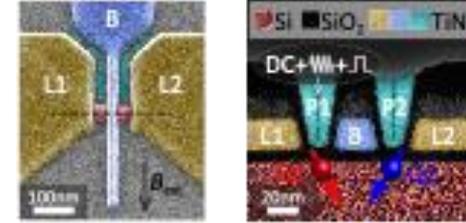
A. M. J. Zwerger *et al.*,  
arXiv:2101.12650

### nMOS UNSW



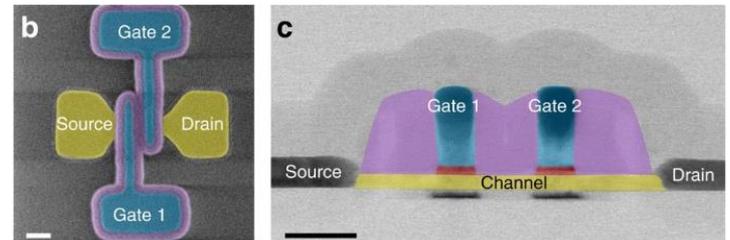
M. Veldhorst *et al.*,  
Nature (2015)

### pMOS FinFET IBM + Basel



L. C. Camenzind *et al.*, arXiv:2103.07369

### pMOS nanowire FET CEA LETI + Grenoble



R. Maurand *et al.*, Nat. commun. (2016)

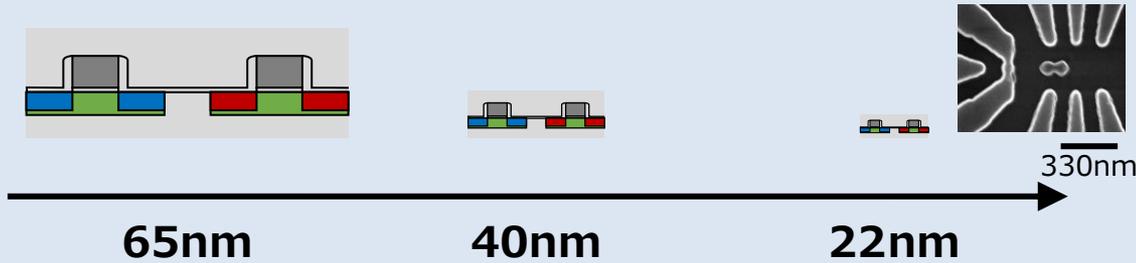
今回の3グループの成果により、シリコンベースの量子情報処理は量子コンピュータのプラットフォームに一步近づいた。しかし、今回の研究グループのデバイスを拡張可能なものにするには、克服すべき課題がある。重要な問題は、システムのサイズが1ビットでも大きくなると、量子ビットの校正、ベンチマーク、達成された忠実度の多くが悪影響を受けることである。したがって、このシステムの次の実験的マイルストーンは、**より多くの量子ビットが存在するにもかかわらず、XueらやNoiriらが実証したような高い忠実度を持つ2量子ビットゲートをホストする、より大きな量子ドットアレイを構築することである。**このようなシステムのさらなるブレークスルーは、量子エラー訂正の実証である。



2022年  
1/20号

<https://media.nature.com/original/magazine-assets/d41586-022-00047-0/d41586-022-00047-0.pdf>

## 素子を微細化する



### Pros

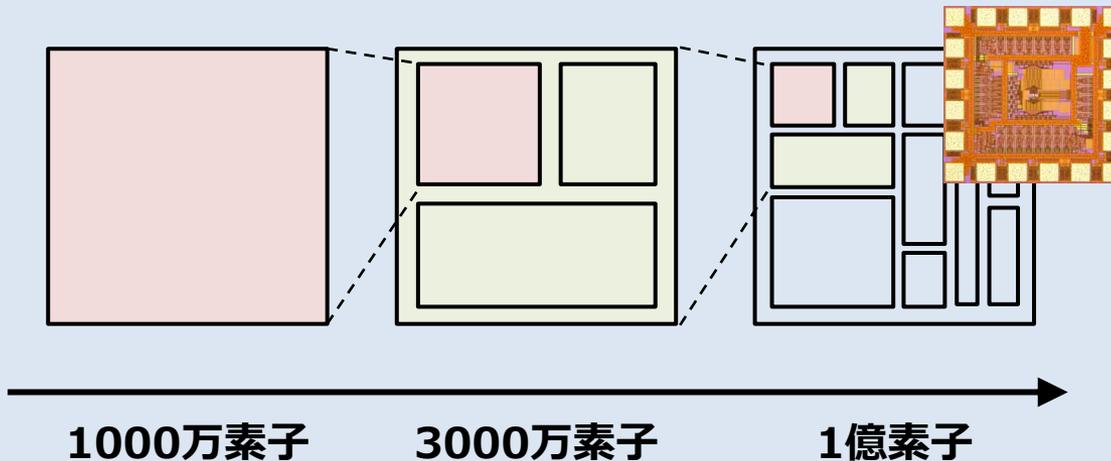
- ✓ 微細な組織が作れる  
⇒ 交換相互作用が強くなる

### Cons

- ✓ クロストークなどで制御が困難

+

## 素子の集積度を上げる



### Pros

- ✓ 均一な特性の素子を多数集積可能
- ✓ 量子ビットのそばに制御回路を設置可能  
⇒ 高精度な制御が可能

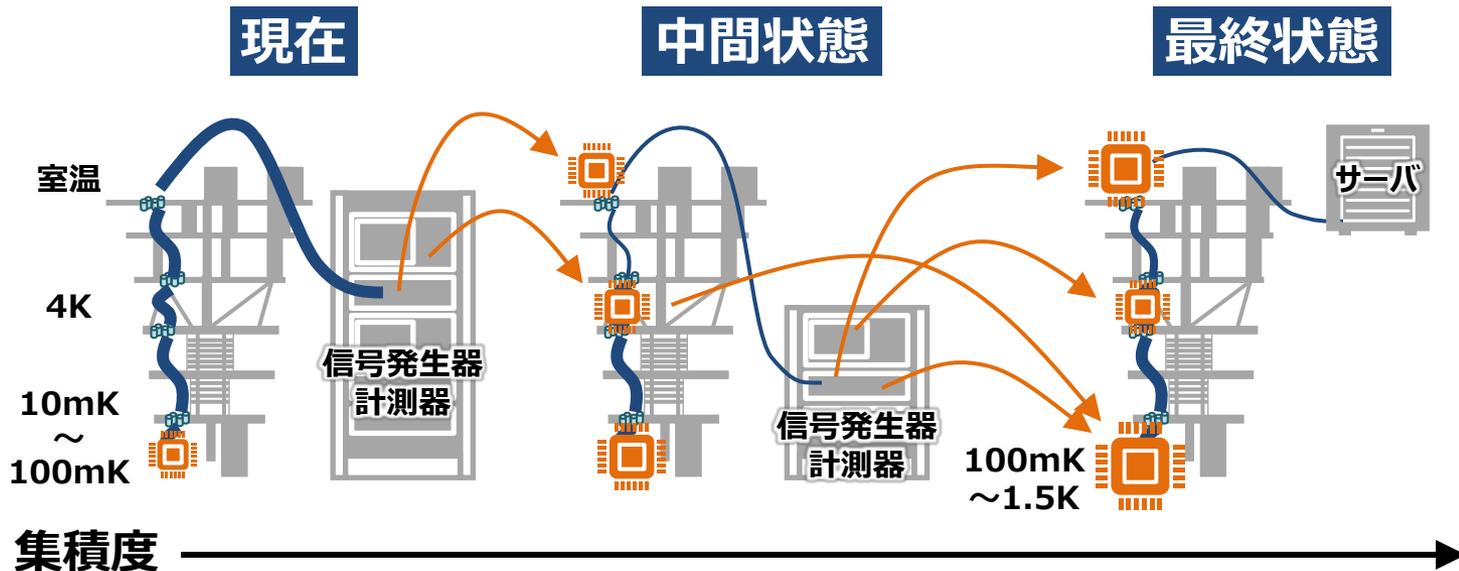
### Cons

- ✓ 発熱する

# 大規模集積シリコン量子コンピュータ



<https://spectrum.ieee.org/tech-talk/semiconductors/design/google-team-builds-circuit-to-solve-one-of-quantum-computings-biggest-problems>



## Pros

- ✓ 微細な組織が作れる  
⇒ 交換相互作用が強くなる

## Cons

- ✓ クロストークなどで制御が困難

どれだけ補償できるかが鍵

## Pros

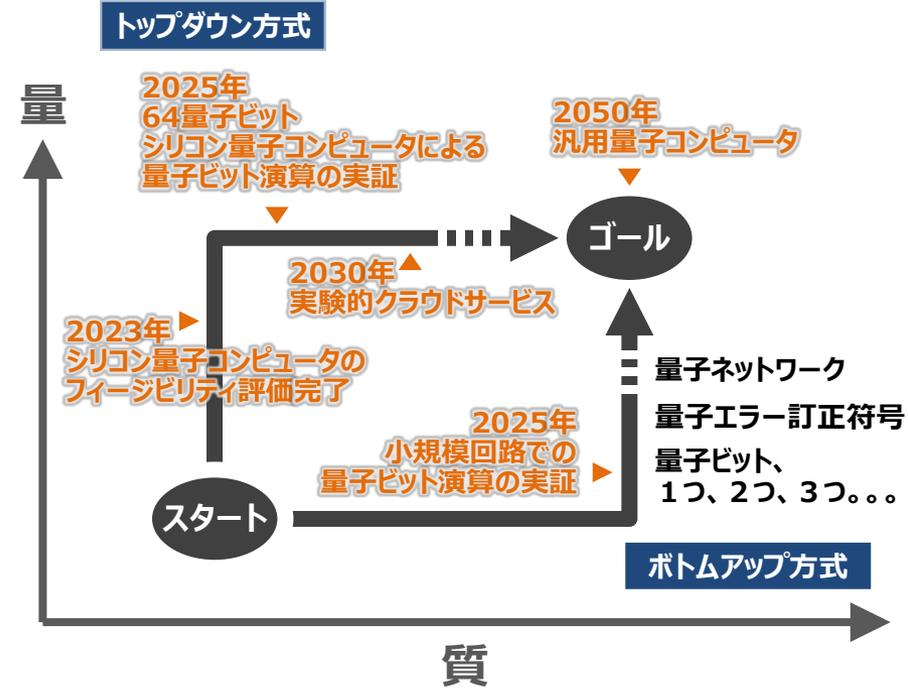
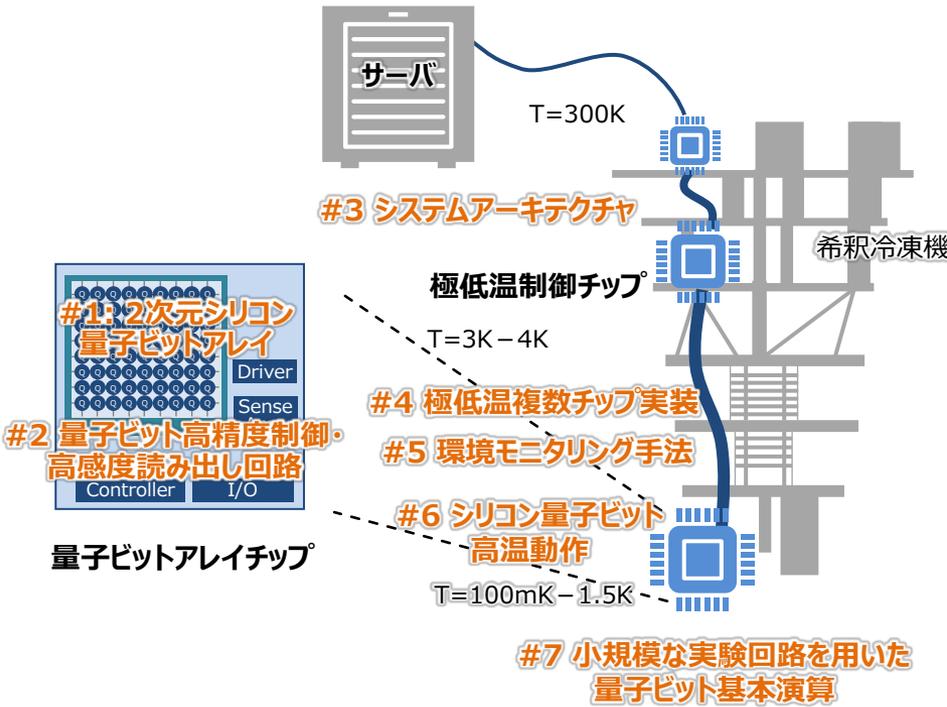
- ✓ 均一な特性の素子を多数集積可能
- ✓ 量子ビットのそばに制御回路を設置可能  
⇒ 高精度な制御が可能

## Cons

- ✓ 発熱する

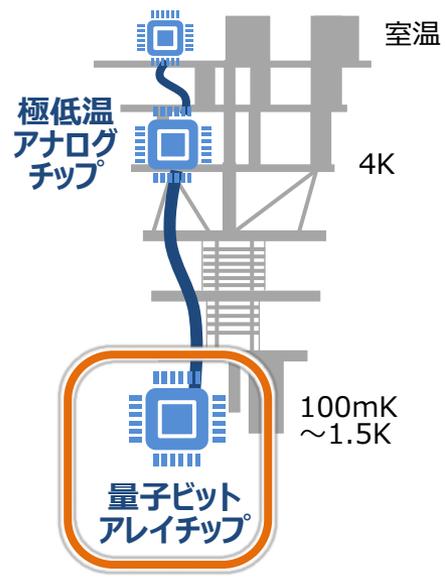
量子ビット高温動作 新たな課題  
極低温実装・モニタリング

# 研究開発項目とスケジュール

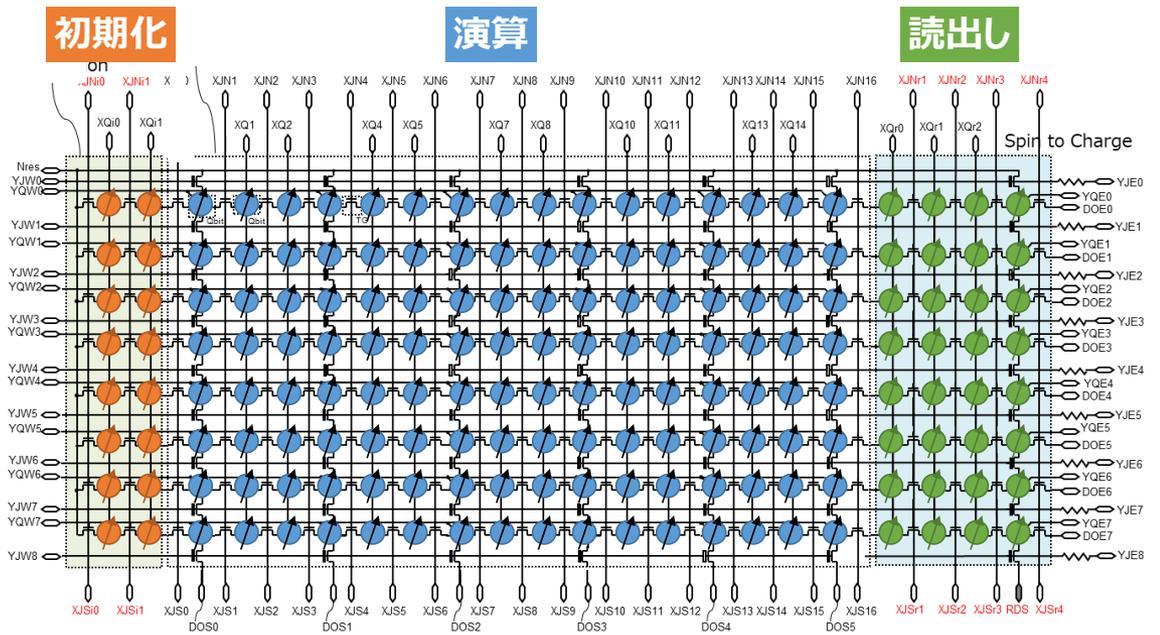


研究開発項目	課題推進者	研究開発課題
1 量子コンピューティングシステム	日立/水野弘之	1 2次元量子ビットアレイ 2 量子ビット高精度制御・高感度読み出し回路 3 システムアーキテクチャ
2 極低温複数チップ実装システム	神戸大/永田真	4 極低温複数チップ実装 5 環境モニタリング手法
3 ホットシリコン量子ビット	東工大/小寺哲夫	6 シリコン量子ビットの高温動作
4 小規模回路による量子演算	理研/中島峻	7 小規模な実験回路を用いた量子ビット基本演算

# 量子ビットアレイチップ<sup>o</sup> (1)

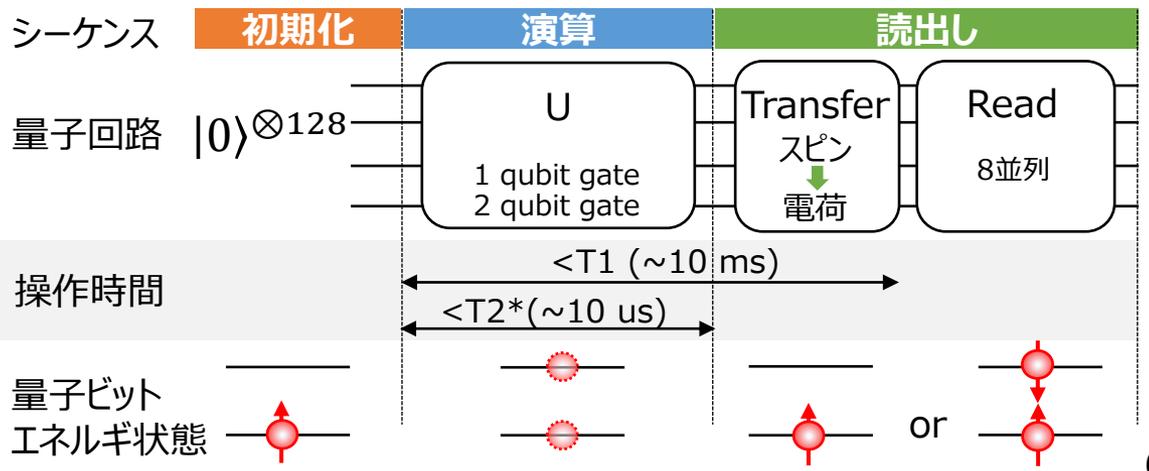


## 量子ビットアレイの基本アーキテクチャを設計



### 性能目標(継続検討中)

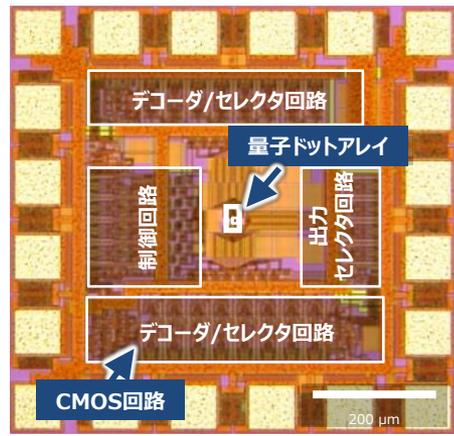
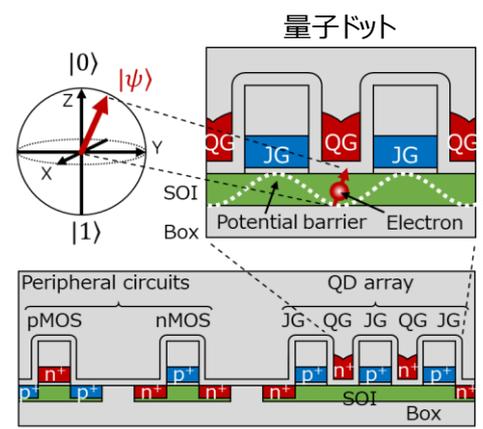
項目	仕様
Qubit #	8x16=128
Qubit resonant freq.	~20 GHz
Freq. shift of target qubits	10~100MHz
Rabi freq. (1qubit op.)	1~10 MHz
J (2 qubit op.)	1~10 MHz
Quantum Ope. Time	0.1~1 us
T2*	~10 us
Circuit depth	10~100
T1	~10 ms
Fidelity	99%



# 量子ビットアレイチップ (2)

## CMOS回路混載の量子ビットアレイプロセスの設計

- 量子ドットアレイと、制御に必要な直接周辺回路を混載したチップ(QCMOS)を試作し、極低温領域(4K)で動作すること確認

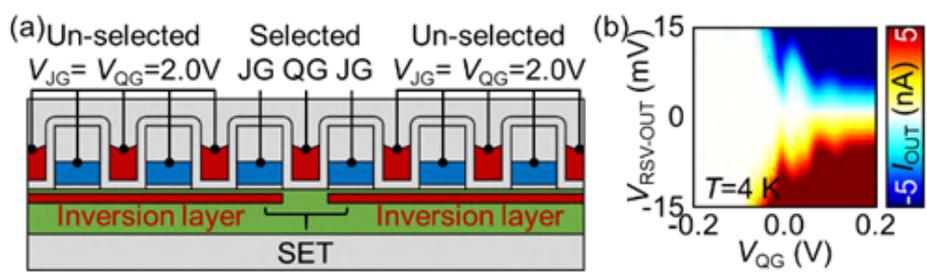


N. Lee et al, JJAP 2022  
<https://doi.org/10.3584/8/1347-4065/ac4c07>

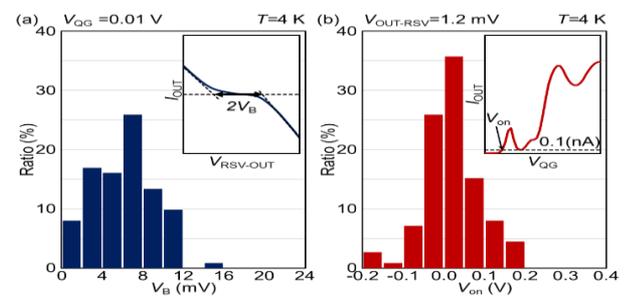
Ref. QuTech + TU Delft + Intel (2018)

<https://arxiv.org/abs/1711.03807>

- 大規模化に必須となる量子ドットの直接周辺回路による制御を実証
  - 量子ドットのばらつき特性を取得→回路制御シーケンスにフィードバック
- 【東工大連携】**



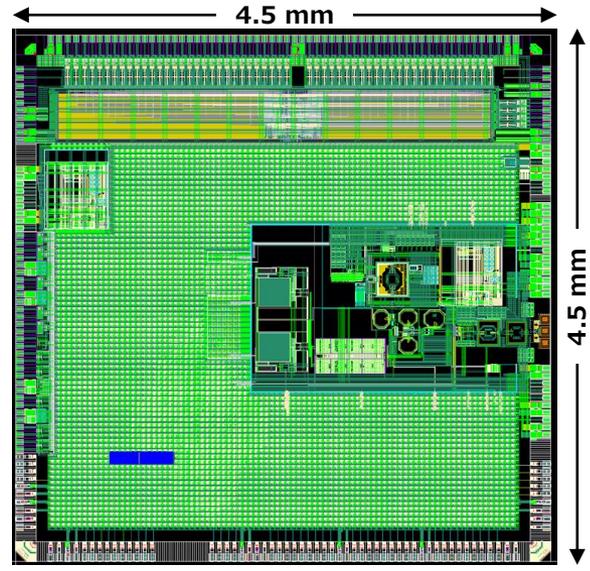
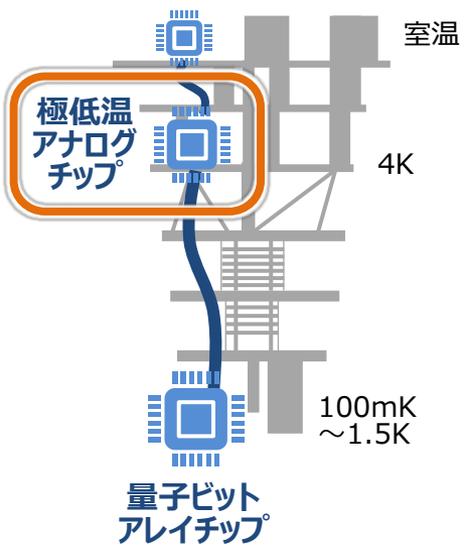
量子ドット形成時に得られるクーロンダイヤモンドを計測



128ビットの量子ドット特性のばらつき特性を取得

# 極低温アナログチップ<sup>o</sup> (1)

## 量子ビット高精度制御回路・要素回路を設計【神戸大連携】



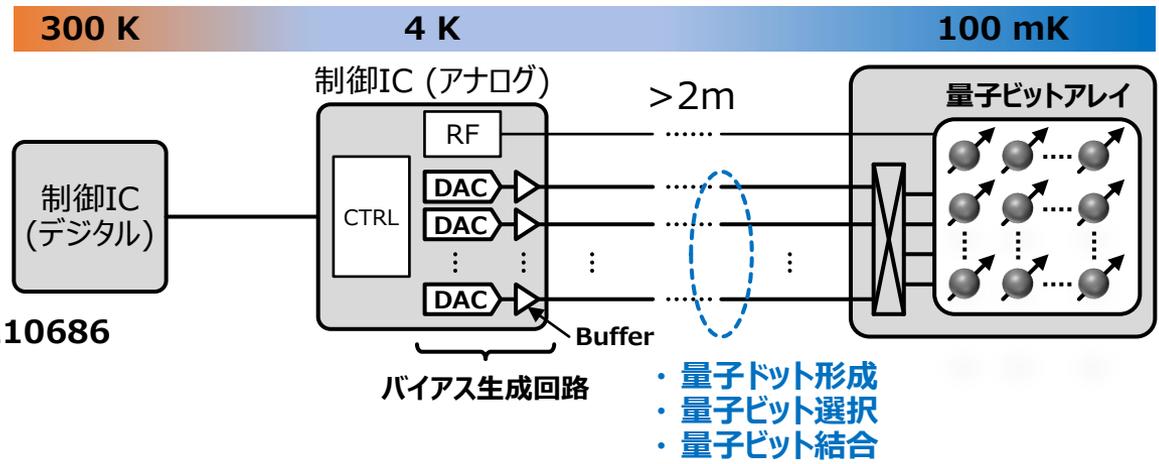
		This Work	IBM QSC	Intel Horse Ridge II
General	Affiliate	Moonshot	IBM	Intel, Delft
	Qubit Technology	Spin Qubit	Superconducting transmons	Spin Qubit
	Power	300mW (Analog) 300mW @ 100MHz clock, 1GHz	23mW / CH	317 mW (Analog) 10 - 140mW Digital @1.6 GHz clock
Technology / Area		TSMC 40nm / 4.5mm x4.5mm	14nm FinFET / 1.61mm <sup>2</sup>	Intel 22nm FinFET / 16mm <sup>2</sup>
RF	Freq. Range	20 GHz ± 100MHz @ 0 dBm	4.5 - 5.5 GHz @ -16dBm	11-17GHz @ -10dBm
	Sampling rate	0.1 GS/s (Low power)	1GS/s	Up to 2.5 GS/s
	Envelope size	Fixed 31 points symmetric (Simple)		16,384 points AWG (Complex)
Gate Pulsing	Controllable Qubit #	128	N/A	16
	Channels	51 (simultaneous, 27 bit addressing)	N/A	22 (simultaneous, direct selection)
	Amplitude Range	0 - 2.5 V	N/A	± 0.4V
	Amplitude Resolution	16 bits (40uV LSB) (High resolution)	N/A	11 bits (390 uV LSB) (Low resolution)
	Pulse width	20 ns - 10 us (narrow width)	N/A	10 ns - 2.6 ms (Min width >100 ns)
	Pulse width resolution	1 ns	N/A	2.5 ns
	Rise/Fall time	2 ns (High-speed switching)	N/A	~50 ns (limitation of narrow width)

IBMおよびIntelの数字は当社調べ

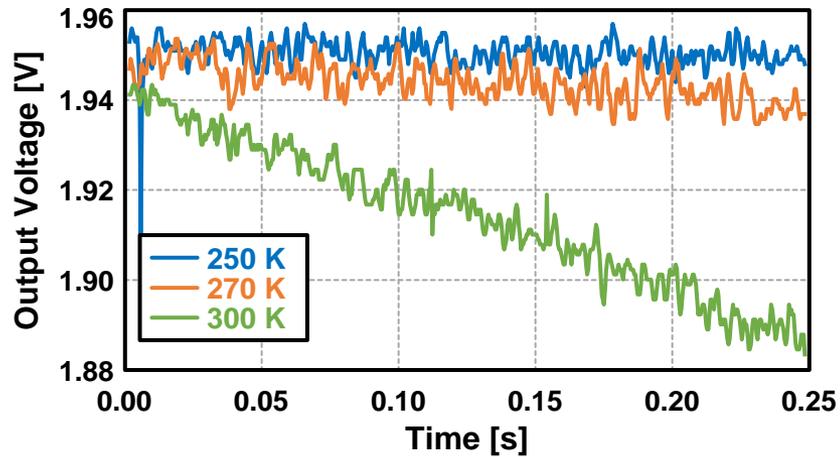
# 極低温アナログチップ (2)

## 極低温バイアス電圧生成回路

- 極低温DA変換器 (DAC)
  - 16bit (40uV/LSB)
  - 低消費電力化
    - ✓ 容量型アーキテクチャ
  - 高精度化
    - ✓ ミスマッチ誤差補正手法: 特願2021-210686
  - 小型化
    - ✓ 低熱雑音・低リーク特性@極低温
  - TSMC 40nmでチップ試作



- リーク特性の評価結果
  - 極低温でリーク抑制: 約0.2uV/s



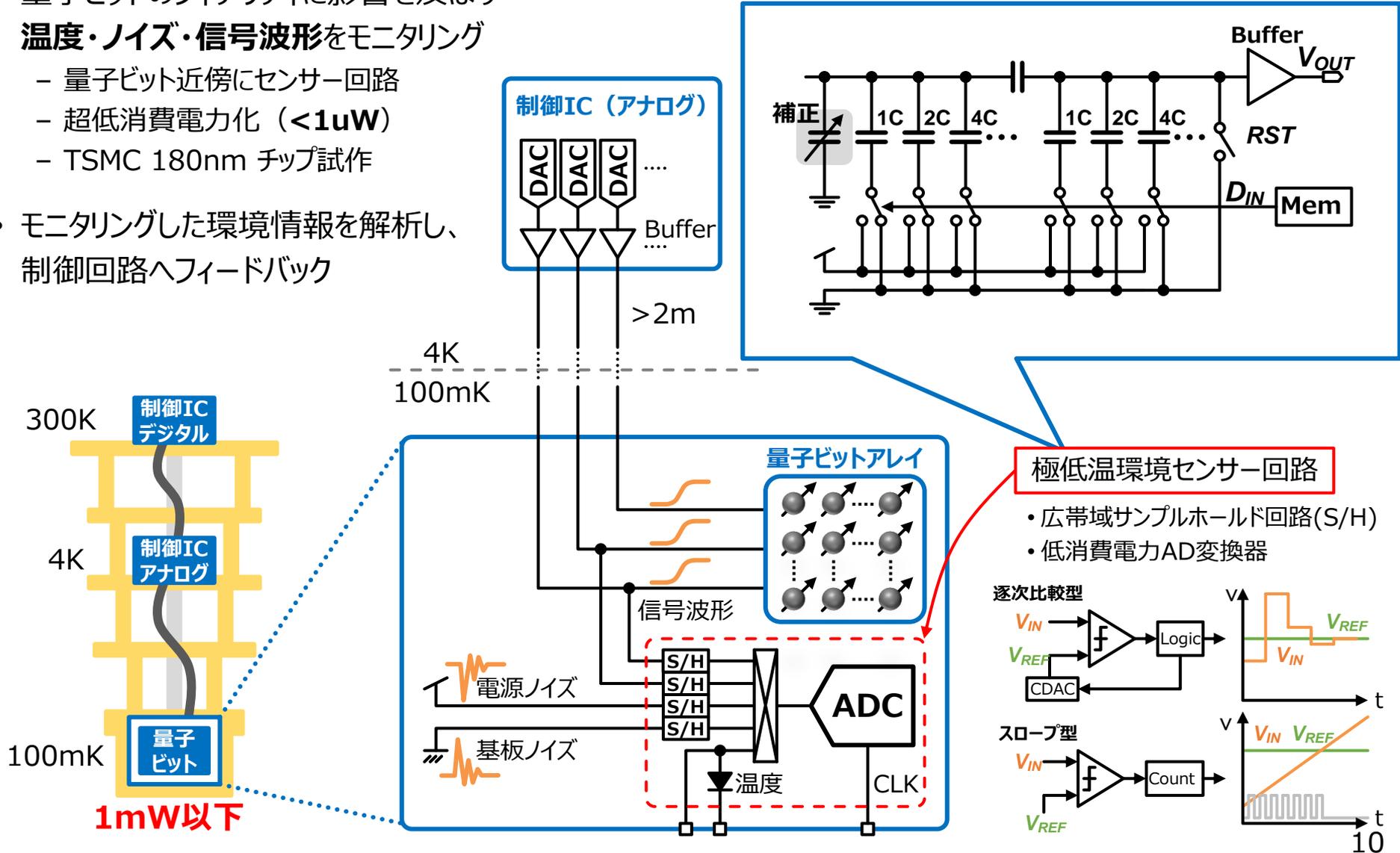
- 性能ベンチマーク
  - 極低温DA変換器で**最小面積**達成

	This work	SSC-L 2020	SSC-L 2020	T-CAS II 2017
Technology	40 nm CMOS	65 nm CMOS	28 nm FDSOI	0.5 μm SOS
Architecture	Charge Redistribution	Charge Redistribution	Current Steering	Current Steering
Temperature	8 K	6 K	4.2 K	4.2 K
Supply	2.5 / 0.9 V	2.5 / 1.2 V	1.8 / 1 V	3 V
Resolution	16-bit	13-bit	8-bit	6-bit
Power	5.8 μW	2.6 μW	7 μW	3.1 mW
Area	<b>0.008 mm<sup>2</sup></b>	0.0175 mm <sup>2</sup>	0.04 mm <sup>2</sup>	0.012 mm <sup>2</sup>



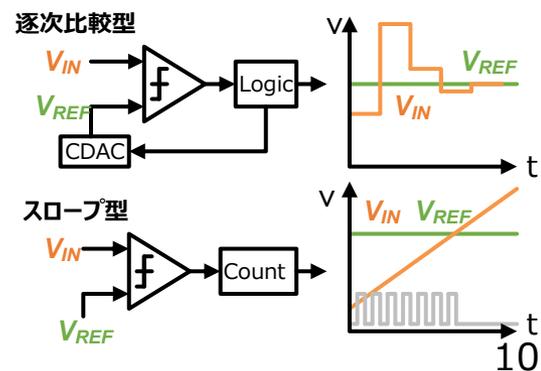
# 極低温環境モニタリングシステム

- 量子ビットのフィデリティに影響を及ぼす  
**温度・ノイズ・信号波形**をモニタリング
  - 量子ビット近傍にセンサー回路
  - 超低消費電力化 ( $<1\mu\text{W}$ )
  - TSMC 180nm チップ試作
- モニタリングした環境情報を解析し、  
 制御回路へフィードバック



## 極低温環境センサー回路

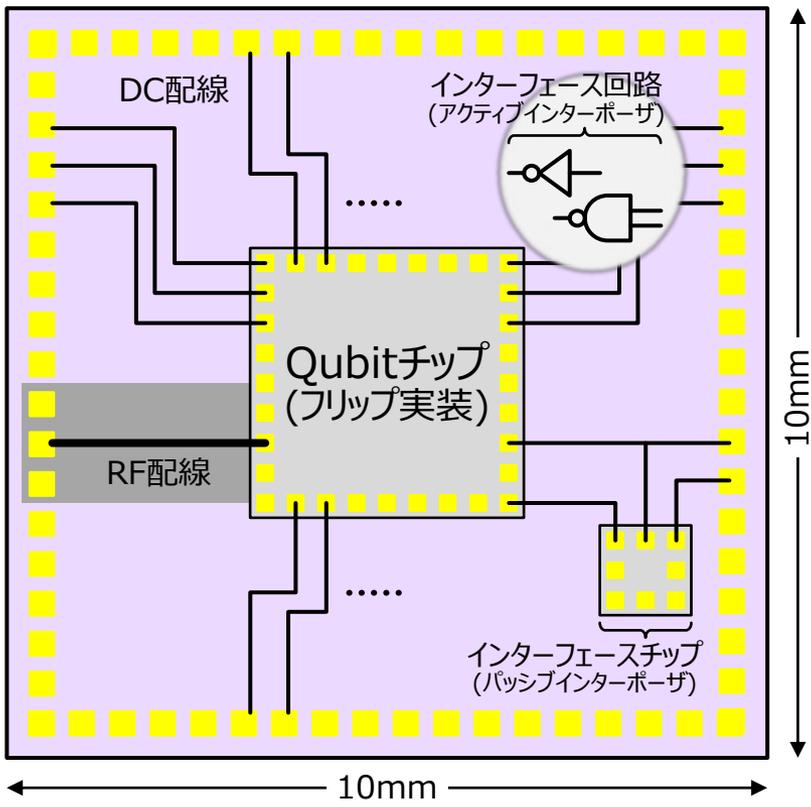
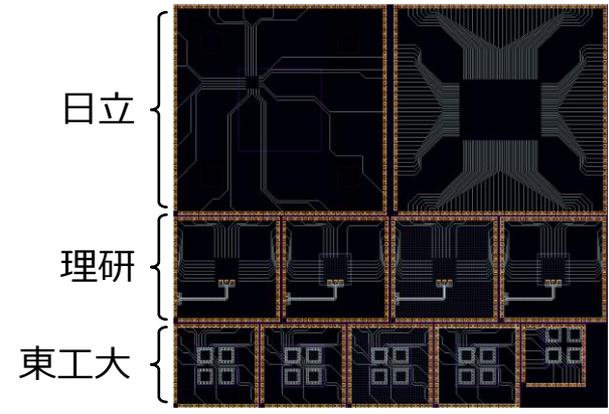
- 広帯域サンプルホールド回路(S/H)
- 低消費電力AD変換器



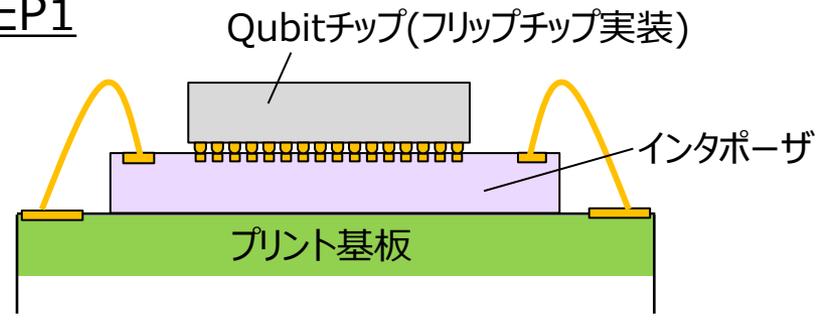
# 極低温複数チップ実装

## 極低温シリコンインターポーザの開発

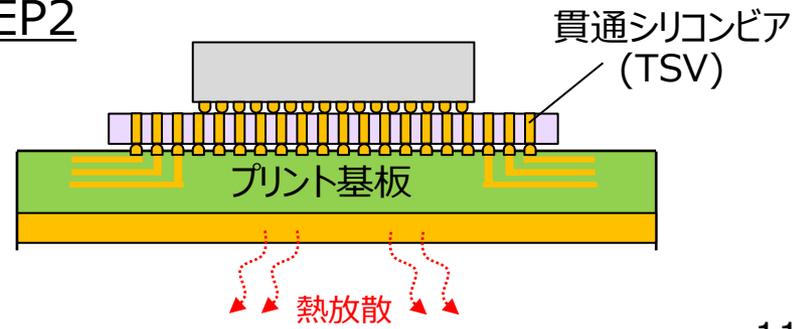
- 量子ビットチップ (日立・東工大・理研) をフリップチップ3次元実装
  - ピッチ変換 (DC/RF配線)
  - インターポーザ上にインターフェイス機能を持った回路 or チップを搭載
  - インターポーザ/プリント基板内に排熱経路を備える構造を検討 (今後)



### STEP1

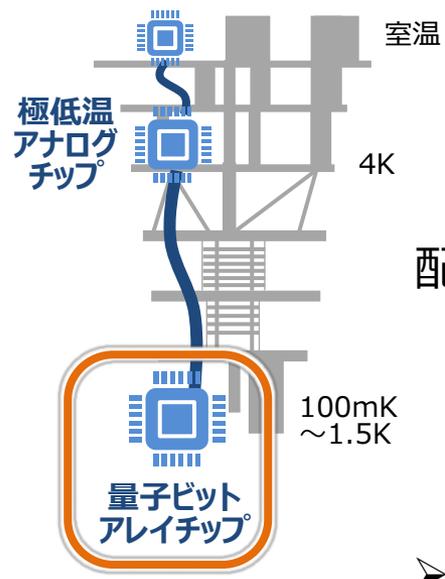


### STEP2





# ホットシリコン量子ビットの背景



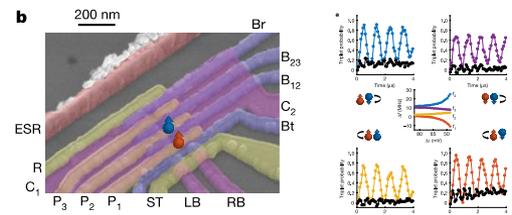
配線数の増加による

- 室温制御系からの熱流入
- (配線の) 容積・重量の増加



- 極低温エレクトロニクスの実現
  - **量子ビットの高温動作**
- シリコンスピン量子ビットは比較的高温(数ケルビン)でも動作

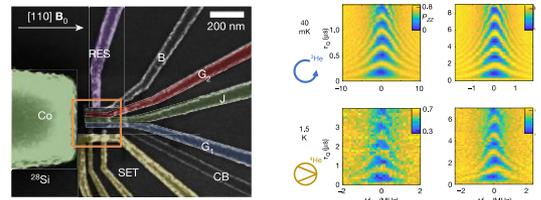
nMOS  
Intel +  
QuTech  
(2020)



L. Petit, et al., *Nature* 580, 355 (2020).

**2bits, up to 1.1K**

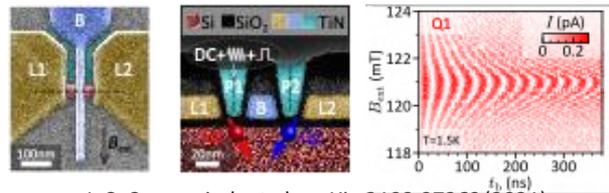
nMOS  
UNSW  
(2020)



C.H. Yang, et al., *Nature* 580, 350 (2020).

**2bits, up to 1.5K**

pMOS  
IBM +  
Basel  
(2021)



L.C. Camenzind, et al., *arXiv:2103.07369* (2021).  
(Published in *Nature Electronics* (2022).)

**1bit x2, up to 4K**



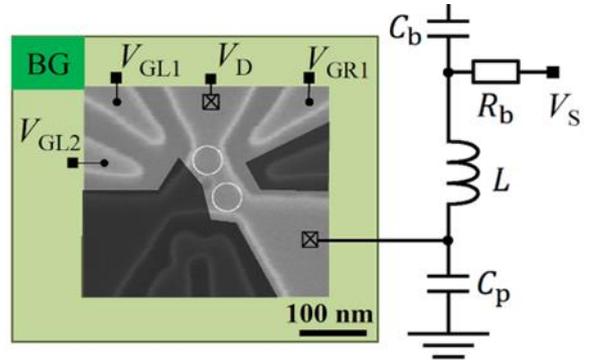
# 小規模実験回路の評価：量子キャパシタンス

- ✓ 高温での読み出しに、スピン依存な量子キャパシタンスの利用が有望視
- ✓ RF波を印加し、その反射率の変化からキャパシタンス変化を読み出し可能
- ✓ 高周波反射測定法で重要なマッチング条件の達成法確立、反射位相を最大化

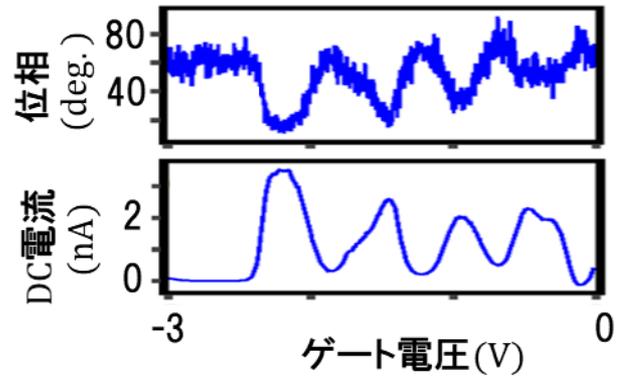
\*R. Mizokuchi, et al., *Sci. Rep.* **11**, 5863 (2021)

\*S. Bugu, et al., *Sci. Rep.* **11**, 20039 (2021)

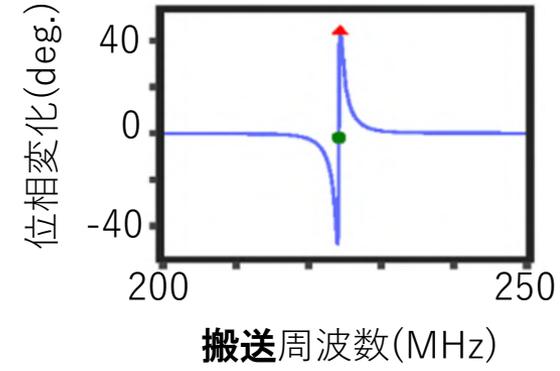
量子ドット試料と反射測定回路



クーロン振動時の反射位相変化



反射位相変化の周波数依存性



- ✓ シリコン量子ビットの高温読み出しに有利と期待される、高周波反射測定法の技術的詳細をまとめ、日本語で解説

\*米田淳、溝口来成、小寺哲夫 *固体物理* **56**, 265 (2021)

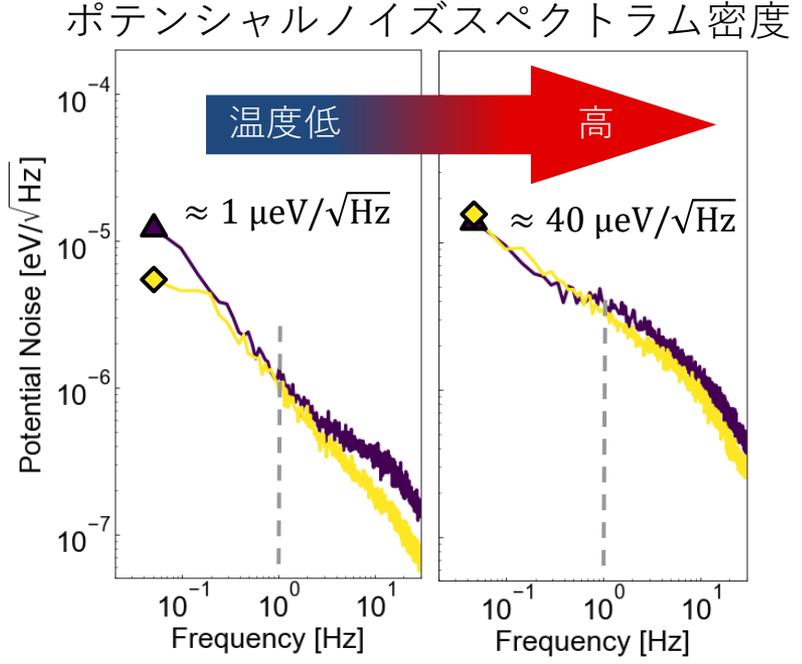
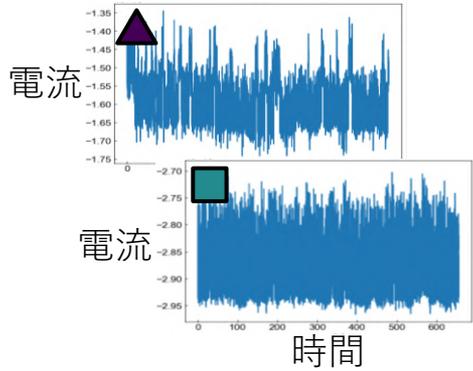
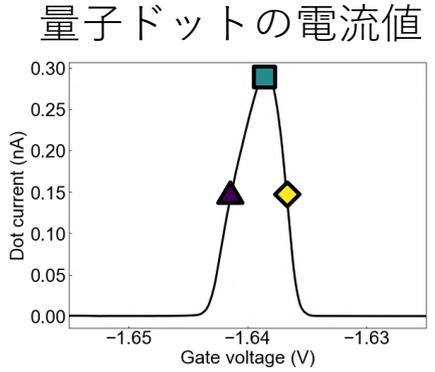
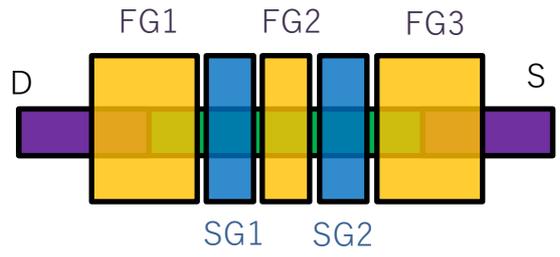


# 小規模実験回路の評価：電荷雑音

- ✓ 量子ビット動作の**前提条件**：試料の**安定動作**
- ✓ 電流雑音評価：安定度の評価手法のひとつ
- ✓ 電荷雑音は、単一量子ビットの性能、SWAP操作の忠実度に影響

J. Yoneda et al., Nature Nanotechnol. **13** 102 (2018); M.D. Reed et al., PRL **116**, 110402 (2016)

小規模実験回路：  
5ゲートFET



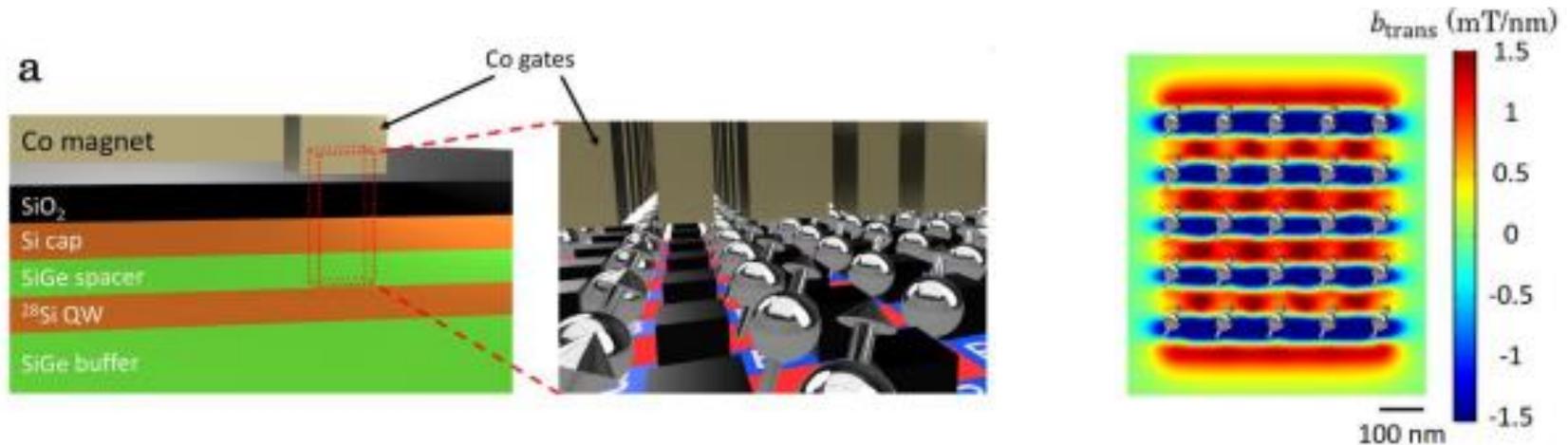
温度に依存した電流雑音スペクトルを観測（高温ほど大きいノイズ）



## 小規模実験回路の評価：電場駆動型量子ビットアレイの検討

- ✓ 本プロジェクトでは、量子ビットアレイにおけるスピン操作として、磁場駆動型を想定
- ✓ 発熱の観点から優位となる可能性がある、電場駆動型を量子ビットアレイに適用した際の性能について検証
- ✓ 強磁性体の電極作製技術が確立すれば、有力であると結論した

\*M. Tadokoro, et al., *Sci. Rep.* **11**, 19406 (2021)

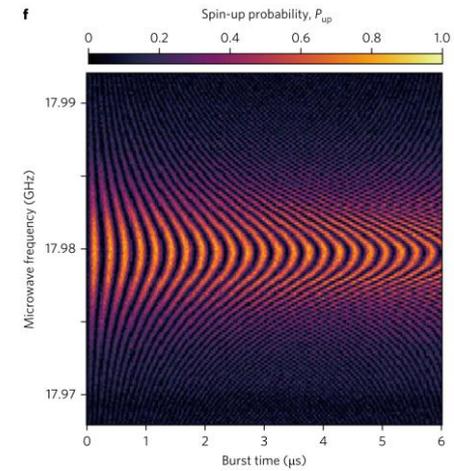
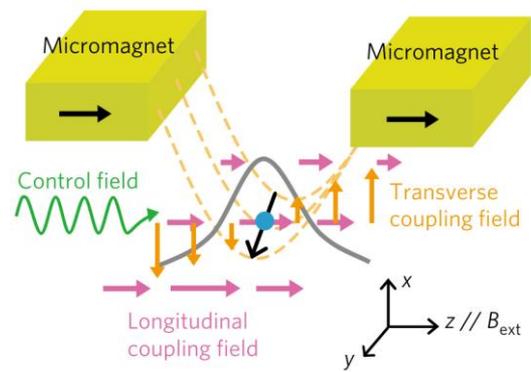
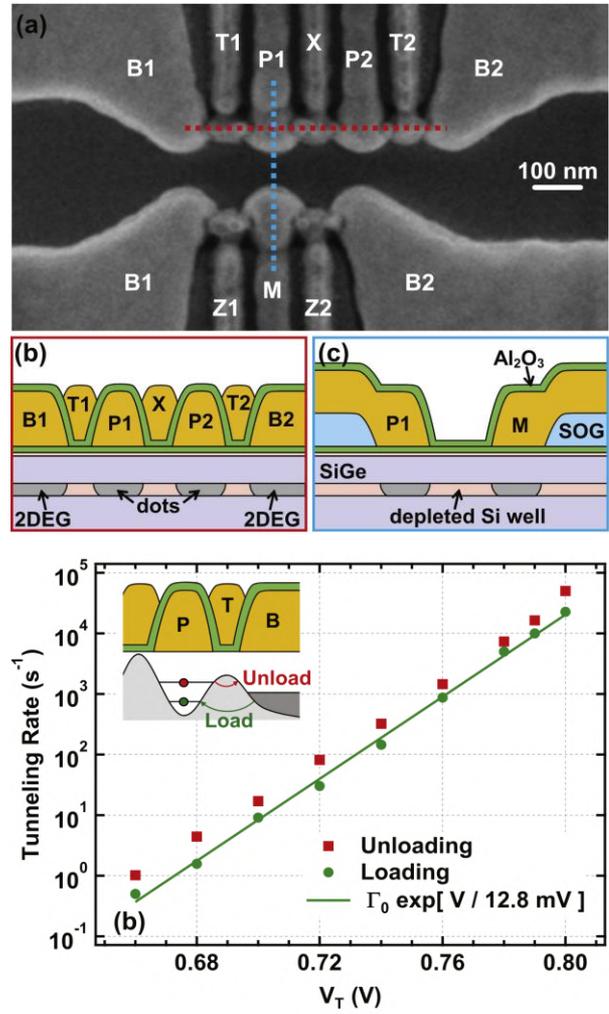


グローバルな微小磁石と局所的な磁性ゲート電極構造を利用した  
40×40 量子ドットアレイのシミュレーション

# Si/SiGe 量子ドット (RIKEN, HRL, QuTech, Princeton, Wisconsin)

ゲートサイズ、閉じ込め強さ、disorder、制御性のバランスに優れる

単一量子ビット制御忠実度 > 99.9%



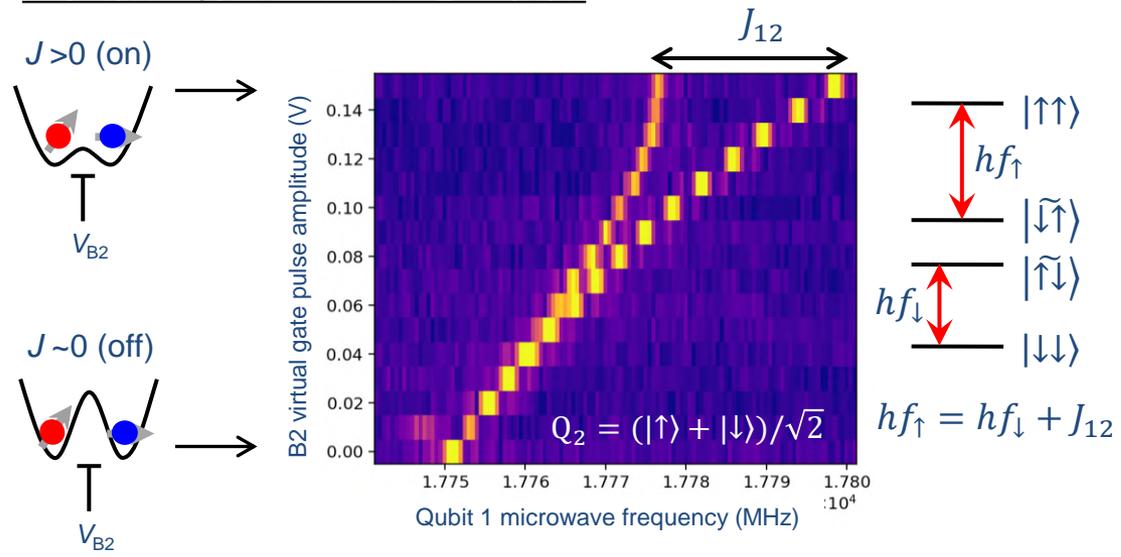
- \*J. Yoneda *et al.*, Nat. nanotechnol. (2018)
- \*K. Takeda *et al.*, npj Quantum Info. (2018)
- \*K. Takeda *et al.*, Sci. Adv. (2016)

\*理研グループ CREST「スピン量子計算の基盤技術開発」

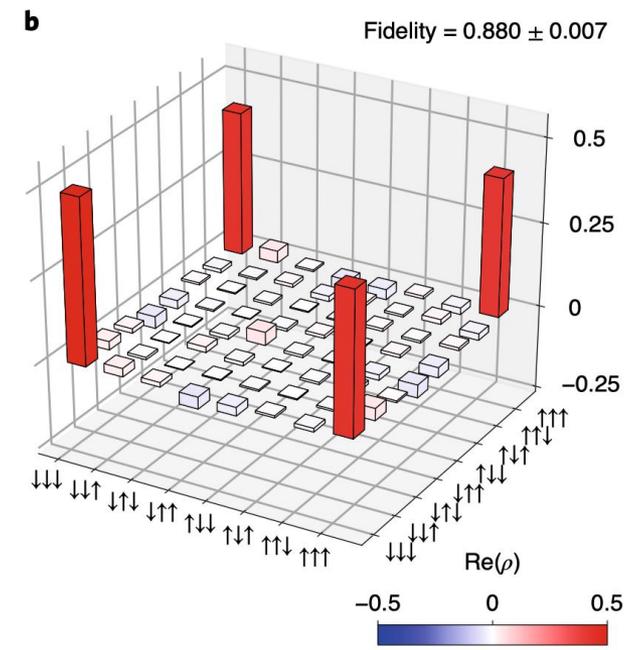
M. G. Borselli *et al.*, Nanotechnology (2015)

# 世界初の3量子ビットユニバーサル操作を実証

## 交換相互作用のゲート電圧制御

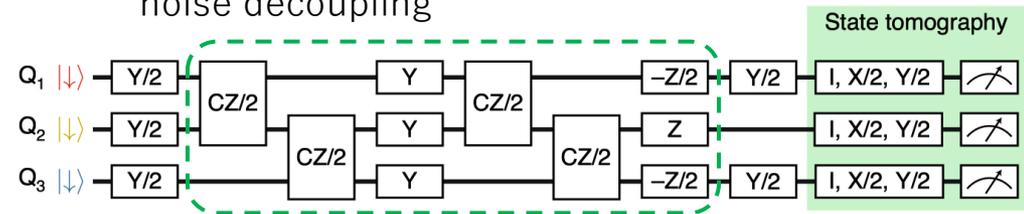


$$F_{\text{GHZ}} = 88\%, |\text{GHZ}\rangle = \frac{1}{\sqrt{2}}(|\uparrow\uparrow\uparrow\rangle + |\downarrow\downarrow\downarrow\rangle)$$



## 3ビットGHZ状態の生成

CZ gates with Hahn-echo-type noise decoupling

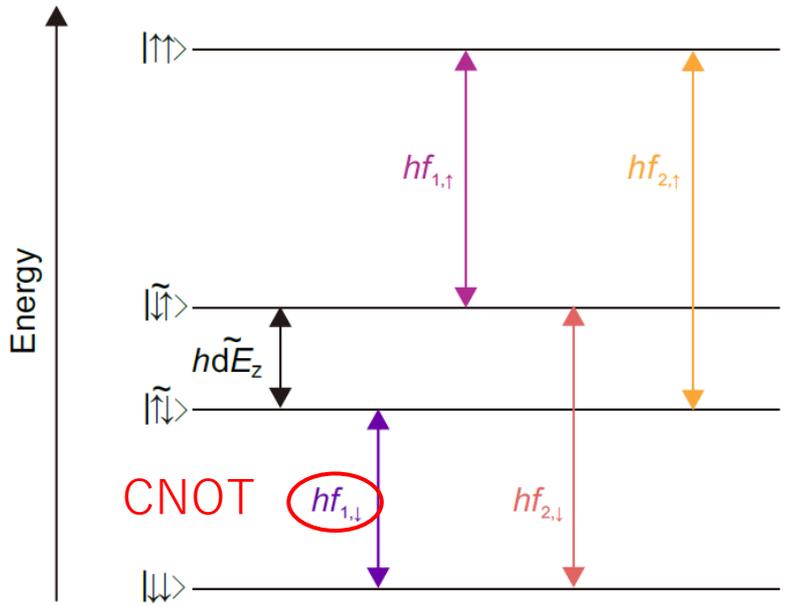


\*K. Takeda *et al.*, Nat. nanotechnol. **16**, 969 (2021)

# 誤り耐性閾値を上回る高忠実度 2 ビットゲート操作を実証

従来の 2 ビットゲート制御忠実度  $F_{\text{CNOT}} = 98\%$  W. Huang *et al.*, Nature (2019)

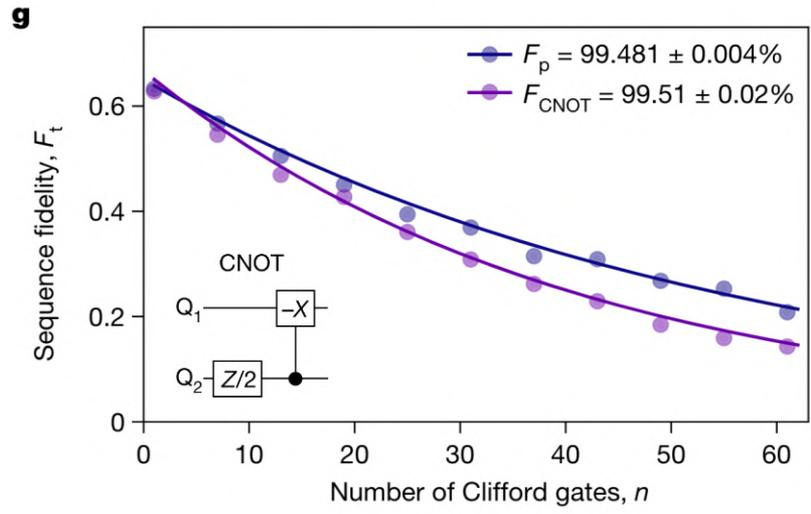
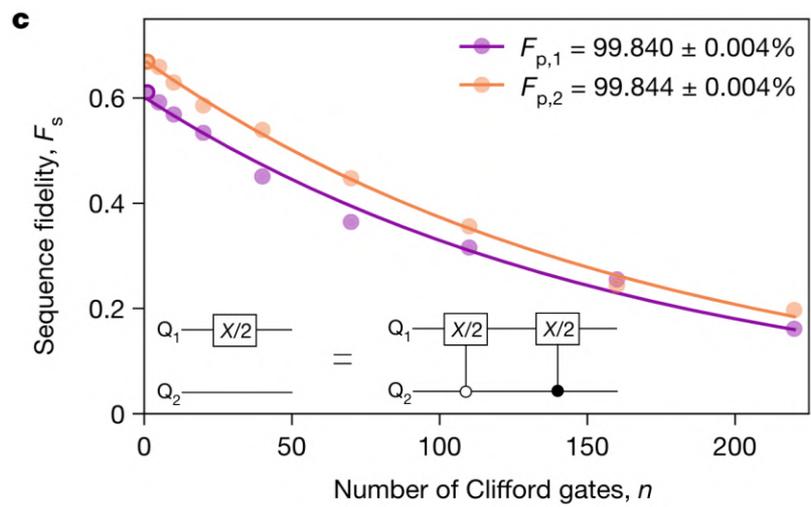
常時ON交換相互作用の下での  
マイクロ波駆動CNOTゲート



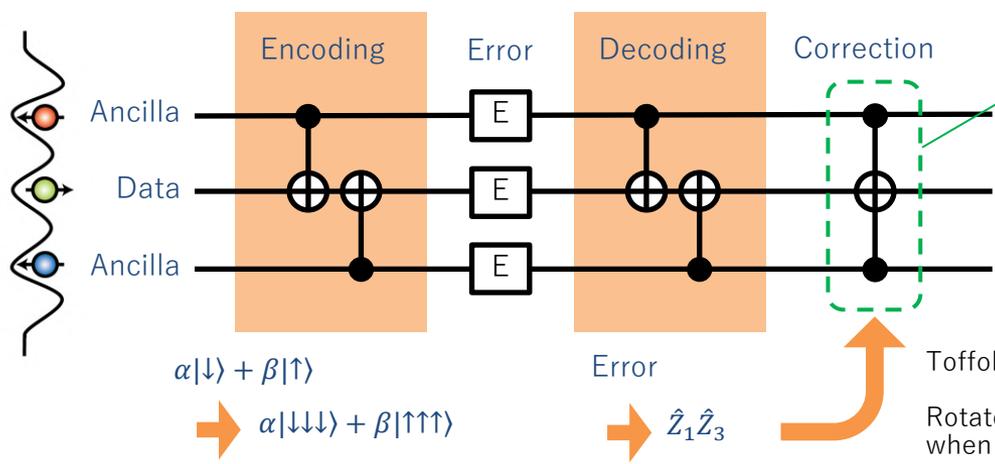
$F_{\text{CNOT}} = 99.5\%$  を実現

\*A. Noiri *et al.*, Nature **601**, 338 (2022)

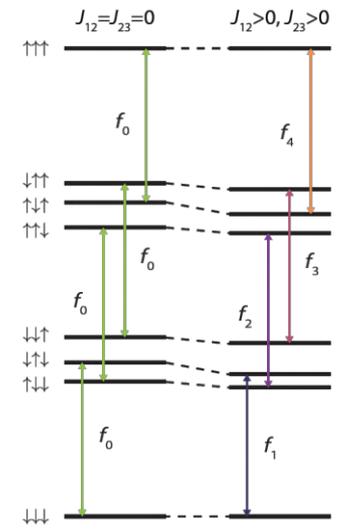
cf. X. Xue *et al.*, Nature **601**, 343 (QuTech)  
M. T. Madzik *et al.*, Nature **601**, 348 (UNSW)



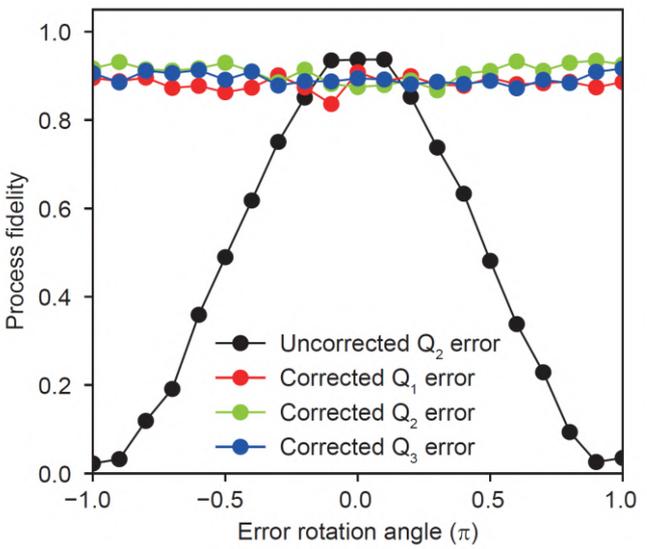
# 3ビット位相誤り訂正プロトコルの実装



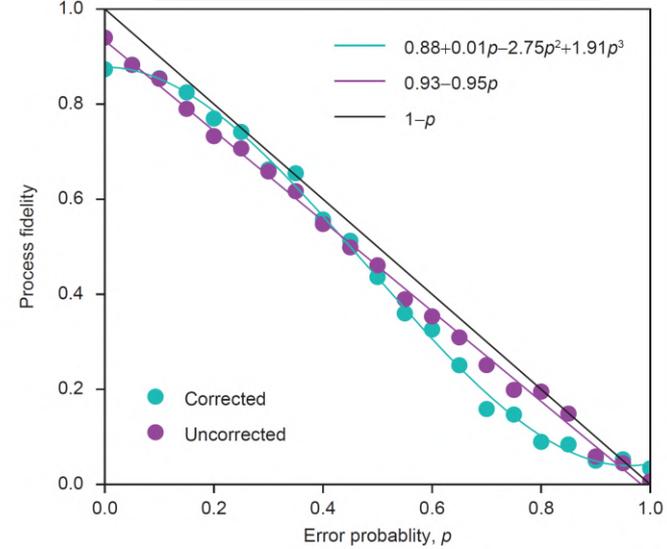
*i*Toffoli:  
 両交換結合ON時に  
 Q2を駆動



データビットのみの誤り訂正



3ビット等確率の誤り訂正



- First-order insensitive to error rate  $p$
- Gain observed for  $p < 0.45$

\*K. Takeda *et al.*, arXiv:2201.08581



**HITACHI**  
Inspire the Next

