



ムーンショット目標 6

2050 年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

実施状況報告書

2024 年度版

スケーラブルな高集積量子

誤り訂正システムの開発

小林 和淑

京都工芸繊維大学 電気電子工学系



1. 当該年度における研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

2050年に真に使える量子コンピュータを実現するには、時間とともに壊れていく大量の物理 Qubit の誤り訂正を実時間で行い、エラーのない論理 Qubit を得るシステムが必須である。そのために、集積回路(LSI)で実現する制御装置で Qubit を制御、観測する量子ビット制御装置(フロントエンド)と、量子コンピュータの誤り訂正を行う多数の論理 Qubit に対応した誤り訂正システム(バックエンド)をネットワーク接続し、実課題を解く必要がある。

2050年までのシナリオを実現するには、2030年までに大量の物理 Qubit の誤り訂正を実時間、省電力で行うシステムが必須となる。そのために量子ビット制御の小型省電力化のための専用システムオンチップ (SoC) や光集積回路・Cryo (極低温) LSI を利用し、より大きな誤り訂正システムを専用ハードウェアで実装しなければならない。

本プロジェクトは、2050年までのシナリオ実現を達成すべく、2025年までに下記5項目の基盤技術を実証することを目標としている。

【項目1】 エラー訂正バックエンド

【項目2】 量子ビット制御フロントエンドの先鋭化

【項目3】 光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

【項目4】 フロントエンド・バックエンドの Cryo CMOS 化

【項目5】 常温で動作するフロントエンドアナログ RF 部の LSI 化

(2) 研究開発プロジェクトの実施状況

項目1では、量子コンピュータのバックエンドシステム実現に向けた研究開発として、量子エラー訂正 (QEC) アルゴリズムの改良とハードウェア設計、FPGA クラスタの大規模設計・実装、上位層インターフェースの設計を進めた。さらに、QEC コアのアーキテクチャ検討と ASIC 向け性能評価を実施し、誤り訂正デコーダが性能ボトルネックであることを特定、22nm CMOS プロセスでのテストチップ開発と評価で省面積実装と動作を実測で検証した。高効率なフロントエンド-バックエンド通信基盤の確立 (アグリゲータ開発、エミュレータ実装)、低遅延な相互結合網技術の開発 (独自プロトコルによるスイッチ開発)、ソフトエラーを考慮した FPGA クラスタの耐故障設計手法 (ソフトエラー模擬システム構築) により、通信効率と信頼性の向上を図った。

項目2では、100量子ビット制御システム実現のため、デジタル信号処理を活用した信号補正技術で評価可能なボードと筐体を実装し、ヘテロジニアス構成の制御システムアーキテクチャを検討した。既存の Intellectual Property (IP)/integrated circuit (IC)を組み合わせた System-on-a-chip (SoC)/System in Package (SiP) による高集積化で、制御装置の容量を 1/3 に削減する目途をつけ、光モジュールを活用した高精度クロック分配では新規 LSI を用いたシステムが優位であることを確認した。さらに、スケーラブルな誤り観測とフィードバック処理方式の実装として、100量子ビット向けエラーシンドローム測定用 FPGA ファームウェアを拡張し、複数装置での同期実行を可能にした。デジタル信号処理の活用、構成要素のコンポーネント化、軽量ながら高性能な信号処理を実現できる制御方式の導入による高性能化と高集積化により

スケーラビリティの向上を実現した(先鋭化を達成)。

項目 3 では、極低温環境での量子制御回路実現に向け、まずは低温（液体窒素中）での光集積回路の動作検証に成功し、極低温 CMOS インバータにおけるゲートリークによる 3 値出力特性を解明した。また、低コスト RF パルス発生器の簡素化アーキテクチャを提案し、コスト削減と忠実度維持の可能性を示した。さらに、量子コンピュータ制御用極低温 CMOS 回路の低消費電力化のため、180nm プロセスでの極低温トランジスタモデルを開発し、機械学習とデバイス物理に基づく広範囲動作電圧対応のトランジスタモデルを確立した。これらの成果に加え、極低温測定環境を構築し、省面積・低消費電力回路（ダイナミック FF）の試作評価を進め、基本論理ゲート仕様策定のための評価環境を構築した。これにより、標準セル設計や IP モジュール開発に向けた定量的な指針が得られた。

項目 4 では、極低温動作 SoC 実現に向け、フロントエンドデジタル部の ASIC 化を進め、次年度の再テープアウトを目指す。極低温 SRAM の調達と GCDRAM の評価を行い、高密度メモリの可能性を実証した。さらに、SoC 内波形生成回路の設計を行い、極低温信頼性評価環境の構築も進めている。量子コンピュータ用 RF フロントエンドに関しては、極低温・高周波デバイスモデルを改良し、クロック生成 PLL、RF 信号源、ミキサなどの要素回路設計を進め、4K 動作でのクロック供給を確認した。高性能 DAC の開発では、22nm CMOS プロセスで 12bit DAC (Digital to Analog Converter) を試作・評価したが、線形性と低温性能に課題が見つかった。DAC の要素回路自動設計も試み、次年度の試作で改善を目指す。スケーラブルな高速 A/D 変換回路技術については、インターリーブ ADC (Analog to Digital Converter) のミスマッチ補正手法を FPGA に実装し、極低温動作インターリーブ ADC を開発、2GS/s、10bit 分解能で 4.2K での動作に成功した。フロントエンド向けデジタル回路の RTL (Register Transfer Level) 改善により回路規模と消費電力を削減し、極低温向け SRAM の動作テスト回路も設計した。昨年度課題となったデジタル部の ASIC レイアウトも再設計し、2025 年 7 月のテープアウトを目指す。

項目 5 では、微細 CMOS プロセスを用いた PLL 回路と送受信回路の TEG (Test Element Group) チップを設計・試作し、性能評価を行った。PLL 回路では、22nm CMOS FDSOI (Fully Depleted Silicon-on-Insulator) プロセスにより、既存の BiCMOS PLL に近い低ノイズ性能を維持しつつ、消費電力を約 80% 削減 (149mW) できることを確認した。送受信回路では、10GHz 帯 CMOS LNA (Low Noise Amplifier) として業界トップレベルの低雑音指数 (約 2.5dB) を達成し、PA (Power Amplifier) の送信出力は既存の Qubit 制御装置と同等の 10dBm 以上、消費電力は 1/10 程度に抑えることができた。これらの成果に基づき、今後はフロントエンドアナログ RF 部の統合化に向けた設計指針を策定する予定である。

(3) プロジェクトマネジメントの実施状況

本年度は、プロジェクト開始 3 年目となり各研究開発項目も順調に進捗していることをプロジェクト全体会議にて確認した。全体会議は 7 月に全体合宿が開催されたこともあり前半の全体会議を取りやめ、9 月、12 月、3 月に実施した。9 月の全体会議で

は大森プロジェクトより研究者 3 名を招き、冷却原子を使った Qubit についての情報交換を行った。さらに 12 月の全体会議ではポスターセッションを実施し、プロジェクト内の研究成果の共有を行った。9 月には九州大学主催の Quest2024 にて基調講演を行い、本 MS と小林プロジェクトの研究内容の宣伝を行った。11 月にはこれまでの海外と産業総合研究所 (G-QuAT) の訪問の報告をオンラインで MS6 の関係者に対して行った。12 月には海外出張と絡めて、Padova 大学を訪問し、同大学の理学部の量子コンピュータ関係研究の責任者と面談し、情報交換を行った。量子コンピュータによる Digital Twin を作っており、64Qubit、101Qubit のエミュレーションで Shor のアルゴリズムを実行可能であるとのことであった。

2. 当該年度の研究開発プロジェクトの実施内容

研究開発項目 1：エラー訂正バックエンド

課題 1：ハードウェア向け誤り訂正アルゴリズムと FPGA によるバックエンドシステム
当該年度実施内容：バックエンドシステムを実現するため、以下の課題を抽出し、それぞれについて研究開発を実施した。

(1) **アルゴリズム開発とハードウェア設計：**複数 FPGA 向けの並列量子エラー訂正アルゴリズムであるシンドローム部分グラフアルゴリズムを改良し、ソフトウェアシミュレーションで論理エラー率低減効果を確認した。このアルゴリズムのハードウェア実装として、シンドロームクラスタ成長を行う三次元シストリックアレイ (SA)、接触通知を集約するリダクションユニット (RU)、最小重み完全マッチング (MWPM) 探索を行う最終マッチングユニット (FMU) などの要素を FPGA に実装・検証した。異なる FPGA への実装評価により、単一 FPGA で扱える符号距離の限界や、複数 FPGA への分散実装の検討を進めた。

(2) **FPGA クラスタの設計と実装：**当初の計画から遅延したものの、FPGA クラスタの基本設計と試作を完了し、最終仕様を決定した。32 枚の Agilex 7 M-Series FPGA を搭載する 8 台のサーバで構成され、高速メモリや 400Gbps ネットワークを備えた大規模クラスタの調達手続きが完了した。また、クラスタで使用する FPGA 向けの SoC (AFU Shell) を移植・改修し、高速メモリや FPGA 間直接通信機能の実装を行った。

(3) **上位層インターフェース設計：**誤り訂正バックエンドシステムを量子コンピュータの上位層に接続するための簡易的なインターフェースを設計した。上位層が論理量子ビットに対する演算を指定し、バックエンドシステムが物理量子ビット操作に変換する仕組みを検討し、通信を表現するソフトウェアを試作した。これにより、上位層からの要求に基づいた論理量子ビット操作の実現可能性を示すことができた。

課題推進者：佐野 健太郎 (理化学研究所)

課題 2：QEC コアの ASIC 向け評価

当該年度実施内容：昨年度から引き続き、以下の開発を行った。また、項目 1 内での FPGA クラスタ実装で得られた知見を適宜取り入れながら進めた。

(1) QEC コアのアーキテクチャ検討：QEC コア全体の構成を決定し、FPGA-ASIC 接続の準備を整えた。

(2) QEC コアの ASIC 向け性能評価：ASIC を想定したシミュレーションにより、特に誤り訂正デコーダが性能ボトルネックであることを定量的に特定した。この成果は IEEE QCE で発表した。

(3) QEC TEG テストチップ開発：22-nm CMOS プロセスで誤り訂正デコーダのテストチップを製造・評価し、省面積での実装と動作を実測で初めて検証した。この成果は IEEE ISCAS で発表予定である。

これらの結果は、高性能な ASIC ベースの QEC コア開発と、将来的な量子コンピュータシステムへの統合に向けた重要なステップとなる。

課題推進者：門本 淳一郎（東京大学）

課題 3：ディペンダブルなエラー訂正バックエンドの実現

当該年度実施内容：量子コンピュータのフロントエンドとバックエンド FPGA クラスタ間の通信効率向上と低遅延化、そして FPGA クラスタの信頼性向上に取り組み、以下の成果を得た。

(1) 高効率なフロントエンド-バックエンド通信基盤の確立：複数のフロントエンドからのシンδροーム情報を集約するアグリゲータを開発し、Ethernet 帯域のボトルネックを解消、物理量子ビット増加へのスケーラビリティを向上させた。また、FPGA クラスタの誤り訂正試験に必要な量子フロントエンドエミュレータを実装し、理化学研究所での運用を開始した。最大 36 台のフロントエンドを模擬した高速なシンδροームデータ送信が可能であり、FPGA クラスタの処理能力検証に貢献できる。

(2) 低遅延な相互結合網技術の開発：Ethernet を用いない独自プロトコルによる 8 ポートスイッチを FPGA 上に構築し、200ns 以下の低遅延ルーティングを実現した。また、表面符号デコードにおける更なる低遅延化を目指し、スイッチングやルーティングを行わない多対多同報通信プロトコルと実証試験用ボードを開発した。配線変更の制約はあるものの、固定通信パターンにおいては遅延の大きいスイッチを排除できる利点がある。

(3) ソフトエラー等を考慮した FPGA クラスタの耐故障設計手法：FPGA 上の回路にエラーインジェクションを行うソフトエラー模擬システムを構築した。これにより、宇宙線による影響を評価し、ECC などの保護技術を用いた耐故障設計を可能にする環境が整備できた。

課題推進者：長名 保範（熊本大学）

研究開発項目 2：研究開発項目 2：量子ビット制御フロントエンドの先鋭化

課題 1：量子ビット制御フロントエンドの先鋭化

当該年度実施内容：昨年度までに実装した要素技術を基盤とし、100 量子ビットの制御に向けたシステム実装と更なる技術基盤の確立を目指し、下記の課題に取り組んだ。

(1) **デジタル信号処理を活用した信号補正技術の確立**: 100 量子ビット規模の評価が可能な信号処理ボード、制御ボード、筐体を実装した。また、超伝導量子ビット以外の量子コンピュータ（イオントラップ、中性原子）への技術展開を見据え、ヘテロジニアス構成の制御システムアーキテクチャを検討し、その有効性評価プラットフォームを構築した。

(2) **既存 IP/IC を組み合わせた SoC/SiP 化による高集積化**: 令和 5 年度に開発した実験ボードと集積化 RF 回路モジュールを統合し、実際の量子ビット制御システム構築に向けたボード開発・集約化を行った。これにより、ポート数を 1.5 倍、装置高さを 1/2 とし、制御装置の容量 1/3 化の目途を得た。高速サンプリング可能な FPGA との比較により、開発システムが小型化目標を達成しつつ、量子ビット制御に必要な信号出力レベル分解能を満たすことを確認した。

(3) **光モジュールを活用した高精度のクロック分配**: 100 量子ビット向け制御システムへの光モジュールを用いたクロック分配システムの適用を検討した。精度と同期可能台数の見積もりを行い、既存方式や新規 LSI を用いた方式と比較した結果、新規 LSI を用いた分配システムが優位であることが判明した。

(4) **スケーラブルな誤り観測とフィードバック処理方式の実装**: エラーシンドローム測定用 FPGA ファームウェアを 100 量子ビット環境向けに拡張し、複数装置での同期実行を可能にした。拡張ファームウェアを複数の制御装置上で動作させ、現行システムと同程度の同期性能でエラーシンドローム測定処理を繰り返し実行できることを確認した。

課題推進者：三好 健文（キューエル株式会社）

研究開発項目 3：光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

課題 1：光集積回路の低温領域における動作可能性の探求

当該年度実施内容：極低温環境下での量子制御回路実現に向けた要素技術開発として、光集積回路の動作検証、極低温 CMOS 回路の特性解明、低コスト RF パルス発生器アーキテクチャの提案を行った。

(1) **液体窒素中における光集積回路の動作特性の測定**: 極低温測定環境を構築し、光集積回路の液体窒素中でのスイッチング特性を測定した。室温時と同様の動作を確認し、低温領域における光集積回路の動作可能性を実証した。

(2) **極低温環境における低電圧 CMOS インバータの 3 値出力特性**: 極低温・低電圧動作時の CMOS インバータにおいて、ゲートリーク電流により 3 値出力特性が現れることを実験的に確認した。ゲートリークを再現する等価回路モデルに基づき、3 値を安定保持可能なクロスカップルドインバータを設計し、シミュレーションによりその動作を検証した。この成果は、極低温環境下での高密度メモリデバイス実現の可能性を示唆する。

(3) **低コスト RF パルス発生器アーキテクチャ**: RF パルス生成器の電力ボトルネックである High Bandwidth Memory (HBM) や Arbitrary Waveform Generator (AWG) を

排除した簡素化アーキテクチャを提案した。低速・低容量メモリと低速 DA コンバータを用いることで大幅なコスト削減が可能でありながら、ゲート忠実度の劣化を抑制できる可能性を物理シミュレーションで示した。この成果は国際会議にてポスター発表を行った。

課題推進者：塩見 準（大阪大学）

課題 2 : Cryo CMOS PDK の構築

当該年度実施内容：量子コンピュータ制御用極低温 CMOS 回路の効率的な設計に向け、トランジスタ特性のモデル化に取り組んだ。

(1) 180nm プロセスにおける極低温トランジスタモデルの開発：180nm で試作したトランジスタ TEG を極低温環境で測定し、7K における基板バイアス制御時のドレイン電流特性を取得した。業界標準 BSIM4 モデルを用いてこの特性をモデル化し、実測とシミュレーションの良好な一致を確認した。このモデルを用いて設計した 17 段リング発振器のシミュレーションにより、低電圧動作時の周波数と電力効率を評価し、試作によらず効率的な解析が可能であることを示した。

(2) 機械学習による広範囲動作電圧に対応したトランジスタモデルの開発：昨年度より取り組む機械学習によるモデル化を拡張し、広範な電圧領域に対応可能なモデルを開発した。オン電流からオフ電流までの大きな電流比に対応するため、大電流領域と小電流領域で分割モデル化し、スムージング関数で接続することで高精度なモデル化を実現した。

(3) デバイス物理に基づく極低温対応コンパクトモデルの開発：デバイス物理に基づくコンパクトモデルとして、標準化モデル Hiroshima-university STARC IGFET Model (HiSIM) を拡張し、極低温特性を考慮可能な HiSIM-Cryo を開発した。極低温で変化するバンドギャップエネルギーや移動度などのパラメータの温度特性を組み込むことで、様々な温度におけるトランジスタのドレイン電流特性を高精度にシミュレーションできることを示した。

課題推進者：新谷 道広（京都工芸繊維大学）

課題 3 : Cryo CMOS 集積回路設計基盤の構築

当該年度実施内容：極低温環境下での量子コンピュータ制御回路実現に向け、測定環境の構築、省面積・低消費電力回路の試作評価、および基本論理ゲートの仕様策定のための評価環境構築を行った。

(1) 極低温測定環境の構築：液体ヘリウムデュワーと電氣的測定環境を整備し、極低温での回路特性測定環境を構築完了した。初期測定ロッドの接触不良を改善するため、ポゴピン方式を用いた改良版測定ロッドを作成し、測定の高信頼化を図った。

(2) アレイ回路を用いる試作と特性評価：極低温に適した回路技術検討として、単体トランジスタアレイとダイナミック型フリップフロップを設計・試作した。試作したダイナミック FF は、既存標準ライブラリの DFF と比較して約 33%の面積削減を達成し、低電圧動作により省電力化にも貢献できる。22nm バルクプロセスでリングオシレ

ータを用いた評価回路を設計し、従来型 DFF との性能比較を同一条件下で実施可能とした。

(3) 基本論理ゲート仕様策定のための評価環境構築： 常温および極低温に向けた基本論理ゲート等の仕様策定のため、CryoModel を用いて表面符号に基づく誤り訂正デコータに必要なエネルギーの定量評価を実施した。マッチンググラフの重みを 4 ビットに量子化することで、特定の条件下で論理誤り率をほぼ維持できることを示し、1 回の誤り訂正あたりの平均メモリエネルギーと電力制約下での論理量子ビットの誤り訂正可能数を導出した。これらの結果は、極低温環境における設計パラメータを明確化するものであり、標準セル設計や IP モジュール開発に向けた定量的指針を提供する。

課題推進者：佐藤 高史（京都大学）

研究開発項目 4：フロントエンド・バックエンドの Cryo CMOS 化

課題 1：フロントエンド・バックエンド向けデジタル回路技術と高信頼化

当該年度実施内容： 極低温動作 SoC 実現に向け、フロントエンドデジタル部の ASIC 化、極低温 SRAM の準備、極低温動作 GCDRAM の評価、SoC 内波形生成回路の設計、および極低温信頼性評価環境の構築を進めた。

(1) フロントエンドデジタル部の ASIC 化： FPGA 実装の RTL コードを ASIC 化しテープアウトを完了、7 月上旬に試作チップを受領した。初期動作確認で問題が判明し、SRAM 設計レビューでの議論に基づき、電源配線や基板タップ配置の修正が必要と判断された。タイミング違反も多数見つかったため、テープアウトを 2025 年 7 月まで延期した。

(2) 極低温動作 SRAM： 次年度に 4K 動作 SRAM を外注するため、関連企業との打ち合わせを経て仕様策定と国際調達を実施、10 月に納品された。

(3) 極低温動作に向けた GCDRAM： 22nm プロセスで GCDRAM を設計・試作し、極低温での実測評価を行った。22K での記憶保持時間が室温比で大幅に向上し、疑似 SRAM としての可能性が示された。2025 年度は 8 ビット x8 ワードのメモリマクロを設計試作する予定である。

(4) SoC の波形生成回路の設計： SoC 内の任意周波数 Sine 波生成回路を設計し、極低温での動作を確認した。SPI 仕様に一部標準的でない点が見つかったため、2025 年度の試作で修正予定である。

(5) 極低温信頼性評価環境の構築： 極低温での ASIC 動作確認のため、アナデジ混載 LSI テスタと液体ヘリウム用デュワー対応治具を準備した。試作 DAC の動作確認はできたが、治具のチップ固定方法に課題が判明した。そのため小型クライオスタットの調達を決定した。

課題推進者：小林 和淑（京都工芸繊維大学）

課題 2：スケーラビリティを実現する RF フロントエンド回路技術の開発

当該年度実施内容： 極低温で動作する量子コンピュータ用 RF フロントエンド実現に向

け、(1) 極低温・高周波デバイスモデルの検討、(2) RF フロントエンドの要素回路設計の2点に重点的に取り組んだ。

(1) **極低温・高周波用デバイスモデルに関する検討**：昨年度試作した TEG チップを用い、新谷 PI の協力のもと極低温での受動素子特性の実測を行い、RF フロントエンド回路に必要なモデル開発を進めた。昨年度提案した配線抵抗モデルを改良し、室温から 4K までの幅広い温度領域と多様な配線幅・厚さにおいて、より高精度な抵抗率予測が可能となることを確認した。これにより、極低温における受動素子の特性を高精度に予測でき、設計の高度化に貢献できた。本成果は国際会議に投稿中である。また、配線抵抗率が回路設計に与える影響についても検討を行い、国内会議で成果発表を行った。

(2) **RF フロントエンド用回路の設計**：クロック生成用 PLL、RF 信号源、ミキサーの設計を行った。他グループからの要求に基づき、250 MHz～2 GHz のクロック生成 PLL を設計し、項目 4 全体で試作した統合チップにおいて 4K での正常なクロック供給を実測で確認した。また、超伝導量子ビット制御を想定し、4 GHz～16 GHz に対応する RF 信号源と 2 GHz 帯域を持つミキサーを 22 nm CMOS プロセスで設計した。これらは現在製造中であり、2025 年度に評価を実施する予定である。

課題推進者：土谷 亮（滋賀県立大学）

課題 3：フロントエンド向け高速 DAC

当該年度実施内容：量子コンピュータ制御に必要な高性能 DAC の開発と、その設計効率化に向けた取り組みを実施した。

(1) **22nmCMOS プロセスでの DAC の試作と性能評価**：22nm CMOS プロセスで 12bit DAC を設計・試作し、常温および 4K 環境下で性能評価を行った。DAC は 3 つの 4bit sub-DAC で構成した。レイアウトでは、デジタル回路部からアナログ回路部へのノイズ伝搬防止に配慮した。ノイズ伝搬防止のためのレイアウトに配慮した。常温測定では 1Gsps 動作を確認したが、線形性の悪さが課題として見られた。4K 測定ではノイズフロアの上昇により性能が低下した。これらの結果を踏まえ、性能低下の原因を分析し、次年度の試作にて 4K での 12bit、2Gsps DAC の実現を目指す。

(2) **DAC の要素回路の自動設計・合成**：低消費電力・省面積な DAC の自動設計を目指し、8bit ユナリ型カレントステアリング DAC を対象に、ベイズ最適化を用いた素子値の自動設計を行った。目標性能に対し、消費電力は達成できていないが、微分非直線性誤差(DNL)、積分非直線性誤差(INL)については目標値を達成できた。実行時間の短縮が今後の課題である。なお今年度は試作に至らず、自動設計した 8bit DAC は来年度に試作・評価を行う予定である。

課題推進者：高井 伸和（京都工芸繊維大学）

課題 4：フロントエンド向け高速 ADC

当該年度実施内容：量子コンピュータ制御に必要なスケーラブルな高速 A/D 変換回路技術の開発に取り組んだ。

(1) スケーラビリティ実現のための A/D 変換回路技術検討の実施：インターリーブ ADC の性能劣化要因であるチャネル間のミスマッチ（DC オフセット、利得ばらつき、サンプリングタイミング）を補正する手法を FPGA に実装し、その効果を実証した。8 個の ADC を用いたインターリーブ動作において、FPGA によるハードウェア補正により、ソフトウェア上と同等の 15dB 以上の高調波成分抑制効果を確認した。

(2) スケーラブルな高速 ADC の開発の実施：極低温動作インターリーブ ADC の開発として、8 チャネルの単体 ADC を統合した TEG を 22nm バルク CMOS プロセスで作成した。TEG は 2GS/s のサンプリングレート（10bit 分解能）を実現し、液体ヘリウム中（4.2K）での動作試験に成功した。広帯域 ADC 評価に対応可能な極低温評価環境も構築し、2GHz の高速クロックと 1GHz までのアナログ入力に対応した。極低温環境下での ADC の正常動作を確認し、2GS/s 動作時の消費電力は 13mW 程度であった。常温評価では有効ビット 8.5bit、電力効率 FoM は 20fJ/conv.-step と、世界トップレベルの効率が見込まれる。引き続き、極低温評価環境のノイズ対策を施設レベルで進めている。

(3) 項目 4 で開発した SoC の評価の実施：項目 4 の PI と協力して、デジタル正弦波発生回路（SWG）、PLL、DAC、ADC を統合した SoC の評価を実施した。常温評価において、PLL、SWG、ADC は期待通り 2GHz で正常動作したが、DAC の動作速度が不十分であったため、動作周波数を 1GHz に下げて再評価を行った。その結果、SoC のデジタル出力が正弦波として正しく再現され、回路機能として問題がないことが確認された。一方、FFT 解析では有効ビット数が期待値である 8.5bit に対して 6.2bit と低下しており、DAC の非線形性に起因する可能性が示唆された。液体ヘリウム中（4.2K）での極低温評価も実施し、1GHz の動作において SoC のデジタル出力が正弦波として正しく再現され、回路機能として正常に動作することが確認された。

課題推進者：宮原 正也（高エネルギー加速器研究機構）

課題 5：フロントエンド向けデジタル回路の RTL 設計

当該年度実施内容：フロントエンド向けデジタル回路の高性能化と、極低温向け SRAM の動作検証に向けた準備を進めた。

(1) フロントエンド向けデジタル回路の RTL 改善：前年度に ASIC 化したフロントエンド向けデジタル回路において、算術演算のビット幅拡張による回路規模・消費電力の増大を改善するため、処理途中で単精度浮動小数点形式に変換するアーキテクチャを導入した。これにより、回路面積を 53.7%、消費電力を 47.7%削減し、シミュレーションにより処理結果への影響がないことを確認した。本成果は IEEE Quantum Week 2024 にて発表した。

(2) 極低温向け SRAM の動作テスト回路の設計：極低温動作 SRAM マクロの検証に向けたテスト回路を設計した。信号線数制限、クロック周波数制約といった課題に対し、以下の設計を行った。

- ・土谷 PI 設計の極低温向け PLL を用いて、低速な外部クロックから高速な内部クロックを生成し SRAM に供給した。

- 読み書き命令デコーダを配置と外部接続信号線数を削減することで、デコーダは低速な外部命令を高速な内部命令に変換できた。

- 極低温動作モードではテストパターンを絞り、限られた接続でも十分なテストを実施可能にした。

なお、今回設計したテスト回路は 2025 年度中にテープアウト予定である。

課題推進者：今川 隆司 (明治大学)

課題 6：フロントエンド向けデジタル回路のレイアウト設計

当該年度実施内容：昨年度試作して正常動作に至らなかったフロントエンド向けデジタル回路のレイアウト再設計を行うとともに、設計できるフローの確立も昨年度に引き続き行った。

(1) フロントエンドデジタル部の ASIC 化：昨年度試作で課題となった DSP のレイアウトを再設計した。特に電源配線強化のため、上層の低抵抗配線を使用し、タップ間隔を狭めるなどの対策を施した。また、4K 動作に必要な SRAM TEG のレイアウト設計も完了した。これらの改善版レイアウトは 2025 年 7 月にテープアウト予定である。

(2) フロントエンドデジタル回路の設計フロー：昨年度に構築したものを最適化し、遅延や面積を考慮したレイアウト設計フローを確立させた。特に電源配線とタイミング制約のフローを見直し、電源強化とタイミング違反の抑制を図った。今後は 4K 動作を考慮した設計フローを確立させる予定である。

課題推進者：岸田 亮 (富山県立大学)

研究開発項目 5：常温で動作するフロントエンドアナログ RF 部の LSI 化

課題 1：常温で動作するフロントエンドアナログ RF 部の LSI 化

当該年度実施内容：微細 CMOS プロセスを用いた PLL 回路と送受信回路の TEG チップを設計・試作し、性能評価を実施した。

(1) PLL 回路設計、TEG 試作、性能評価：22nm CMOS FDSOI プロセスを用いて設計した TEG チップの評価により、既存の BiCMOS PLL に近い低ノイズ性能 (100kHz 離調で-105dBc/Hz) を維持しつつ、消費電力を約 80%削減 (149mW) できることを確認した。また、長期位相揺らぎも 0.12 度 rms と良好な結果が得られた。

(2) 送受信回路設計、TEG 試作、性能評価：同じく 22nm CMOS FDSOI プロセスを用いた TEG チップの評価により、10GHz 帯 CMOS LNA として業界トップレベルの低雑音指数 (約 2.5dB) を達成した。また、PA の送信出力は既存の Qubit 制御装置と同等の 10dBm 以上を実現し、送受信間のアイソレーションも 70dB 以上を達成した。さらに、消費電力は既存の Qubit 制御装置の 1/10 程度に抑えることができた。

これらの成果を踏まえ、令和 7 年度はフロントエンドアナログ RF 部の統合化に向けた設計指針を策定する予定である。

課題推進者：五十嵐 正利 (株式会社ソシオネクスト)

3. 当該年度のプロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

・進捗状況の把握

本年度は、5月の個別会議と9、12、3月の全体会議を開催した。会議では本プロジェクトの目標やスケジュールの共有化、PM方針の伝達、課題代表者からの進捗報告、予算管理および事後評価に向けた対策協議を行った。特に、12月の全体会議では、若手研究者のポスター発表を行い、進捗状況の把握と積極的な人材交流を図った。また、サイトビジットとして、課題推進機関である富山県立大学岸田PIと熊本大学長名PIの研究拠点を訪問した。

・研究開発プロジェクトの展開

超伝導量子ビット以外の量子コンピュータへの展開を図るべく、大森プロジェクトより全体会議にオブザーバー参加いただいた。参加にあたっては、事前に守秘同意書を提出いただいた。

(2) 研究成果の展開

学会やセミナーでの研究成果発表や論文投稿を積極的に推進した（発表総数45件）。また、目標6内部全体会議にて19件のポスター発表を行い、他プロジェクトメンバーへ研究成果を展開するとともに、課題に対する貴重な意見をいただいた。9月には九州大学主催のQuest2024にて基調講演を行い、本MSと小林プロジェクトの研究内容の宣伝を行った。

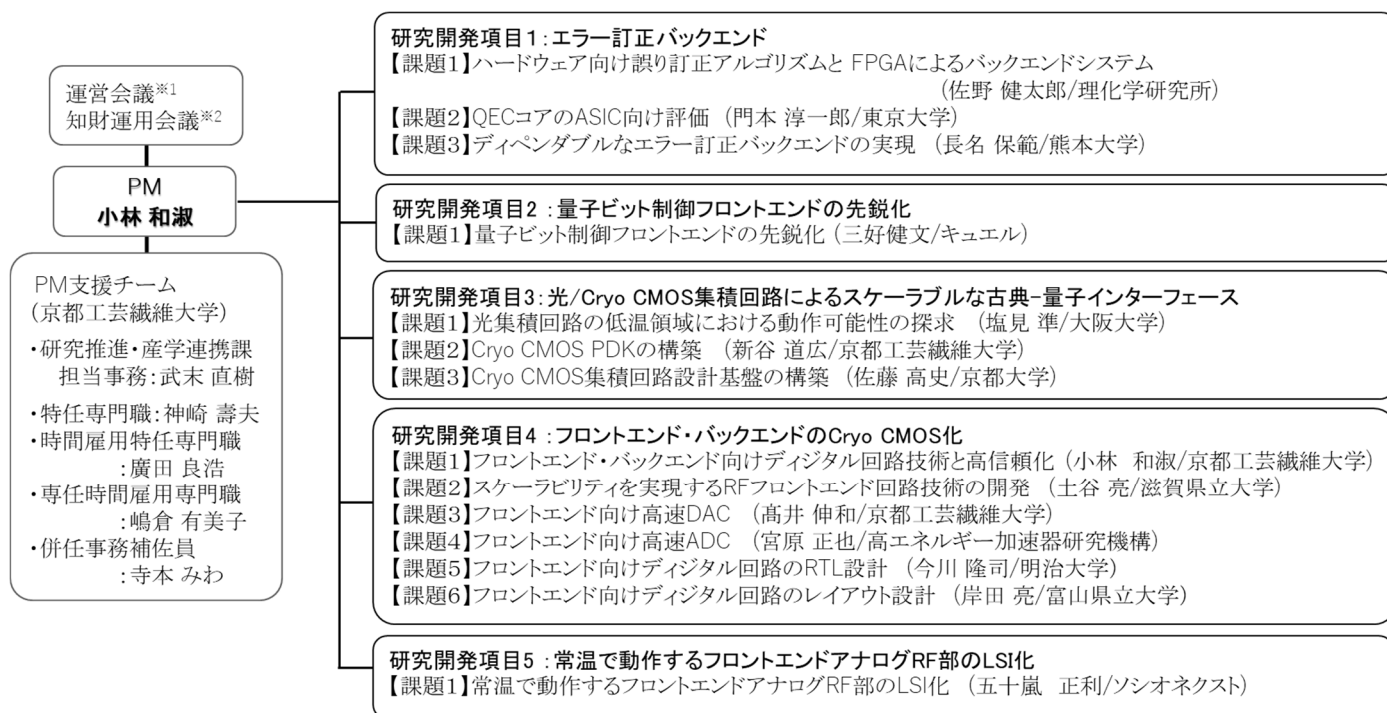
(3) 広報、アウトリーチ

ホームページの各課題推進者紹介や研究内容を整理し、写真や図表を載せる等の更新を行った。また、講演会資料や公開情報をホームページ上に掲載することで活動の見える化を進めた。11月にはこれまでの海外と産業総合研究所（G-QuAT）訪問の報告をオンラインでMS6の関係者に対して行った。

(4) データマネジメントに関する取り組み

データマネジメントとしてBoxの積極的な活用を継続中である。課題やデータ概要にあわせて階層を設け、データの共有と管理の充実を図った。プロジェクト内のやり取りにはSlackを主に使用し、Boxと合わせてデータの外部流出がないように努めている。

4. 当該年度の研究開発プロジェクト推進体制図



※1会議体制

- ・ 目的: 新規課題推進者・参加機関の参加の可否、実施規約の改正、その他運営全般
- ・ メンバー: PM、PI、PM支援、JST

※2会議体制

- ・ 目的: 特許出願しない場合の可否、複数研究期間にまたがる知財の調整、その他
- ・ メンバー: PM、PI

5. 当該年度の成果データ集計

知的財産権件数				
	特許		その他産業財産権	
	国内	国際(PCT 含む)	国内	国際
未登録件数	1	4	0	0
登録件数	0	0	0	0
合計(出願件数)	1	4	0	0

会議発表数			
	国内	国際	総数
招待講演	3	3	6
口頭発表	11	16	27
ポスター発表	7	5	12
合計	21	24	45

原著論文数(※proceedings を含む)			
	国内	国際	総数
件数	0	2	2
(うち、査読有)	0	2	2

その他著作物数(総説、書籍など)			
	国内	国際	総数
総説	0	0	0
書籍	1	1	2
その他	0	0	0
合計	1	1	2

受賞件数		
国内	国際	総数
2	0	2

プレスリリース件数
0

報道件数
0

ワークショップ等、アウトリーチ件数
1