



ムーンショット目標 6

2050 年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

終了報告書

スケーラブルな高集積量子

誤り訂正システムの開発

小林 和淑

京都工芸繊維大学 電気電子工学系



1. 研究開発プロジェクトの実施期間

令和4年10月1日～令和7年11月30日

2. 研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

本研究開発プロジェクトの狙いは、超伝導量子ビットから中性原子まで多岐にわたる量子ビット実現方式にアジャイルに対応するエラー訂正システムと、超伝導量子ビット向けの小型かつ省電力な量子ビット制御装置の実現である。本ムーンショット目標6の2050年までの目標は、大規模な誤り耐性型汎用量子コンピュータの実現である。本研究開発プロジェクトにおいては、上位に位置する中規模量子ビット間の通信ネットワーク、最上位の量子ビットハードウェアとの組み合わせにより、100万量子ビットまで対応可能なエラー訂正システムならびに量子ビット制御装置を実現可能にする技術の研究開発を行う。

(2) 研究開発プロジェクトの実施概要

研究全体を項目1から5に分割し、下記の大テーマにて研究を実施した。

- ・項目1「誤り訂正用スケーラブルバックエンド」

FPGA クラスタ上にエラー訂正アルゴリズムの実装、一部のASIC化、スケーラブルなネットワークについての研究を行った。

- ・項目2「制御器(フロントエンド)の先鋭化」

小型省電力の量子ビット制御器の開発を行った。

- ・項目3「光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース」

極低温でのトランジスタモデルの開発、室温と極低温間の光通信、量子ビット制御器の最適化アーキテクチャの探索を行った。

- ・項目4「Cryo CMOS による量子ビット制御 SoC」

Cryo 環境で動作する超伝導量子ビット制御用の SoC の設計と試作を行った。

- ・項目5「常温で動作するフロントエンドアナログ RF 部の LSI 化」

制御器の小型化のための RF 部品の ASIC 化を行った。

(3) プロジェクトマネジメントの実施概要

- ・研究期間の3年間を通じて、計12回の全体会議を行い、進捗状況の確認を行った。その中で、研究協力者によるポスター発表を行い、詳細な研究内容についてのディスカッションを実施した。

- ・ホームページの整備を行い、プロジェクトの周知を行った。

- ・Boxによるファイル共有、Slackによる情報伝達を行い、プロジェクト間の連携、プロジェクト全体の情報共有を円滑に行えるようにした。

- ・高エネルギー研究機構、琉球大学、熊本大学、富山県立大学、理化学研究所、福井大学、(株)ソシオネクストへのサイトビジットを行い、研究環境の整備状況を確認した。

3. 研究開発プロジェクトの顕著な成果

(1) 目標達成に最も寄与する成果

項目 1 から 5 において、次の成果を得た。

・項目 1: FPGA による QEC デコードの効率的な実行に向けて Syndrome Subgraph Algorithm (SSA) を開発・最適化し、さらに複数 FPGA にまたがる並列処理へと拡張した。独自のソフトウェアシミュレータを用いた評価により、アルゴリズムの最適化と並列化によって論理エラー率が大幅に改善されることが確認された。このアルゴリズムを FPGA 上の QEC 回路モジュールとして実装し、機能を検証すると共に、符号距離に対するリソース消費量および動作周波数を評価した。複数 FPGA の並列化においては、双方向の依存関係のための FPGA 間通信が不要となるようにアルゴリズムを分割し、負荷を分散しながらレイテンシを最小化した。さらに、最新鋭の FPGA 32 台からなる FPGA クラスタを開発し、多数の FPGA を用いて並列 QEC 回路を実装した。

QEC コアを ASIC 化した際の最適アーキテクチャの変化や達成可能な性能について調査を進めた。全体の RTL 実装を進めると共に、各要素回路について ASIC 実装時の消費電力、レイテンシ、面積の見積もりを行った。また、QEC コアの中核を担う量子誤り訂正符号デコーダについて、ASIC 向けの最適なマイクロアーキテクチャを提案し、22-nm CMOS プロセスによるテストチップの製造および実測評価を実施した。さらに、超伝導量子ビット以外の方式に対する ASIC 化 QEC コアについても検討を行った。

量子ビット制御フロントエンドで読み出されたシンドローム情報をネットワーク上で縮約することでネットワーク帯域幅を大きく削減し、物理量子ビット数のスケーラビリティを実現するアグリゲータの実証システムにおける動作を実現した。また、エラー訂正バックエンドの FPGA クラスタ内での通信の効率化を実現する専用の FPGA ベースの Ethernet スイッチや、さらなる低遅延・高スケーラビリティを実現するための低レイテンシの多対多通信の方式を検討し、概念検証用のハードウェアの動作に成功した。

・項目 2: これまでに開発してきた要素技術を 100 量子ビット規模向けに評価可能なシステムとして統合し、信号処理ボード、制御ボード、および筐体を開発・製造した。実際に、本装置を用いて超伝導量子ビットの制御・測定実験を実施し、装置の動作確認を行った。また、超伝導量子ビット以外の量子コンピュータへの技術展開も行った。特に、QCCD イオントラップ方式におけるイオン輸送用電極の制御および配線数削減に向け、信号の時間多重化手法を開発した。PoC 用基板を開発し、複数チャンネル向け信号生成機能および実環境における動作を確認した。

・項目 3: 低コスト量子ビット制御回路アーキテクチャを提案した。加えて、このアーキテクチャを光電融合回路に拡張し、数値計算ベースの評価により従来の CMOS ベースのシステムと比べて大幅に電力を削減できることを示した。また、液体ヘリウムおよび液体窒素中に光集積回路を入れ、その動作を測定した。室温動作時と同様のスイッチング特性を確認した。

7K 環境での実測に基づき、180nm プロセスのトランジスタにおける基板バイアスの依存性を BSIM4 を用いてモデル化した。これを活用し、電源電圧と基板電圧の組み合わせからなる計 100 条件の FBB (順方向基板バイアス) 対応スタンダードセルライブラリを構築した。本ライブラリによる RISC プロセッサの設計・評価を通じ、低電源電圧化と FBB の併用が、室温動作比で電力遅延積 (PDP) を約 70% 改善することを大規模回路レベルで示した。さらに、本開発セルを用いた AES 回

路が 4.2K の液体ヘリウム環境下で正常動作することを確認し、構築した PDK の実用性を示した。

全探索型表面符号デコーダ回路を例として、回路方式の相違による極低温動作への適性について検討した。まず、エッジ重みの量子ビット数が論理エラー率に与える影響を評価した。その結果、重みを 6 ビットに固定的に削減した場合でも、仮定した物理エラー率の範囲内では最適解と同等の訂正精度を維持できることを明らかにした。また、SRAM 型のデコーダ設計では、エラーパターンの複雑化に伴いメモリアクセス回数が増加し、処理遅延が増大する。一方で、エッジ重みを論理ゲートの結線情報として回路構造に埋め込む布線論理型の設計では、メモリアクセスに起因するボトルネックを解消でき、定数遅延での動作が期待できることを示した。

・項目4:FPGA 上に実装済のデジタル信号処理プロセッサ(DSP)の RTL(Register Transfer Level)を ASIC 向けに改変し、さらに一部演算をビット幅の小さい浮動小数点化した。4K 向けに設計した SRAM も使い、この RTL を 22nm バルクプロセスを用いて ASIC 化し、室温での一部回路の正常動作を確認した。Cryo 環境で疑似 SRAM として利用可能な GCDRAM を試作し、Cryo 環境では ms オーダーの保持時間となることを実測により確認した。

Cryo 環境における RF(高周波)フロントエンド回路実現に向け、デバイスモデル化および要素回路の設計評価を継続して実施した。デバイスモデル化については 2023 年度に提案した配線抵抗モデルを実測で確認・改良し、実用性の高いモデルを提案した。提案モデルは従来のモデルよりも高い精度を達成したが、4 K 付近ではなお誤差が生じることが分かった。RF 要素回路についてはクロック生成 PLL を設計し、4K での動作を実測で確認した。また、RF 信号源となる局部発振器(LO)、ミキサ、パッシブバランサ(平衡不平衡変換回路)を 22nm CMOS プロセスにて設計した。

22nm CMOS プロセスで設計した DAC(12bit、2Gs/s)を室温と 4K で測定した。測定の結果、DAC の線形性の悪さから有効 bit 数(ENOB)が 6bit と想定 of 性能を満たさなかったが、上位 9 ビットを温度計符号、下位 3 ビットを二進符号とすることで同時スイッチを抑制した DAC を設計中である。また、ベイズ最適化を用いて 8bit ユナリ型 DAC の自動設計を実現した。8bit DAC の回路規模で実行時間が 6 時間以下であることから、12bit DAC へ拡張した場合の実行時間の問題が今後の課題として明らかになった。

Cryo 環境で動作する性能スケーラブルな高速 ADC を実現するために、22nm バルク CMOS プロセスを用いて、8 チャネルタイムインターリーブで動作する ADC を設計した。また、タイムインターリーブ動作時に課題となるチャネル間ミスマッチ補正回路を設計し、これらのテストチップを作成した。作成した ADC は室温及び液体ヘリウム(4.2K)環境下で正常動作が確認され、分解能 10bit、サンプリングレート 2GS/s の ADC の開発に成功した。さらに、要素回路を集積した SoC の極低温での実測も実施し、DAC の性能に問題があったものの正常動作を確認した。

・項目5:開発した PLL 回路および送受信回路のテストチップ(22nm FDSOI CMOS)の評価結果より、フロントエンドアナログ RF 部の統合化の設計指針をまとめた。

量子ビット制御装置で重要となる長期の位相揺らぎに関し、主に PLL の基準信号生成と PLL 構成の指針を示した。基準信号は周波数安定度が極めて高いルビウム発振器を源振とし、PLL 基準信号周波数を 500MHz~1GHz に高く設定する。デジタル型の位相比較器の BB-PD(Bang Bang Phase Detector)を使用した ADPLL(All Digital PLL)で構成する。BB-PD は簡素な回路であり、微細 CMOS プロセスでは 1GHz のような高い周波数でも動作可能である。アナログ回路も不要で、

位相揺らぎの一因となる PLL の定常位相誤差の温度変動を小さくできる。テストチップの長期位相揺らぎ評価結果でも、ルビジウム発振器を基準とした測定系で、測定時間 1,000 秒、測定時間分解能 40 ミリ秒の時間軸測定において、10GHz ADPLL 単体で 0.12 度 rms の良好な特性を得た。

送受信回路の主要構成要素である LNA (Low Noise Amplifier) および PA (Power Amplifier)、ならびに送受信間の高いアイソレーションを実現するための微細 CMOS 統合化の指針を示した。10GHz LNA においては、低ノイズ化のため、寄生容量(R_g , C_{ds})を最小化した High-Q トランジスタ構造を提案した。さらに、シャント用インダクタと整合用インダクタを磁気結合させることで小型化と高 ESD 耐圧化を図るとともに、低ノイズを実現するノイズ抑圧型回路構成を採用した。10GHz PA においては、高周波動作時の出力信号の損失低減を目的に、寄生容量(C_{gs} , C_{ds} , C_{gd})を低減した High-Q トランジスタ構造を提案した。また、高出力時の寄生容量による RF 入力端子へのリークに起因する不安定化を抑制するために、中和容量を用いた差動クロスカップルド回路を採用した。送受信間アイソレーション向上のために、グランドインピーダンスの低減を図るとともに、PA には全方位で磁気リークを抑制するクローバー型インダクタ、LNA には送信回路からの磁気リークを抑圧するインダクタ構造を採用した。さらに、送受信回路は、完全差動回路構成とした。

送受信回路テストチップの評価結果より、LNA では ESD 耐性を有しながら 10GHz の周波数において約 2.5dB の NF を達成した。また、PA では 10dBm 以上の高出力を得た。さらに、ディスクリット部品構成の送受信回路の約 1/10 の電力と、送受信回路を同一チップに集積した状態で 70dB 以上のアイソレーションを達成し、本設計指針の有効性を確認した。

(2) 代表的な論文

[1] Jan-Erik R. Wichmann, Kentaro Sano, "Scalable Connection of Qubits to Quantum Error Correction Systems using Ethernet," Proceedings of IEEE International Conference on Cluster Computing (CLUSTER), 2 pages, 2024.

概要: 本論文では、大規模な誤り耐性量子計算の実現における重要課題である、量子コントローラと QEC デコーダバックエンドのスケラブルな接続手法を提案する。標準 Ethernet と独自の Syndrome Frame Format を組み合わせ、シンドロームデータの効率的な符号化・集約を実現する。スケラビリティ確保のため、FPGA で実装した中間集約ユニット(AU)を導入し、複数のフロントエンドユニット(FEU)からのシンドロームフレームを論理 OR 演算で統合する。性能評価により、400 Gbps Ethernet と 2 段の AU の組み合わせにより、符号距離 41 の表面符号にエンコードされた 95 個の論理量子ビットのシンドロームデータを単一のバックエンドユニット(BEU)へ伝送可能であることを示した。本手法は汎用 Ethernet のコスト効率と柔軟性を継承し、誤り耐性量子計算システムの実用的な構成要素となり得る。

[2] Kentaro Sano, Tomohiro Ueno, Fuga Kato, Kazuya Mochizuki, Katsuhiko Ota, Nozomu Matsunaga, "ESSPER2: Research-Oriented FPGA Cluster for Quantum Error Correction and HPC Applications," Proceedings of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART), 8 pages, DOI: 10.1145/3814576.3814590, 2026. (ACCEPTED)

概要: 本研究では、誤り耐性量子コンピュータに不可欠な低遅延・高スループット・高スケラビリティの量子誤り訂正を目指す研究基盤として、Altera Agilex 7-M FPGA を搭載した IPAC-1000 カード

32 枚から構成される FPGA クラスタシステム ESSPER2 を開発した。ESSPER2 は、その前身である ESSPER のアーキテクチャおよびシステムソフトウェアを継承している。ESSPER2 の FPGA シェル層である AFU Shell は完全に実装・検証済みであり、ユーザーは独自のアプリケーションコアを FPGA 上に統合・展開することが可能である。本論文では、ESSPER2 の要件、設計、実装、および評価について述べる。

[3] Junichiro Kadomoto, Ren Aoyama, Kazutoshi Kobayashi, “A 22-nm Surface Code Decoder Using Greedy Algorithm,” IEEE International Symposium on Circuits and Systems (ISCAS), 2025.

概要： 誤り耐性型量子コンピュータを実現するためには、多数の量子ビットを高速に処理可能な量子誤りデコーダが必要である。本論文では、貪欲法に基づく量子誤りデコーダの ASIC 実装を示す。提案手法は、シンプルなアルゴリズムおよびマイクロアーキテクチャにより、低消費電力かつコンパクトな設計を可能とする。さらに、22-nm CMOS プロセスを用いてテストチップを試作し、実機評価によりその動作を検証した。

[4] Takefumi Miyoshi, Keisuke Koike, Shinichi Morisaka, Hidehisa Shiomi, Ryo Matsuda, Kazuhisa Ogawa, Yutaka Tabuchi, Makoto Negoro, “A Fully Pipelined Architecture of Quantum-classical Interface for Realizing Fault-tolerant Quantum Computer”, IEEE Int. Conf. on Quantum Computing and Engineering (QCE23), Bellevue, USA, Sep 17-22, 2023

概要： 誤り耐性量子計算 (FTQC) に向け、量子-古典インターフェース (QC-IF) の完全パイプライン化アーキテクチャを提案する。従来の QC-IF は理研の 64 量子ビット系や大阪大学 QIQB の 16 量子ビット系で実証されており、パルスの送受信および復調を最大 500 ミリ秒のバッチ処理で行ってきた。しかし FTQC では、コヒーレンス時間を超えて継続的にシンドローム情報を収集する必要がある。本研究では、連続的な送受信・復調を実現する制御プレーンを新たに導入し、既存のワイヤレート性能を維持したまま完全パイプライン化を達成する。

[5] Ryutaro Ohira, Shinichi Morisaka, Ippei Nakamura, Atsushi Noguchi, and Takefumi Miyoshi, “Multiplexed Control at Scale for Electrode Arrays in Trapped-Ion Quantum Processors”, 2025 IEEE International Conference on Quantum Computing and Engineering (QCE), September 5, 2025. Selected as the Best Technical Paper (3rd place) in the QTEM track.

概要： QCCD 方式トラップドイオン量子計算機の大規模化では、多数のトラップ電極制御に伴う電子回路規模と配線密度の増大が課題となる。従来は各電極に専用 DAC を割り当てるため、量子ビット数以上の電極数により資源と配線の負担が急増する。本研究では、高速 DAC を用いた時分割多重化により、単一 DAC で複数電極の電圧波形を生成する手法を提案する。現実的なパラメータに基づく評価では、1 万電極規模のシステムを 13 個の FPGA と 104 個の高速 DAC で制御可能であり、従来の 1 万個の DAC に比べ大幅な削減を実現する。さらに試作システムを構築し、アナログ出力特性を評価した。

[6] R. Matsuo, H. Shiomi and J. Shiomi, “On-Chip Optical Pulse Modulation for Scalable Superconducting Quantum Computers,” 2025 IEEE International Conference on Quantum Computing and Engineering (QCE), 2025, pp. 572-573.

概要： 超伝導量子コンピュータの規模拡大において、極低温環境への膨大な配線に伴う熱流入と実装密度の限界が大きな障壁となっている。本研究では、低発熱かつ広帯域な光伝送を活用し、チップ上で光信号を電気パルスへ変換・変調するオンチップ光パルス変調技術を提案した。シリコンフォトニクス技術を応用し、極低温下で動作する超小型光変調素子を量子ビット近傍に統合した。室温からの光パルスをチップ上で精密な制御信号へと変換することで、従来の同軸ケーブルに比べ熱負荷を大幅に低減しつつ、多チャネルの高密度配線を実現した。本成果は、配線ボトルネックを解消し、数千量子ビットを超える大規模システム構築に向けた基盤技術となる。

[7] T. Kawakami, T. Sato, and H. Awano, “Random telegraph noise observed on 65-nm bulk pMOS transistors at 3.8K,” in Proc. ACM/IEEE Asia and South Pacific Design Automation Conference (ASPDAC), pp.1444-1449, January 2025.

概要： 極低温条件下におけるランダムテレグラフノイズ(RTN)の挙動について詳細な結果を提示している。バイアス温度不安定性の測定を多数デバイスに対し行う BTI アレイと呼ばれるアレイ回路を活用し、室温から 3.8K までの温度範囲において RTN を統計的に測定した。その結果、約 100K の低温領域までは RTN の影響が減少する一方で、さらに低温になると RTN の影響が顕著になること、特にチャンネル長の短いトランジスタにおいてその傾向が強いことを示している。本研究は、極低温環境における RTN の理解を深め、将来の集積回路(IC)設計に重要な知見を提供するものである。

[8] T. Imagawa, R. Kishida, Y. Koyama, and K. Kobayashi, “A Power Reduction Scheme by Arithmetic Format Conversion for a DSP to Estimate Qubit States Under 4K Cryogenic Environment”, IEEE International Conference on Quantum Computing and Engineering, Montreal, Quebec, Canada, Sept. 2024

概要： 量子コンピュータの大規模化を阻む、室温での量子・古典インターフェース(QC-IF)の規模増大という課題に対し、本研究は極低温環境で動作する低消費電力なデジタル信号処理器(DSP)の導入を目指している。本発表では、量子ビット状態推定用 DSP に着目した。従来は巨大な内部メモリ(SRAM)が電力と面積を圧迫していたが、該当サブモジュールの演算データ形式を多倍長整数から単精度浮動小数点数へと変更した。結果として、処理性能や出力精度を維持したまま、回路全体の消費電力を 47.7%、面積を 54.3%削減することに成功した。

[9] Akira Tsuchiya, “Mean-Free-Path-Based Evaluation of Size Effect and Anomalous Skin Effect in On-Chip Interconnects Under Cryogenic Environment,” IEEE Workshop on Signal and Power Integrity (SPI), pp. 1-4, 2024.

概要： 本発表では極低温での配線抵抗率を予測するために理論的なモデルを提案した。室温付近で使用される抵抗率のモデルは温度係数を用いているが、このモデルは低温では用いることができない。低温では配線の抵抗率が配線の形状や不純物などに強く影響されるため、正確な抵抗率を求めることが困難である。提案モデルは配線内の電子の平均自由行程を用いて配線断面構造の影響を計算することで、室温から極低温までの温度特性を予測できることを示した。

4. 研究開発プロジェクトの実施内容および成果

研究開発項目1:エラー訂正バックエンド

研究開発課題1:ハードウェア向け誤り訂正アルゴリズムと FPGA によるバックエンド

実施内容: 超伝導量子ビットシステム向けの低遅延の量子誤り訂正デコードを目標とし、デコードのハードウェアアルゴリズムを開発すると共に FPGA を用いてそのハードウェア実装を行った。また、開発したアルゴリズムやハードウェア実装を評価するための、シンドロームシミュレーションを含むソフトウェアツール群の実装を行った。FPGA クラスタを構築して実動作可能なエラー訂正バックエンドシステムを試作し、課題 2 で開発する量子ビット制御フロントエンドとの接続により、バックエンドシステムの一部が受信したシンドロームデータを正しくデコードすることを検証する実験を行った。これらにより、低遅延や高スループットなどの要求性能で誤り訂正を実現可能とするハードウェアおよびそのシステムの構成方式や性能限界が明らかとなった。

成果:

- ・超伝導量子ビットシステム向けの低遅延デコードのための、Syndrome Subgraph Algorithm とその FPGA 実装を開発した。
- ・量子誤り訂正バックエンドシステムを実装する FPGA クラスタ ESSPER2 と、その SoC FPGA である AFU Shell を開発した。
- ・接続した量子ビット制御フロントエンドより受信したシンドロームデータに対する、FPGA デコーダ実装のデコード実験に成功した。

課題推進者:佐野健太郎(理化学研究所)

研究開発課題2:QEC コアの ASIC 向け評価

実施内容: (1) QEC コアのアーキテクチャ検討、(2) QEC コアの ASIC 向け性能評価、(3) QEC TEG チップの開発という 3 つの小項目に分けて開発を進めた。ASIC と FPGA クラスタを組み合わせたアーキテクチャの考案、実装や QEC コアを ASIC 実装した際の各性能指標の評価、TEG チップの試作と実測評価を行い、ASIC を活用した QEC コアやバックエンドの開発についてその基盤となる知見を得た。

成果: CMOS ASIC を活用した QEC コアおよびデコーダアーキテクチャの設計・実装・実測評価を通じて、スケーラブルな量子コンピュータ向けバックエンドハードウェア実現のための基盤技術を確立した。

課題推進者:門本 淳一郎(東京大学)

研究開発課題3:ディペンダブルなエラー訂正バックエンドの実現

実施内容: 量子ビットを制御する量子フロントエンドと、量子誤り訂正を行うバックエンドの FPGA クラスタの相互結合網に関する技術を開発・先鋭化するとともに、符号距離の大きな誤り訂正符号の処理に必要となる大規模 FPGA クラスタの信頼性を確保するための技術の研究開発を実施した。

成果: 量子誤り訂正の実現に必要な相互結合網の構成や性能要件はスーパーコンピュータなど一般的な並列システムと大きく異なることが明らかとなり、スケーラビリティの実現や通信レイテンシの最小化について重点的に研究開発を行った。現在は汎用性の高い Ethernet を相互結合網として用いているが、量子ビットの増加に比例して量子フロントエンドからバックエンドへ向かう通信パケットが増加し、ネットワークの帯域が飽和してしまう問題を解決するため、複数のフロントエンドからのパケッ

トを縮約して必要帯域幅を削減するアグリゲータを開発した。また、Ethernet に代わる独自の超低レイテンシ通信コントローラの開発にも成功した。

課題推進者:長名保範(熊本大学)

研究開発項目 2 : 量子ビット制御フロントエンドの先鋭化

研究開発課題 1 : 量子ビット制御フロントエンドの先鋭化

実施内容: スケーラブルな高集積量子誤り訂正システムの実現に向け、量子ビット制御・観測フロントエンドの性能向上と小型化、およびバックエンド連携方式の開発を行った。信号安定性の向上と装置の小型化を両立する制御方式を開発するとともに、既存 IP/IC を活用した高集積化およびモジュール化設計により、小型化と設計柔軟性の両立を達成した。また、高精度かつスケーラブルな同期機構を構築した。さらに、観測モジュールおよび高速フィードバック機構、バックエンドと連携する通信プロトコルを実装し、スケーラブルな誤り観測・処理を実現した。加えて、他方式量子ビットへの適用可能性を検討し、有用性を確認した。提案方式は試作機および実量子ビットにより評価され、その有効性が示された。

成果: スケーラブルな高集積量子誤り訂正システムの実現に不可欠なフロントエンドに必要な機構を提案し具体的な評価システムを構築し、その有用性に関し実量子ビットを対象とした実験およびエラー訂正を行うバックエンドと連携することで評価し確認した。具体的には、フロントエンドの性能向上と小型化を図る信号品質補償およびデジタル信号処理を活用したシステムを構築し、実際の量子ビットを使った制御においてその効果を確認した。また、誤り訂正を行うバックエンドシステムと連携するためのプロトコルおよびエラーシンドローム収集機構を提案し、実際にシステムに組み込むことで、その有用性について評価を行った。加えて、超伝導量子ビット方式以外の制御システムのスケラビリティ向上を目的として、イオントラップ方式向けの信号多重化方式を提案すると共に評価システムを実装し、その有用性を確認した。

課題推進者:三好 健文(キューエル)

研究開発項目 3: 光/Cryo CMOS 集積回路によるスケーラブルな古典-量子インターフェース

研究開発課題1: 光集積回路の低温領域における動作可能性の探究

実施内容: 極低温環境領域に光集積回路を置き、室温・極低温間におけるデジタルな光情報伝送を実験的に確認した。具体的には液体ヘリウム中にシリコンフォトニクスチップ(光スイッチ素子を搭載)を入れ、室温環境から極低温環境に光信号を送信し、当該チップが 0/1 光変調をして室温環境に送り返すことに実測で成功した(項目 3 のマイルストーンを達成した)。あわせて、極低温環境向け CMOS 集積回路チップの試作を行った。具体的には、当該光スイッチ素子を極低温環境で補助することを目的とした組み込みプロセッサを試作した。さらに、京都工芸繊維大学の新谷 PI の主導のもと、180-nm プロセスにおいて 7 K 付近の温度環境で測定したトランジスタ電気特性からスタンダードセルのタイミング情報をキャラクタライズし、このタイミングデータから AES 暗号回路を合成した。当該 AES 回路を極低温環境にて稼働させることに実測ベースで成功した(極低温 PDK による回路設計と実測のコンセプト実証部分を実現し、項目 3 のマイルストーンを達成した)。

項目 3 の全 PI、項目 2 の協力のもと、スケーラブルな RF パルス波形生成アーキテクチャの探究を行った。具体的には、超伝導量子ビットに照射する RF パルス波形を最適化した。超伝導量子ビットの制御に目的を絞り、RF パルス生成器の仕様を絞り込むことでハードウェアコストの劇的な低減とスケーラビリティの向上が可能であることを示した。さらに、項目 3 の松尾 PI と塩見英久特任准教授(大阪大学)と協力し、光信号(RoF 信号)を極低温領域においてシリコンフォトニクスチップで変調し、変調信号を超伝導量子ビットに供給するアーキテクチャを提案した。極低温領域において電力消費のボトルネックとなる CMOS アナログ回路の多くを削減できる見通しを得た。

成果：次の結果を得た。

- ・光集積回路による情報伝送
- ・Cryo CMOS PDK を用いて設計された ASIC
- ・スケーラブルな RF パルス生成器のアーキテクチャの発見

課題推進者：塩見 準(大阪大学)

研究開発課題 2: Cryo CMOS PDK の構築

実施内容：22 nm および 180 nm CMOS トランジスタを対象に、4 K から 7 K を含む極低温での電流特性を実測し、極低温特有のしきい値電圧上昇、サブスレッショルドスロープ急峻化、移動度変化、接触抵抗変化、順方向基板バイアス(FBB)効果を取り込むモデル化手法を開発した。具体的には、スパースガウス過程回帰(SGP)に基づくデータ駆動型モデル、BSIM4/BSIM-BULK を用いた既存標準モデルの極低温再利用、HiSIM に対する物理ベース極低温拡張という三つの相補的アプローチを確立し、Verilog-A 実装および商用 SPICE シミュレータ上での動作検証を行った。

さらに、得られた極低温トランジスタモデルを用いて、FBB および電源電圧スケーリングに対応した標準セルライブラリを生成し、リングオシレータ、インバータ、ISCAS ベンチマーク、RISC プロセッサへ適用した。その結果、極低温下での回路動作を実チップ製造前に予測できる設計フローを実証し、FBB を併用することで低電源電圧動作時の遅延悪化を補償しつつ、エネルギー遅延積を大幅に改善できることを示した。これにより、誤り耐性型汎用量子コンピュータのスケーラブルな制御系に必要なとなる低消費電力 Cryo CMOS 設計基盤の構築に貢献した。

成果：量子コンピュータ制御用 Cryo CMOS 集積回路の設計に必要な、極低温トランジスタモデルから標準セルライブラリ、回路評価までを一貫して接続する設計基盤を構築した点が、目標達成に最も寄与する成果である。22 nm トランジスタでは、SGP に基づく電流モデルを BSIM-BULK へ組み込み、4 K におけるオフ電流からオン電流までの広い電流範囲とインバータの DC・過渡解析を再現した。また、HiSIM に不完全イオン化、バンドギャップ、飽和速度、接触抵抗などの極低温物理を導入し、300 K から 4 K までを単一モデルで記述できる見通しを示した。さらに、180 nm トランジスタでは 7 K における FBB 効果を実測・モデル化し、VDD と V_{bs} を各 10 条件で掃引した 100 条件の標準セルライブラリを生成した。RISC プロセッサ評価により、VDD 低減のみでは EDP が悪化する一方、FBB 併用により室温基準より約 70% の EDP 改善が得られることを示し、極低温低電力設計の実用的指針を明確化した。

課題推進者：新谷 道広(京都工芸繊維大学)

研究開発課題 3: Cryo CMOS 集積回路設計基盤の構築

実施内容：極低温で動作する集積回路の特性設計と信頼性設計に向けて、極低温での回路特

性の評価環境を構築した。これを用いて、65nm および 22nm CMOS プロセスで製造されたトランジスタアレイに対し、ランダムテレグラフノイズ (RTN) の統計的評価を行った。また、大規模な誤り耐性量子コンピュータの実現に向けて主要な課題の一つであるデコード処理の遅延削減手法について、室温および極低温 (4K) において検討した。さらに、将来的な大規模システム実装を見据え、4K ステージにおける物理制約と回路性能から、デコーダ回路のスケーラビリティを解析した。

成果： CMOS トランジスタ (65nm および 22nm プロセス) の RTN 特性を、統計的な振る舞いを含めて測定できるデバイスアレイ回路を用い、室温から極低温 (3.8K) までの広い温度範囲で測定した。本評価は、極低温回路設計に必要となる高精度モデルの構築に寄与する。また、将来の大規模な誤り耐性量子コンピュータの実現に向けた主要な構成部品の一つである表面符号デコーダを、ハードウェア親和性の高い全探索型デコーダとして、布線論理型および SRAM 型として設計した。重みの量子化や性能、電力、回路面積等の解析を行い、大規模実装に向けたスケーラビリティ評価手法を明らかとした。

課題推進者: 佐藤 高史 (京都大学)

研究開発課題 4: スケーラブルな量子ビット制御アーキテクチャの探究

実施内容： 超伝導量子ビット回路向けのスケーラブルな極低温制御システムのアーキテクチャに関する検討を行った。具体的には、提案アーキテクチャに対し、DAC の量子化誤差や PLL に起因するマイクロ波周波数ずれといった回路由来の非理想性がゲート忠実度に与える影響を評価し、その影響を無視できる水準に抑えるために必要な回路性能をシミュレーションにより明らかにした。さらに、同アーキテクチャを光集積回路と CMOS 回路を融合した光電融合回路へ拡張することで、消費電力のさらなる低減が可能であることを示した。

加えて、研究計画書には含まれていなかった成果として、光量子ビット向け誤り訂正システムのスケーラビリティ向上に資する誤り訂正アクセラレータの回路設計技術を解明した。本成果は、多様な量子ビットに対応した制御システムの実現を目指す小林プロジェクトの方針に基づくものである。

成果： 超伝導量子ビットを対象とした極低温環境に実装可能な量子ビット制御アーキテクチャの解明に向け、本研究において目標達成に最も寄与する成果は、前年度までに提案していた低コストアーキテクチャを光電融合回路へ拡張し、従来の CMOS ベースのアーキテクチャと比較して数桁規模の消費電力削減が見込まれることを明らかにした点である。

課題推進者: 松尾 亮祐 (東京大学)

研究開発項目4: フロントエンド・バックエンドの Cryo CMOS 化

研究開発課題1: フロントエンド・バックエンドのデジタル回路技術と高信頼化

実施内容： 現状 FPGA と HBM で実装されているフロントエンドのデジタル回路の専用 ASIC と RF/ ADC/DAC を統合したフロントエンド向け SoC のアーキテクチャ検証用の SoC を 2 回試作するとともに、4K で動作する SRAM と GCDRAM の試作、エラー訂正ならびに量子ビット位置を推定する回路の高位合成による実装を行った。

成果： Cryo 環境で動作可能な SoC の試作を行い、その一部の動作を確認できた。また、GCDRAM では単体ビットセルの試作評価を行い、極低温では記憶保持時間が ms オーダーとなり、キャッシュメモリとして利用可能であることを示した。

研究開発課題 2: スケーラビリティを実現する RF フロントエンド回路技術の開発

実施内容: アナログ RF 回路で使用する受動素子を中心に特性評価用 IC を試作し、室温から 6 K まで実測を行った。極低温では配線の抵抗率が室温付近のモデルとは大きく異なるという理論的な予測、および極低温に対応した提案モデルの妥当性が確認された。本成果は国際会議で発表した。

また、回路設計においては発振器 (PLL) を設計し、4 K での動作を確認した。設計した発振器はプロジェクト内でクロック生成回路として提供され、他課題のチップ設計にも貢献した。RF 信号源およびミキサについても設計・試作し、評価を行なっている。

成果: 極低温でのデバイスモデルの提案および RF フロントエンドの要素回路の設計・動作検証が挙げられる。デバイスモデルでは配線抵抗に着目し、室温から極低温までを統一的に扱うことができるモデルを提案し、実測でその効果を確認した。配線抵抗の正確な見積りはインダクタ、信号配線、電源配線などの設計に不可欠であり、特に RF 回路では性能に顕著な影響を及ぼす。本成果は今後の Cryo CMOS の設計に広く活用可能な基盤技術である。また、量子ビットコントローラ内の基準信号となる PLL (Phase-Locked Loop; 位相同期ループ) を設計し、4 K でその動作を確認した。本回路はプロジェクト内の試作においてクロック信号源として提供され、コントローラ開発の基盤となっている。

課題推進者: 土谷 亮(滋賀県立大学)

研究開発課題 3: フロントエンド向け高速 DAC

実施内容: 超伝導量子ビットの制御に必要な 10mW かつ 4K で動作可能な DAC を設計した。ポストレイアウトシミュレーションの結果、モンテカルロシミュレーションによる INL、DNL の性能のばらつきは 1LSB 以内になり、2GS/s のクロックで 500MHz の入力信号に対して、SFDR を 60dBm 以上に保っている。また、DAC の自動設計においては機械学習を用いた複数の性能指標を考慮した設計探索を行う仕組みを構築した。

成果: 超伝導量子ビットの制御のための 4K で動作可能な DAC の実現可能性をポストレイアウトシミュレーションで示した。また、自動設計手法の精度と安定性を向上させることで、設計条件の効率的な探索を可能とした。

課題推進者: 高井 伸和(京都工芸繊維大学)

研究開発課題 4: フロントエンド向け高速 ADC

実施内容: 超伝導量子ビットの制御・読み出し回路を主用途として、4 K で動作可能な Cryo CMOS 集積回路、特にフロントエンド向け高速 ADC の開発を行った。サンプリング速度スケラブルな ADC アーキテクチャを検討し、4 K で動作可能な 8 チャンネル タイムインターリーブ方式の 2 GS/s、10 bit ADC を実現した。低温環境下で顕在化する比較器の性能課題に対し、オフセット補償および速度補償回路を設計し、その効果を実証した。

また、液体ヘリウムとデュワーを用いた ASIC 評価環境を構築し、多ピン入出力ポートの実装により高機能 ASIC の評価を容易化するとともに、評価系の低雑音化を実施した。さらに、ADC、DAC、PLL、Sine Wave Generator (SWG) を集積化した Cryo CMOS SoC の評価を実施し、SWG・DAC で

生成した正弦波を ADC で観測するループバック試験により、4.2 K 環境下で 1 GS/s の正常動作を確認した。これらの成果により、超伝導量子ビット近傍で動作する高集積・高速 Cryo CMOS 回路の実現性を示した。

成果：22 nm bulk CMOS を用いた 2GS/s、10bit、13 mW タイムインターリーブ ADC の開発および 4 K 環境での動作を実証した。

課題推進者：宮原 正也(高エネルギー加速器研究機構)

研究開発課題 5: フロントエンド向けデジタル回路の RTL 設計

実施内容：既存のフロントエンド向けのデジタル回路の ASIC 化に際して、IP の置き換えや、動作効率改善のための register transfer level (RTL) での最適化を行った。また、評価や測定のために必要となるインターフェースの RTL 設計も行った。

成果：従来のフロントエンド向けデジタル回路では、計算精度を考慮して、計算途中で丸め誤差が起こらないように多倍長整数形式で演算が行われていた。これに対して、浮動小数点化することで、計算精度を維持しながら回路面積と消費電力を削減できることを明らかにした。

課題推進者：今川 隆司(福井大学)

研究開発課題 6: フロントエンド向けデジタル回路のレイアウト設計

実施内容：現状 FPGA と HBM で実装されているフロントエンドのデジタル回路 (DSP) を専用 ASIC として実現させるためのレイアウト設計をした。4K で動作する SRAM を用いたレイアウト設計ならびに、DSP の極低温動作させるレイアウト設計を行った。統合 SoC のレイアウト設計検証も行った。これらを設計できるフローの確立を行った。

成果：DSP を 2 度試作した。1 度目は令和 6 年度に試作したが、正常動作に至らなかった。電源配線が原因である可能性が高い。2 度目はこれらを改善するために、上層で厚みのある抵抗の低い M8、M9 による電源ストラップ配線を用いたレイアウト設計とした。また、基板とウェルを固定するタップの間隔も千鳥格子状 20um 間隔とし、さらなる電源強化を図り、令和 7 年 7 月にテープアウトを完了できた。

課題推進者：岸田 亮(富山県立大学)

研究開発項目 5: 常温で動作するフロントエンドアナログ RF 部の LSI 化

研究開発課題 1: 常温で動作するフロントエンドアナログ RF 部の LSI 化

実施内容：課題 2 で開発予定の量子ビット制御器を小型、省電力化するために、RF 部を CMOS 化し、常温で動作させる検討を行った。また、2026 年以降を見越して、複数チャネルの集積化の検討も行った。

成果：以下の結果を得た。

- ・ ADPLL 単体で長期位相揺らぎ 0.12 度 rms を達成(測定時間 1,000 秒、測定時間分解能 40 ミリ秒の時間軸測定において)
- ・ ESD 耐性を有しながら 10GHz 帯 CMOS LNA として業界トップレベルの約 2.5dB の NF の達成
- ・ 送受信回路を同一チップに集積しながら 70dB 以上の高い送受信間アイソレーションの達成

課題推進者：五十嵐 正利(ソシオネクスト)

5. プロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

・進捗状況の把握

3ヶ月ごとに全体会議を開催した。会議では本プロジェクトの目標やスケジュールの共有化、PM方針の伝達、課題代表者からの進捗報告、予算管理および事後評価に向けた対策協議を行った。特に、年に1度は、若手研究者のポスター発表を行い、進捗状況の把握と積極的な人材交流を図った。また、サイトビジットとして、高エネルギー加速器研究機構、琉球大学、熊本大学、富山県立大学、理化学研究所、福井大学、(株)ソシオネクストの研究拠点を訪問した。

・研究開発プロジェクトの展開

超伝導量子ビット以外の量子コンピュータへの展開を図るべく、他のプロジェクトから全体会議にオブザーバーとして参加いただいた。参加にあたっては、事前に守秘同意書を提出いただいた。また、MS6 全体会議や合宿に参加し、ポスター発表等にて連携につながる横串活動を積極的に行った。

(2) 研究成果の展開

学会やセミナーでの研究成果発表や論文投稿を積極的に推進した。また、目標6 内部全体会議にて多数のポスター発表を行い、他プロジェクトメンバーへ研究成果を展開するとともに、課題に対する貴重な意見をいただいた。また、The 1st International Workshop on Quantum, Cryogenic and Superconductive Computing (QUEST 2024)や The 30th Asia and South Pacific Design Automation Conference (ASP-DAC 2025)などにて基調講演を行い、MS6 と小林プロジェクトの研究内容の認知度向上を図った。

(3) 広報、アウトリーチ

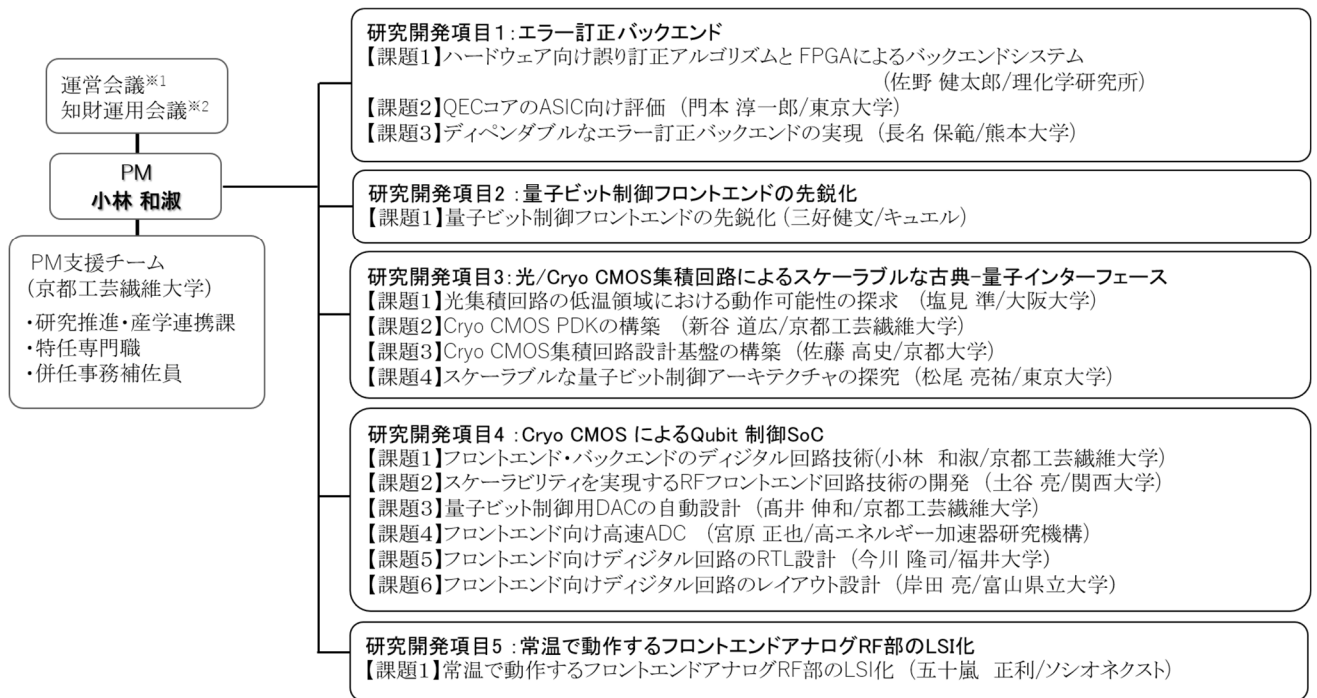
各課題推進者や研究内容を紹介したホームページ(日本語・英語)を立ち上げ、新着情報として対外発表や講演会の資料を遅滞なく公表することで、プロジェクトの活動状況の見える化を推進した。また、プロジェクト紹介のビデオを作成し YouTube や展示会 (American Physical Society March Meeting 2024 等)での放映を行い、認知度を高める施策を行った。さらに、国際学会や海外研究機関への訪問を重ね、研究ネットワークの構築に努めた。



(4) データマネジメントに関する取り組み

データマネジメントとして Box の積極的な活用を継続中である。課題やデータ概要にあわせて階層を設け、データの共有と管理の充実を図った。プロジェクト内のやり取りには Slack を主に使用し、Box と合わせてデータの外部流出がないように努めている。

6. 研究開発プロジェクト推進体制図



※1会議体制

- ・ 目的: 新規課題推進者・参加機関の参加の可否、実施規約の改正、その他運営全般
- ・ メンバー: PM、PI、PM支援、JST

※2会議体制

- ・ 目的: 特許出願しない場合の可否、複数研究期間にまたがる知財の調整、その他
- ・ メンバー: PM、PI

※Appendix

【略号一覧】

ADC: Analog-to-Digital Converter (アナログ-デジタル変換器)
ADPLL: All-Digital Phase-Locked Loop (全デジタル位相同期ループ)
AES: Advanced Encryption Standard (高度暗号化標準)
AFU: Accelerator Functional Unit (アクセラレータ機能ユニット)
ASIC: Application-Specific Integrated Circuit (特定用途向け集積回路)
AU: Aggregation Unit (集約ユニット)
BB-PD: Bang-Bang Phase Detector (バンバン型位相比較器)
BEU: Backend Unit (バックエンドユニット)
BSIM4: Berkeley Short-channel IGFET Model 4 (バークレイ短チャネル MOS トランジスタモデル 4)
BTI: Bias Temperature Instability (バイアス温度不安定性)
CMOS: Complementary Metal-Oxide Semiconductor (相補型金属酸化膜半導体)
Cryo: Cryogenic (極低温)
DAC: Digital-to-Analog Converter (デジタル-アナログ変換器)
DC: Direct Current (直流)
DNL: Differential Nonlinearity (微分非直線性)
DSP: Digital Signal Processor / Digital Signal Processing (デジタル信号処理装置 / デジタル信号処理)
EDP: Energy-Delay Product (エネルギー遅延積)
ENOB: Effective Number of Bits (有効ビット数)
ESD: Electrostatic Discharge (静電気放電)
FBB: Forward Body Bias (順方向基板バイアス)
FDSOI: Fully Depleted Silicon On Insulator (完全空乏型 SOI)
FEU: Frontend Unit (フロントエンドユニット)
FPGA: Field-Programmable Gate Array (フィールドプログラマブルゲートアレイ、現場で回路の書き換えが可能な集積回路)
FTQC: Fault-Tolerant Quantum Computing (誤り耐性量子計算)
GCDRAM: Gain Cell DRAM
GS/s: Giga Samples per second (毎秒ギガサンプル)
HBM: High Bandwidth Memory (高帯域幅メモリ)
HiSIM: Hiroshima University STARC IGFET Model (広島大学 STARC IGFET モデル)
HPC: High Performance Computing (高性能計算)
IC: Integrated Circuit (集積回路)
INL: Integral Nonlinearity (積分非直線性)
IP: Intellectual Property Core (IP コア)
ISCAS: International Symposium on Circuits and Systems (米国電気電子学会主催の国際会議)
LNA: Low Noise Amplifier (低雑音増幅器)
LO: Local Oscillator (局部発振器)

LSI: Large-Scale Integration (大規模集積回路)
NF: Noise Figure (雑音指数)
PA: Power Amplifier (電力増幅器)
PDK: Process Design Kit (プロセス設計キット)
PI: Principal Investigator (研究代表者)
PLL: Phase-Locked Loop (位相同期ループ)
PoC: Proof of Concept (概念実証)
PDP: Power-Delay Product (電力遅延積)
QCCD: Quantum Charge-Coupled Device (量子電荷結合素子)
QCE: Quantum Computing and Engineering (量子コンピューティング & エンジニアリング)
QEC: Quantum Error Correction (量子誤り訂正)
QIQB: Center for Quantum Information and Quantum Biology (量子情報・量子生命研究センター)
QC-IF: Quantum-Classical Interface (量子-古典インターフェース)
RF: Radio Frequency (高周波)
RISC: Reduced Instruction Set Computer (縮小命令セットコンピュータ)
RoF: Radio over Fiber (光ファイバ無線伝送)
RTL: Register Transfer Level (レジスタ転送レベル)
RTN: Random Telegraph Noise (ランダムテレグラフノイズ)
SGP: Sparse Gaussian Process (スパースガウス過程)
SFDR: Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ)
SoC: System on Chip (システム・オン・チップ)
SPICE: Simulation Program with Integrated Circuit Emphasis (回路シミュレータ)
SPI: Signal and Power Integrity (信号・電源インテグリティ)
SRAM: Static Random Access Memory (静的ランダムアクセスメモリ)
SSA: Syndrome Subgraph Algorithm (シンδροーム部分グラフアルゴリズム)
SWG: Sine Wave Generator (正弦波発生器)
TEG: Test Element Group (評価用テスト素子群)
VDD: - (ドレイン電圧、"D"は Drain の意)
Vbs: Bulk-to-Source Voltage (基板-ソース間電圧)