

目標6 2050年までに、経済・産業・安全保障を飛躍的に発展させる誤り耐性型汎用量子コンピュータを実現

スケーラブルな高集積量子誤り訂正システムの開発

1. プログラムにおける位置づけ

現状の量子コンピュータは NISQ と呼ばれ誤り訂正機能を持ちません。常温に置かれた量子ビット制御器が超伝導量子ビットを制御しています。この制御器はディスクリート素子で構成されており、16量子ビットを制御するのに9ユニットの大きな筐体が必要となっています。目標6が掲げる誤り耐性型汎用量子コンピュータ (FTQC) は、大規模な量子ビットを制御することが要求され、実現のためには誤り訂正処理の確立とともに制御器を実用的なサイズにまで小型軽量化する必要があります。



量子コンピュータ@大阪大学

誤り (エラー) 訂正処理では、量子ビット制御器からの信号を短時間に誤り訂正し出力することが求められます。また、量子ビット制御を小型軽量化するには、制御器をモジュール化し、量子ビット近傍の極低温領域に配置することが必要です。それらを実現するためには、集積回路 (LSI) で実現する古典エレクトロニクスを活用し、極低温環境で実装可能な専用 SoC や光集積回路などを開発することが必須となります。

本プロジェクトでは、まずは超伝導量子ビット方式にてこれら必須技術の開発・実現検証を進めています。さらに、蓄積した技術は他の量子ビット方式 (イオントラップやシリコンスピンなど) の制御にも活用できるものであり、状況に合わせて関連プロジェクトと連携し取り組んでいく予定です。

Keyword: シンドローム解析アルゴリズム、信頼性、光-Cryo インタフェース、スケーラビリティ、Cryo CMOS

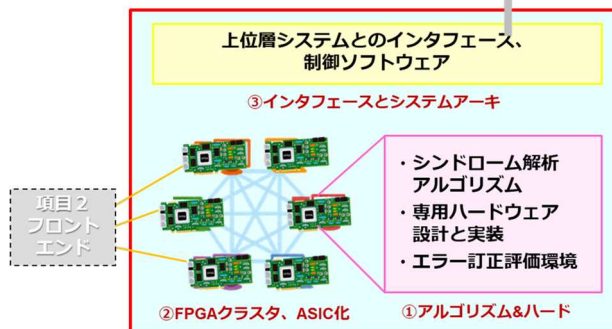
2. 研究開発の概要及び挑戦的な課題

本プロジェクトでは、理研の超伝導量子コンピュータをモデルとしたエラー訂正機能を持つ FTQC を想定ターゲットとし、大量の物理量子ビットのエラー訂正を実時間かつ省電力で実現させるため、量子ビットより上位のレイヤー (フロントエンド部、バックエンド部) を古典エレクトロニクスで実現させる取り組みを行っています。

バックエンド部 (研究開発項目 1, 4)

エラー訂正のためのバックエンドでは、フロントエンドから送られるエラーシンドローム情報に対し、低遅延・広帯域のエラー訂正処理を実現します。また、並列アルゴリズムと FPGA による専用ハードウェアを開発することで、フロントエンドの要求時間に対応したバックエンドシステムを実現します。

古典計算機システム



フロントエンド部 (研究開発項目 2~5)

量子ビットを制御するフロントエンドにおいては、極低温領域で安定稼働する量子ビット制御専用の SoC を設計開発することで制御器の小型・省電力化を目指します。また、多数の量子ビット間を光インタフェースで結ぶことにより

配線数の削減を行い、フロントエンド部の小型・省電力化を実現します。



SiP (システム全体を1パッケージ化)

さらなるダウンサイジング化に向けて

SoM (システム全体をモジュール化)

<https://japan.xilinx.com/products/som/what-is-a-som.html>

大阪大学の実機に接続された現行機@キュエル

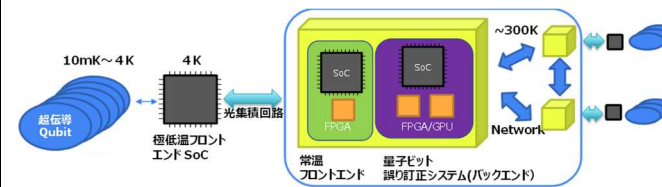
システム化 (挑戦的課題)

一つの冷凍機に空間的に配置可能な量子ビットを格納しエラー訂正により論理 Qubit を生成するとともに、それぞれの冷凍機をスケーラブルなネットワークでつないだ高集積なシステム作りを目指します。

3. 今後の展開

2025年: FTQC のプロトタイプを実現

2030年: スケーラブルな FTQC モデルの検証



スケーラブルな FTQC モデル (想定)