研究開発項目

1. 誤り耐性量子コンピュータ用量子ビット回路の研究開発

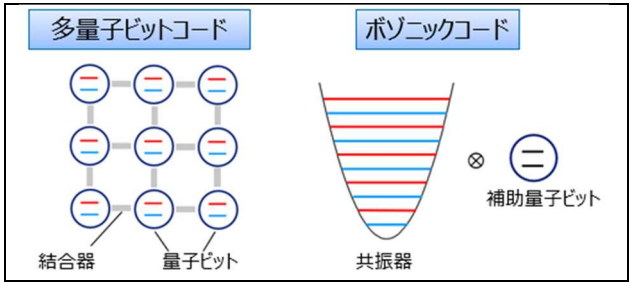
2023年度までの進捗状況

1. 概要

誤り耐性型汎用量子コンピュータ実現に向けたハードウェア上の課題の一つは、誤り訂正符号実装のために多数の物理量子ビットが必要となることで、超伝導量子ビットの場合、典型的なエラーレート(~0.1%)ではその数は莫大（10^8個）になると言われています。

本研究開発テーマでは、この問題を解決するために、エラー率の低減に向けて、量子ビットの寿命、コヒーレンス時間の改善を目指した、高品質量子ビットの製造技術を開発し、誤り耐性型汎用量子コンピュータ実現に必要な量子ビット数を低減することに貢献します。加えて、将来大規模回路化する際の生産性や量子ビット均一性向上の観点で、光学露光や積層プロセスを用いた量子ビット作製技術の開発を行います。

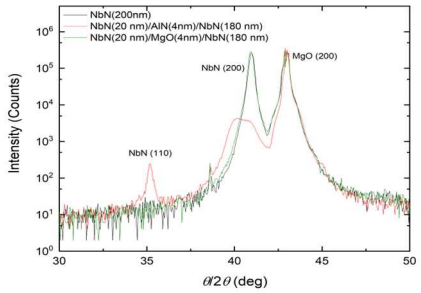
また現在主流の表面符号と比較して、より少数の物理量子ビットで誤り耐性量子計算が可能と期待されているボゾニックコードについても探索的研究を行い、その可能性や有望方式の見極めを行います。



2. これまでの主な成果

①エピタキシャル接合を用いた量子ビットの研究開発

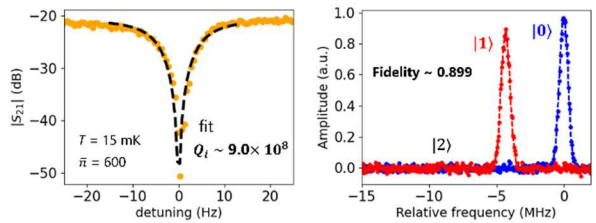
超伝導量子回路の Josephson 接合におけるバリア層には主にアモルファスである酸化アルミニウムが用いられていますが、この酸化膜は電極上の酸化膜と同様にデコヒーレンス源となり得ます。そこで我々は単結晶バリア膜を用いたエピタキシャル Josephson 接合の研究開発に取り組んでいます。今年度は、窒化ニオブ/酸化マグネシウム（絶縁体）/窒化ニオブのエピタキシャル Josephson 接合作製に取り組みました。窒化ニオブと酸化マグネシウムは共に立方晶が安定であり、格子定数も近いため高品質のエピタキシャル Josephson 接合実現が期待できます。上部窒化ニオブ層の X 線回折測定を行った結果、酸化マグネシウムを挟んだことによる結晶性の悪化は見られなかったことから、作製したエピタキシャル Josephson 接合が高い結晶性を持つことが確認できました。



X 線回折測定結果

②超伝導共振器を用いたボゾニックコードの研究開発

ボゾニックコードと呼ばれる誤り訂正符号は、原理的には無限にある共振器のエネルギー準位の自由度を活かし、量子情報をエラーから守る方式で、従来に比べてハードウェアとして実際に必要な物理量子ビットの数を減らすことが出来ると期待されています。ボゾニック量子ビットの構成要素であるニオブ製の３次元（空洞）共振器の Q 値向上を目指して、高エネルギー加速器研究機構のノウハウを用いて表面処理を行った結果、世界最高レベルの 10^9 に迫る Q 値を達成しました。さらに、補助量子ビットの周波数不安定性の原因がレジスト残渣であることを見出し、作製プロセスを改良、周波数の安定化に成功しました。量子状態制御においては、光子数依存任意位相ゲート(SNAP gate)を用いて、共振器中に非古典的な光子数状態の生成に成功しました。



ニオブ共振器の共鳴　　共振器中の光子数状態

3. 今後の展開

エピタキシャル接合を用いた量子ビットの研究開発に関しては、2D キャビティ中で動作するトランズモン量子ビットを作製し、2D キャビティ中でのエネルギー緩和時間 T_1 = 15 μs 以上を目指します。

ボゾニックコードについては、高 Q 共振器と安定化した補助量子ビットを組み合わせたハードウェアを作製し、Binomial code を実装します。

研究開発項目

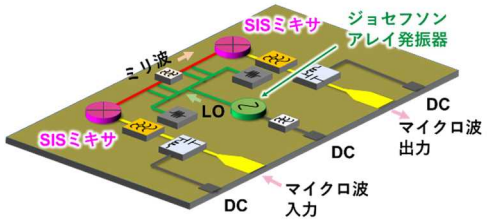
2．量子ビット集積ハードウエアシステムの研究開発

2023年度までの進捗状況

1. 概要

現在の超伝導量子ビット回路の典型的なセットアップでは、極低温に置かれた量子ビットチップと室温で動作するマイクロ波エレクトロニクスが、量子ビット一つ当たり 1 本以上の同軸ケーブルにより配線されています。しかし冷凍機のスペースや冷却能力の限界から、この方法では量子ビット数万個以上のスケールアップに対応できません。本研究開発テーマでは、この問題を解決するために、希釈冷凍機の高性能化と共に、コネクタレスの高密度配線や、読み出し用増幅器の低消費電力化といった量子チップ周辺ハードウェア技術を開発し、集積化に向けたボトルネックを打破することを目指しています。

この開発では、如何にして量子ビット近傍で制御・信号処理を行い、異なる温度ステージ間の配線を削減出来るかが鍵になります。そのために、量子ビットの制御・読み出しを行う信号処理回路と量子ビットチップがハイブリッド集積された“縦方向の集積化”量子ビットモジュールの開発を行っています。また量子ビット読み出し用の低雑音増幅器として、従来比 3 桁以上低い消費電力で動作する超伝導 SIS ミキサを用いた増幅器の開発を行っています。

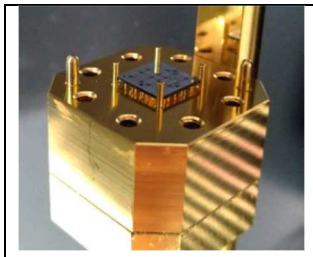


SIS ミキサ型増幅器の集積化チップイメージ

2. これまでの主な成果

① 透過型実装構造の開発

縦方向に積み重ねた構造の電気接続として垂直透過型実装モジュール実装構造の実現を目指し、設計・試作と評価実験を進めています。具体的には、基板貫通電極(TSV)を用いた基板内同軸構造の作成技術、基板間接続用微小インジウム半田バンプ作成技術、超伝導電極作成技術を進めています。まず、積層の評価用チップとこれを 3 枚 6 層（量子ビット基板、読み出し基板、上部配線基板を想定）積層するフリップチップ実装技術を開発しました。さらに、積層チップによる垂直透過型実装モジュールを収納する垂直入出力パッケージの設計・製作と磁気遮蔽の製作、極低温電気特性を評価するための冷凍機と電気特性計測装置環境を構築しました。この極低温測定システムを用いて、2 枚 4 層の積層されたテスト積層チップにおいて、1 ギガヘルツから 10 ギガヘルツの間において 1dB 以下の十分に低い挿入損失の伝送実験に成功しました。

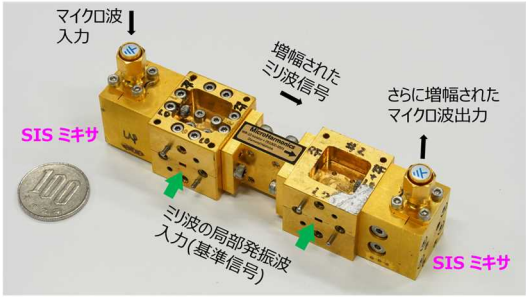


垂直透過型モジュール

開発した冷凍機システム

② 導波管モジュールによる増幅器動作の実証

従来の半導体増幅器と同等の雑音性能を示すマイクロ波増幅器を SIS ミキサを用いて動作実証することを目指し、導波管部品等で構成した回路により評価実験を進めました。100 GHz 帯 SIS ミキサモジュール 2 個を導波管アイソレータ等を挟んで縦続接続し、4 ケルビンに冷却して評価したところ、従来の半導体増幅器と同程度である雑音温度 10 ケルビン程度を達成し、周波数 5 GHz 以下の入力信号に対して 5～8 dB（3～6 倍）の増幅利得の実証に成功しました。また、4 ケルビンステージでの消費電力は、10 マイクロワット以下と見積もられ、半導体増幅器より 3 桁以上小さい消費電力となり得ることも示すことができました。



実証実験に用いた SIS ミキサ型増幅器

3. 今後の展開

透過型実装構造については、垂直透過型実装モジュールの高周波電気特性の評価環境を引き続き整えるとともに、量子ビット基板・読み出し回路基板を積層した 3 基板 6 層の回路構造を設計、試作し評価実験に進む予定です。

SIS ミキサ型増幅器に関しては、これまでの研究成果をベースに増幅器のチップ化を行っていきます。導波管 SIS ミキサや LO 結合器などを平面回路に置き換え、SIS ミキサ型増幅器チップの設計、試作、性能評価実験を進めます。

国立研究開発法人 科学技術振興機構 Japan Science and Technology Agency

研究開発項目

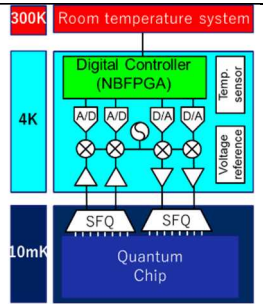
3. 量子誤り訂正用エレクトロニクスの研究開発

2023年度までの進捗状況

1. 概要

現在の超伝導量子ビット回路の典型的なセットアップでは、極低温に置かれた量子ビットチップと室温で動作するマイクロ波エレクトロニクスが、量子ビット一つ当たり 1 本以上の同軸ケーブルにより配線されています。しかし冷凍機のスペースや冷却能力の限界から、この方法では量子ビットのスケールアップに対応できません。本研究開発テーマでは、この問題を解決するために、なるべく量子ビット近傍で動作する量子ビット制御、読出しのエレクトロニクスを開発し、集積化に向けた配線のボトルネックを打破することを目的としています。

この開発においては、限られた冷凍機のスペースや冷却能力の中で、如何にして量子誤り訂正を効率的に実行する制御システムを実現するかが課題です。本研究開発テーマでは数十 GHz での動作が可能かつ超低消費電力回路である単一磁束量子回路、柔軟性に優れ高度な処理が可能かつ低消費電力な原子スイッチ FPGA を軸に、それらが協調動作する低温エレクトロニクスシステムの開発を行います。

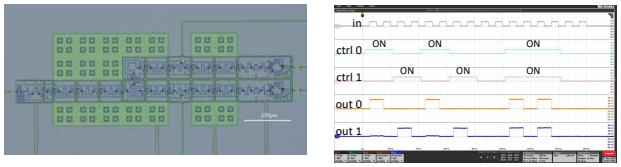


量子ビット制御・読出し用低温エレクトロニクス

2. これまでの主な成果

① 低臨界電流密度プロセスによる単一磁束量子回路で信号分配回路の動作実証に成功

単一磁束量子（SFQ）回路は、これまで主に液体ヘリウム温度の 4.2 K での動作を想定して設計されてきました。しかし本研究開発では量子ビットと同じ 10 mK での動作が必要であり、従来の SFQ 回路をさらに低消費電力化する必要があります。より低温でのデバイス特性の変化も考慮しつつ、SFQ 回路に用いるジョセフソン接合の臨界電流値を 1/10 以下に低減すると同時に駆動電圧を下げることで、消費電力を 1/50～1/250 に低減するための回路設計指針を昨年度までに明らかにしました。開発した SFQ 回路の回路要素（配線や論理ゲートなど）は順次「セル」として設計用のライブラリに登録し、セルを組み合わせて様々な SFQ 回路を設計できるように構築していきます。今年度は、オンチップテストにより開発した SFQ 回路が約 10 GHz の高周波動作が可能であることを確かめるとともに、複数の量子ビットを制御するためのマイルストーンとなる、信号分配回路の動作実証を 0.3 K の測定環境で行いました。

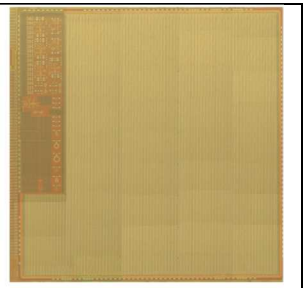


試作した SFQ 信号分配回路の顕微鏡写真と動作確認波形

② 4K 向けナノブリッジ FPGA の製造を完了

誤り訂正処理を行う際、多様な訂正アルゴリズムに対応するため低温で動作する FPGA の開発を行っています。FPGA は 4 K での動作を想定しており、本研究プロジェクトでは、市販の CMOS ベースの FPGA に比べて、室温にて 1/4 程度の消費電力である原子スイッチ（ナノブリッジ）FPGA を、低温で動作可能にすることを軸に開発を進めています。昨年度までに標準 CMOS プロセス（65 nm）でのナノブリッジ FPGA 部の設計を行いましたが、今年度はそれらに ADC 等のアナログ回路を搭載した低温 SoC の設計を行い、ナノブリッジを混載した CMOS ウェハの製造が完了しました。

- 諸元 (FPGA部)
  - 4入力LUT： 33,792
  - DFF：33,792
  - 演算器（11bit積和演算）：64
  - Block RAM (512w-8b)：192
  - LVDS RX: 6
  - LVDS TX：6
  - DIO(2.5V)：18
- SoC
  - Analog FE（LNA, ADC, ･･･）
  - SRAM Buffer (2kword, 16bit)
  - FPGA Macro.



ナノブリッジ FPGA 混載低温 SoC の仕様　　チップ写真

3. 今後の展開

SFQ 回路については、信号分配回路を超伝導量子ビットに接続し、複数の量子ビットのデジタル制御実験にチャレンジします。

ナノブリッジについては、製造したチップの低温での動作確認を行います。