

研究開発テーマ名

誤り耐性量子コンピュータ用量子ビット回路の研究開発

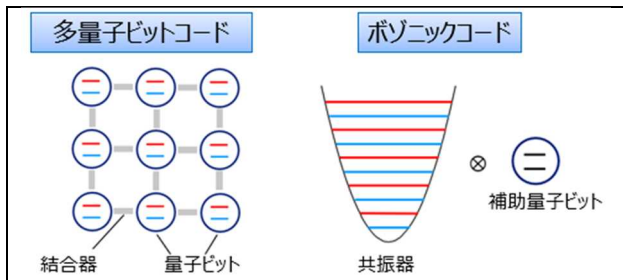
2022年度までの進捗状況

1. 概要

誤り耐性型汎用量子コンピュータ実現に向けたハードウェア上の課題の一つは、誤り訂正符号実装のために多数の物理量子ビットが必要となることで、超伝導量子ビットの場合、典型的なエラーレート(~0.1%)ではその数は莫大(10⁸個)になると言われています。

本研究開発テーマでは、この問題を解決するために、エラーの原因の理解とそれに基づく高品質な量子ビットの製造技術の開発により、誤り耐性型汎用量子コンピュータ実現に必要な量子ビット数を低減することに貢献します。加えて、現在の製造方法(電子線露光や斜め蒸着法)は、将来大規模回路化する際の生産性や量子ビット均一性の観点で課題があり、光学露光や積層プロセスを用いた量子ビット作製技術の開発を行います。

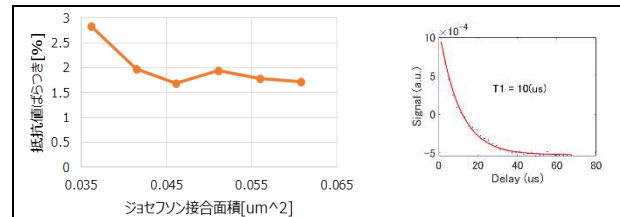
また現在主流の表面符号と比較して、より少数の物理量子ビットで誤り耐性量子計算が可能と期待されているボゾニックコードについても探索的研究を行い、その可能性や有望方式の見極めを行います。



2. 2022年度までの成果

① 大面積・高スループットなジョセフソン接合の製造技術の開発

現在の超伝導量子回路の作製は、電子線露光と斜め蒸着を用いて行われるのが一般的です。しかし今後回路の大規模化に伴いウェハの大口径化が進むと、現在の方式では製造スループットや量子ビットの製造ばらつき等が問題となります。これらの問題を解決するために、300 mmウェハを用いた最先端の半導体プロセスと互換性のある超伝導量子ビット回路作製プロセスを開発します。今回、パターンニングに光学露光(ArF 液浸)を用いて量子ビットを作製しました。室温での抵抗値ばらつきを評価し、量子ビットと同じサイズのジョセフソン接合で2%を達成しました。また作製した量子ビットを3D共振器を用いて評価し、約10 μ sのコヒーレンス時間を得ました。

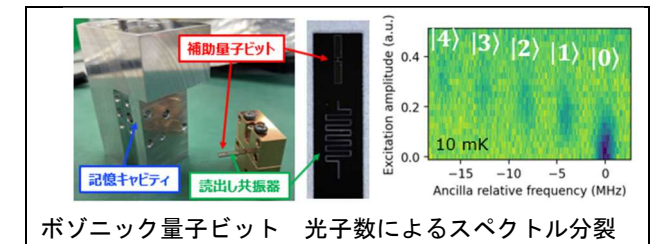


接合面積と抵抗ばらつき コヒーレンス時間計測例

② 超伝導共振器を用いたボゾニックコードの研究開発

ボゾニックコードと呼ばれる誤り訂正符号は、原理的には無限にある共振器のエネルギー準位の自由度を活かし、量子情報をエラーから守る方式で、従来に比べてハードウェアとして実際に必要な物理量子ビットの数を減らすことが出来ると期待されています。前年度までに、試作した3

次元(空洞)共振器において、先行研究と同等以上の10の8乗を超えるQ値が得られていました。今年度は、ボゾニック量子ビットの設計を最適化し、補助量子ビットの特性の向上を行いました。補助量子ビットの設計や作製方法の改良により、数十マイクロ秒のコヒーレンス時間を再現性良く実現することが可能となり、ボゾニック量子ビットを実装する環境が整いました。第1段階として、記憶キャビティ中の光子数に応じた補助量子ビットのスペクトル分裂を観測することに成功しました。



3. 今後の展開

大面積・高スループットなジョセフソン接合の製造技術開発に関しては、今後斜め蒸着を用いない量子ビットの作製手法の確立を目指します。並行して、量子ビットのばらつきの低減やコヒーレンス時間の改善に取り組めます。

ボゾニックコードについては、得られた共振器にバイノミナルコードを実装するとともに、並行して、さらなる高いQ値の実現を目指して、ニオブ製共振器の試作も進めます。

研究開発テーマ名

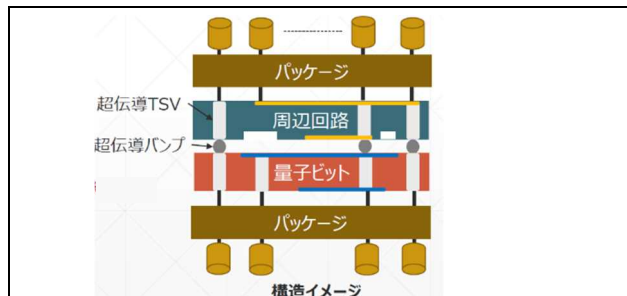
量子ビット集積ハードウェアシステムの研究開発

2022年度までの進捗状況

1. 概要

現在の超伝導量子ビット回路の典型的なセットアップでは、極低温に置かれた量子ビットチップと室温で動作するマイクロ波エレクトロニクスが、量子ビット一つ当たり1本以上の同軸ケーブルにより配線されています。しかし冷凍機のスペースや冷却能力の限界から、この方法では量子ビット数万個以上のスケールアップに対応できません。本研究開発テーマでは、この問題を解決するために、大容量、高冷却能力の希釈冷凍機やコネクタレスの高密度配線といった量子チップ周辺ハードウェア技術を開発し、集積化に向けた配線のボトルネックを打破することを目指しています。

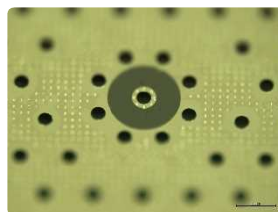
この開発においては、如何にして量子ビット近傍で制御・信号処理を行い、異なる温度ステージ間の配線を削減出来るかが鍵になります。そのために、量子ビットの制御・読み出しを行う信号処理回路と量子ビットチップがハイブリッド集積された“縦方向の集積化”量子ビットモジュールの開発を行っています。また希釈冷凍機については、量子ビットチップが置かれる 10mK ステージはもとより、クライオエレクトロニクスを置く可能性のある高温ステージも含めて、冷凍機の全体システムとしての最適化を行います。



2. 2022年度までの成果

① 透過型実装構造の開発

縦方向に積み重ねた構造の電気接続として垂直透過型実装モジュール実装構造の実現を目指し、設計・試作と評価実験を進めています。具体的には、基板貫通電極(TSV)を用いた基板内同軸構造の作成技術、基板間接続用微小インジウム半田バンプ作成技術、基板上下面の接続技術として超伝導電極作成技術を進めています。まず、積層の評価用チップを試作し、これを3枚6層(量子ビット基板、読み出し基板、上部配線基板を想定)積層するフリップチップ実装技術を開発しました。引き続きこのような積層チップによる垂直透過型実装モジュールを収納する垂直入出力パッケージの設計・製作と磁気遮蔽の製作を行いました。また、低温電気特性を評価するため、冷凍機と電気特性計測装置を導入しました。



垂直透過型モジュール用評価チップ



冷凍機に取り付けたモジュール用パッケージ

② 高出力型希釈冷凍機的设计

量子コンピュータのスケールアップに対応するため、希釈冷凍機におけるミリケルビン[補足1]領域での、冷凍能力の高出力化が求められています。2022年度は前年度の実績をベースに、高出力化の実現に向け、重要部品となる熱

交換器の効率向上に向けた取組みを行い、冷凍能力向上が期待できる結果が得られました。



試作中の希釈冷凍機

[補足1]ケルビン(Kelvin)は絶対零度(-273.15°C)をゼロとした温度の単位。mK(ミリケルビン)はその1/1000。超伝導量子ビットの動作には約10mK(-273.14°C)の極低温が必要となるため、希釈冷凍機が使用されます。

3. 今後の展開

透過型実装構造については、試作した垂直透過型実装モジュールの評価環境を整え、伝送損失や共振器特性などの高周波電気特性評価実験を進めます。

希釈冷凍機に関して、誤り耐性型汎用量子コンピュータ実現のためには、冷却能力のさらなる高出力化と、各温度ステージでの冷却能力の最適化が課題となっています。これまで達成した0.97mW@100mKの冷却能力を、さらに、1.3mWへと能力向上する研究開発を行います。

研究開発テーマ名

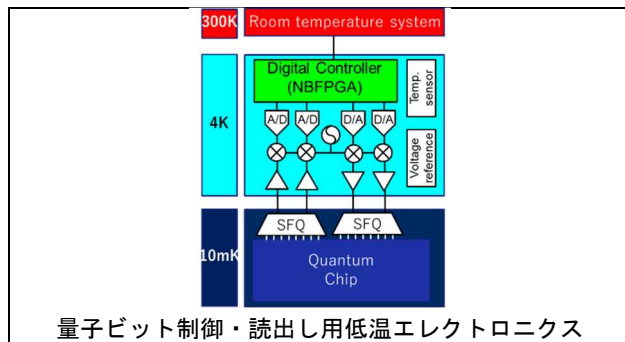
量子誤り訂正用エレクトロニクスの研究開発

2022年度までの進捗状況

1. 概要

現在の超伝導量子ビット回路の典型的なセットアップでは、極低温に置かれた量子ビットチップと室温で動作するマイクロ波エレクトロニクスが、量子ビット一つ当たり1本以上の同軸ケーブルにより配線されています。しかし冷凍機のスペースや冷却能力の限界から、この方法では量子ビットのスケールアップに対応できません。本研究開発テーマでは、この問題を解決するために、なるべく量子ビット近傍で動作する量子ビット制御、読出しのエレクトロニクスを開発し、集積化に向けた配線のボトルネックを打破することを目的としています。

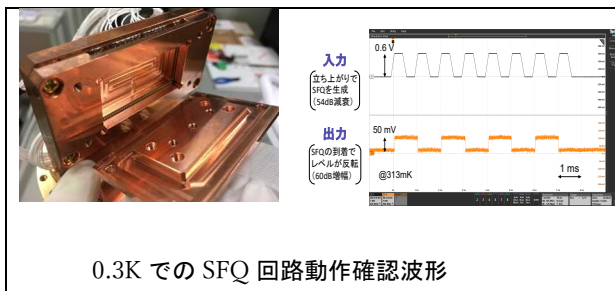
この開発においては、限られた冷凍機のスペースや冷却能力の中で、如何にして量子誤り訂正を効率的に実行する制御システムを実現するかが課題です。本研究開発テーマでは数十 GHz での動作が可能かつ超低消費電力回路である単一磁束量子回路、柔軟性に優れ高度な処理が可能かつ低消費電力な原子スイッチ FPGA を軸に、それらが協調動作する低温エレクトロニクスシステムの開発を行います。



2. 2022年度までの成果

① 低臨界電流密度プロセスによる単一磁束量子回路動作に成功

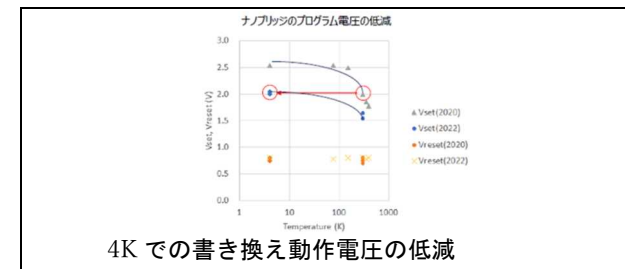
単一磁束量子 (SFQ) 回路は、これまで主に 4K での動作を想定して設計されてきました。しかし本研究開発では量子ビットと同じ 10 mK での動作が必要であり、従来の SFQ 回路をさらに低消費電力化する必要があります。そこで超低消費電力化に必要な、「SFQ 回路のジョセフソン接合の臨界電流値を 1/10 以下に低減すること」を目指して、デバイスを設計しチップ試作を行っています。昨年度に消費電力を 1/50 に低減した信号伝送回路について、試作したチップで、液体ヘリウム温度 (4.2 K) で動作確認を行い、低速で狙い通りの信号を得ることができました。より低温ではデバイス特性の変化も考慮する必要があります。今年度は、0.3K での評価環境を整えて、同温度でも回路動作を確認しました。



② 単体ナノブリッジの 4 K での書き換え動作確認

誤り訂正処理を行う際、多様な訂正アルゴリズムに対応するため低温で動作する FPGA の開発を行っています。FPGA は 4 K での動作を想定しており、本研究プロジェク

トでは、市販の CMOS ベースの FPGA に比べて、室温にて 1/4 程度の消費電力である原子スイッチ (ナノブリッジ) FPGA を、低温で動作可能にすることを軸に開発を進めています。昨年度までに標準 CMOS プロセス (65 nm) でナノブリッジ評価デバイスを試作して、4K での書き換え動作を確認していました。今年度は、製造プロセスの改良により、4K の書き換え動作電圧を室温と同程度まで低減することに成功しました。また、昨年度開発した低温設計用のプロセスデザインキットを用いて、4K 動作のナノブリッジ FPGA の設計を完了しました。



3. 今後の展開

SFQ 回路については、試作評価により、極低温で抽出した各種パラメータを用いて、設計用ライブラリを構築し、量子ビット制御信号分配器等の回路設計に進みます。ナノブリッジについては、確立した設計指針をもとに、ナノブリッジ FPGA の製造に具体的に着手して、チップの製造を行います。