



ムーンショット目標 6

2050 年までに、経済・産業・安全保障を飛躍的に発展させる
誤り耐性型汎用量子コンピュータを実現

終了報告書

大規模集積シリコン量子コンピュータの

研究開発

水野 弘之

株式会社日立製作所 研究開発グループ



1. 研究開発プロジェクトの実施期間

令和2年12月1日～令和7年11月30日

2. 研究開発プロジェクトの実施概要

(1) 研究開発プロジェクトの概要

本研究開発プロジェクトは、シリコン電子スピン量子ビットを用いた量子コンピュータの開発、特にシリコン半導体の回路集積化技術を活かした大規模集積シリコン量子コンピュータの開発を担う。量子コンピュータが社会的・産業的に価値を持つためには、古典コンピュータよりも量子コンピュータが実用的なアルゴリズムで優位な性能を達成する量子有用性の壁の突破が必須である。そのためには量子コンピュータの「質」と「量」の両観点での向上が課題である。現在の量子コンピュータ開発は、量子ビット単体の完成度向上を重視して、2つ、3つと次第に量子ビット数を増やしていく「質」を重視したボトムアップ的なアプローチが主流である。現時点では超伝導量子ビットを用いることで50量子ビットを超えるものも開発されているが、本研究開発プロジェクトでは、トップダウンおよびボトムアップの2つのアプローチを採用する。すなわち、シリコン半導体技術の優れた集積性を活かして、始めから「量」を重視した量子コンピュータをターゲットにする。次に、表面符号などの誤り検出・訂正手法の検討に加え、シリコンの高集積性によって可能になる様々な技術(2次元量子ビットアレイ、極低温 CMOS 回路・実装システム、ホットシリコン量子ビット、キャリブレーション・デジタル補正など)を開発することで「質」を向上させ、誤り耐性型汎用量子コンピュータの実現を狙う。

(2) 研究開発プロジェクトの実施概要

研究開発項目1“量子コンピューティングシステム”では、2次元量子ビットアレイ化に有効な Si-MOS 構造量子ビットでの2量子ビット操作実証に加え、コヒーレンス時間を2桁以上改善させる CCD (Concatenated Continuous Driving) 方式を提案した。また、縦方向および横方向の2量子ビット間の結合をそれぞれ独立して高精度に制御できることを確認するとともに、温度 100mK において、2量子ビット演算(CROT (Controlled Rotation) 操作)を実証し、マイルストーンを達成した。クラウド公開に向けた量子オペレーティングシステムの開発、及びシリコン量子コンピュータの大規模化に向け測定モジュール・自動校正ライブラリを連動し、量子ビット制御を自動化し、環境変動に対する自動校正機能を実装した。フォールトトレラント量子コンピュータ(FTQC)システム実現に向けた量子誤り訂正方式(シャトリング量子ビット QEC アーキテクチャ)を提案した。デバイス特性を考慮した全階層シミュレーション環境の整備により、シリコン FTQC システムの仕様を策定した。研究開発項目2“極低温複数チップ実装システム”では、量子ビットチップとインターフェースチップを統合する極低温チップ実装技術の開発が順調に進み、5年目マイルストーンを達成した。また、排熱構造を備えるパッケージング技術を開発し、当初計画以上の成果が得られた。環境モニタリング向け極低温 AD (Analog-Digital) 変換技術の開発が完了した。本 AD 変換技術を用いた制御信号波形・温度のフィードバック制御に向けたチップ試作が完了しており、当該マイルストーンを達成した。研究開発項目3“ホットシリコン量子ビット”では、～1Kでのシリコン量子ビットの減衰ラビ振動を観測済み。電子スピン系とホー

ルスピン系のベンチマークについては、スピン量子ビットの緩和時間などの重要な特性に影響を及ぼす電荷雑音の温度依存性を取得した。電子系とホール系で 300mK までの電荷雑音の大きさにほとんど差異がないことが明らかになった。研究開発項目2との連携による極低温回路との接続を容易にする実装技術の評価においては、新規冷凍機の導入により研究が加速し、その他にも機械学習による量子ドットの自動調整技術の開発など当初計画では予見していなかった成果が得られた。研究開発項目4“小規模回路による量子演算”では、小規模な実験回路を用いた量子ビット基本演算の方式検証については、「小規模な実験回路」での2量子ビット操作を実証済みで、さらに複雑な操作へと拡張し、当該年度のマイルストーンを達成した。当初計画以上の成果に基づく非断続的安定化の取り組みでは、量子ドットポテンシャルゆらぎの相関強度の外部制御信号による疑似的な制御を実証するなど、当該年度のマイルストーンを達成した。

(3) プロジェクトマネジメントの実施概要

本プロジェクトでは、目標である大規模集積シリコン量子コンピュータの開発に向け、トップダウン、および、ボトムアップの2つのアプローチを採用している。2つのアプローチに長けた各課題推進者が密接に連携することで、産業化と互換性のある大規模量子コンピュータの開発を強力に推進した。とくに、日立製作所の研究者を理化学研究所や東京科学大学に派遣して共同実験を行うとともに、神戸大学の研究者が日立製作所にて共同実験を行うなど、頻繁な交流や共同実験・研究を展開した。また、研究加速に向け、山本俊PM、小芦雅斗PM(藤井啓祐PI)のムーンショット目標6内プロジェクト間連携体制を構築した。令和5年からは、項目4の新規研究体制にアラインするように、課題推進者の体制を一部変更し、理化学研究所の中島峻PIの研究内容を一部見直し、東京工業大学(現所属・東京大学)の米田淳PIを新たに追加した。分子科学研究所の大森賢治PMのチームに課題推進者を配置し、研究者を一部オーバーラップさせることで、研究を加速した。

海外拠点となる日立ケンブリッジ研究所と、本プロジェクトで連携して検討を進めるために必要となる環境・契約の整備を行い、海外拠点と連携した研究推進体制を構築した。令和4年度以降日立ケンブリッジ研究所の研究者が来日し、日立製作所および東京科学大学の研究者と技術内容に関して議論する機会を設けた。令和6年度以降は、日立ケンブリッジ研究所に加えてimecをはじめとする国際連携を本格化させた。

データマネジメントの一環として、BOX、および、Slackを立ち上げて運用している。セキュリティ保護の必要となるファイル共有には、高度なセキュリティ対策が施されたBOXを活用する一方で、Slackは、研究課題推進者間での議論、情報共有を行う場として利用している。アクセス権に関しても制限を適正化することで、セキュアな情報管理と、課題推進者間での円滑な情報共有とを両立するデータマネジメント環境を構築した(BOX:各研究課題機関の取り纏め層のみにアクセス権を付与、Slack:各研究課題を行う参加者全員にアクセス権を付与)。

3. 研究開発プロジェクトの顕著な成果

(1) 目標達成に最も寄与する成果

本研究開発プロジェクトは、シリコン電子スピン量子ビットを用いた量子コンピュータの開

発、特にシリコン半導体の回路集積化技術を活かした大規模集積シリコン量子コンピュータの開発を目標とした。大規模化に向けた成果として下記がある。

大規模フォールトトレラント量子コンピュータへの拡張を見据え、直径 300mm の Si 基板に対応した世界最先端の imec 試作クリーンルームを活用した大規模試作スキームを構築した。この連携により、 4×4 の 2 次元量子ドットアレイチップを当初の計画通り令和6年度中に完成した。試作された基板上では、温度 100mK において、縦・横それぞれの2量子ビット演算(CROT スペクトル4本取得)に成功した。試作された基板上では、縦・横それぞれの 2 量子ビット演算(C-ROT スペクトル 4 本取得)に成功した。さらに、本実験結果よりラビ振動のデコヒーレンスの影響のみを考慮した忠実度を見積もったところ 96%と確認した(なお、本見積もりにはスペクトル間のクロストーク等の他要因の影響は含まれていない)。

回路技術では、100mK の極低温・20 μ W 未満の超低消費電力で動作する AD 変換回路を開発し、量子ビット近傍で従来比 100 倍以上の広帯域な信号モニタリングを実現した。これにより高速パルス信号の歪み等を高精度に観測できる。さらに、本回路を搭載したアクティブシリコンインターポーザによる 100mK 対応極低温複数チップ実装システムの有効性を実証し、in-situ 環境モニタリングの基盤技術を確立した。本成果は A-SSCC 2024 で発表された。

ホットシリコンに関しては高い温度領域における読み出しに有利な高周波反射測定インピーダンス整合法を解明し、実験回路で特性を評価した。300mK でのコヒーレント振動試作した 4×4 の二次元量子ドットアレイにおいて観測に加え、その知見を応用して ~ 1 K でのホールスピンの電気双極子共鳴によるコヒーレントな時間発展の観測に成功し、シリコン量子ビットの ~ 1 K までの温度領域における動作の評価・検証を行った。

アレイ化時に顕現する重要な課題として、シリコン量子ビット誤りの空間相関を発見し、その定量化に初めて成功した(Nature Physics 誌)。本成果はシリコン量子ビットの基本性能(すなわち、コヒーレンス時間、そのもつれ状態依存性および量子ビット間での誤り相関等)における空間相関を有する電荷雑音特性の重要性を指摘したのみならず、アレイ化に際しての適切な量子ビット間隔等、アレイ化と基本演算の両立のための設計に関する重要な知見を得た。

高忠実度化に関しては、数 10mK の環境で、小規模 Si/SiGe 系で 99.5%の CNOT ゲート忠実度達成や位相誤り訂正を実証し、高精度制御から誤り訂正に至る実験基盤を構築した。さらに高速読み出しや極低温 RF 入出力の検証を通じ、256 量子ビット以上の大規模アレイ化展開に必要な制御方式の要件や配線実装上の制約を明確化した。

(2) 代表的な論文

- ① “16x8 Quantum Dot Array Operation at Cryogenic Temperatures”, Noriyuki Lee, Ryuta Tsuchiya, Yusuke Kanno, Toshiyuki Mine, Yoshitaka Sasago, Go Shinkai, Raisei Mizokuchi, Jun Yoneda, Tetsuo Kodera, Chihiro Yoshimura, Shinichi Saito, Digh Hisamoto, Hiroyuki Mizuno, Jpn. J. Appl. Phys., 2022, doi:10.35848/1347-4065/ac4c07. 【概要】極低温環境(4K)で動作する 16×8 量子ドット配列と CMOS 回路を同一チップ上に集積した QCMOS を開発し、各量子ドットを選択的に制御できることを実証した。FD-SOI 技術により低温動作を実現し、多数量子ドットの特性ばらつきを初めて系統的に

評価した結果、量子ドットのばらつきがトランジスタ閾値ばらつきより大きく、大規模量子計算実現にはばらつき抑制が重要であることを示した。

- ② “Robust spin-qubit control in a natural Si-MOS quantum dot using phase modulation”, Takuma Kuno, Takeru Utsugi, Andrew J. Ramsay, Normann Mertig, Noriyuki Lee, Itaru Yanagi, Toshiyuki Mine, Nobuhiro Kusuno, Raisei Mizokuchi, Takashi Nakajima, Shinichi Saito, Digh Hisamoto, Ryuta Tsuchiya, Jun Yoneda, Tetsuo Koder, Hiroyuki Mizuno, npj Quantum Information, vol. 12, Art. no. 39, 2026.

【概要】自然同位体組成を持つ Si-MOS 量子ビットにおいて、位相変調 (phase modulation) を用いたスピン量子ビットの高ロバスト制御を実証した。マイクロ波駆動の位相を適切に変調することで、電荷雑音や共鳴条件の揺らぎに対する感度を低減し、スピン回転の忠実度と再現性を向上させている。振幅変調に依存しない制御手法により、デバイスばらつきや環境ノイズ下でも安定した量子操作が可能であることを示し、大規模シリコン量子計算に向けた実用的なスピン制御技術として有効性を示した。

- ③ “A Cryogenic Pulse Shaper for Spin Qubit Control Utilizing 1ns-Time-Resolution ADCs on an Active Silicon Interposer Operating at Sub-100 mK Temperatures,” Ryoza Takahashi, Yusuke Kanno, Takuji Miki, Nobuhiro Kusuno, Hiroyuki Mizuno and Makoto Nagata, 2024 IEEE Asian Solid-State Circuits Conference, 2024. DOI: 10.1109/A-SSCC60305.2024.10848719

【概要】量子ビット制御用のパルス信号波形を量子ビット近傍で観測し、その結果を用いて波形補正へフィードバックする手法を提案した。量子ビット近傍での信号観測を実現するため、100 mK で動作可能な極低温 AD 変換器を開発した。本回路では、消費電力を 20 μ W 以下に抑えつつ広帯域特性を維持する新規回路アーキテクチャを考案した。希釈冷凍機を用いた評価により、外部で信号を観測する場合と比較して、観測帯域を 100 倍以上に拡大できることを実証した。

- ④ “Spin-blockade and state lifetimes of many-hole spin states in silicon quantum dots,” Chihiro Kondo, Raisei Mizokuchi, Go Sakamoto, Ryuta Tsuchiya, Toshiyuki Mine, Digh Hisamoto, Hiroyuki Mizuno, Jun Yoneda, and Tetsuo Koder, Jpn. J. Appl. Phys. 64 01SP09 (2025)

【概要】シリコンスピン量子ビットの実現に不可欠な高い読み出し忠実度とコヒーレンスを評価するため、スピン閉塞と状態寿命の測定が重要となる。本研究では、多正孔量子ビットにおけるこれら 2 つの指標を評価した。その結果、従来と同等の 5.1 μ s のスピン閉塞寿命と、少数正孔系での報告例より長い 0.91 ms のスピン状態寿命を得た。さらに、推定されたトンネル率比に基づき、多正孔スピン状態に関する知見を得た。

- ⑤ “Noise-correlation spectrum for a pair of spin qubits in silicon,” J. Yoneda, J. S. Rojas-Arias, P. Stano, K. Takeda, A. Noiri, T. Nakajima, D. Loss & S. Tarucha, Nature Physics 19, 1793-1798 (2023).

【概要】アレイ化時に顕現する重要な課題である、量子ビット誤りの空間相関に着目して研究を行い、シリコン量子ビットの誤り相互相関を発見、その定量化に初めて成功した。近接サイトにおける量子もつれのコヒーレンス時間は、パリティに依存して 70% もの差が生じること等を報告した。この相関は電荷雑音が引き起こすことを、スピン交換相互作用

用のゆらぎと量子ビット共鳴周波数とのゆらぎ相関を観測することで直接的に示した。量子ビットのアレイ化に際しては、(当該研究開発課題の課題推進者がシリコン量子ビット系で世界に先駆けて実証報告した)シャトリング等の方法で、適切な量子ビット間隔を設ける方法が有用であることが示唆された。

- ⑥ “Fast universal quantum control above the fault-tolerance threshold in silicon,” A. Noiri, K. Takeda, T. Nakajima, T. Kobayashi, A. Sammak, G. Scappucci and S. Tarucha, Nature 601, 338–342 (2022). DOI: 10.1038/s41586-021-04182-y

【概要】マイクロ波パルスを用いた高速な2量子ビット制御により、CNOT ゲート忠実度99.5%を達成した。シリコンスピン量子ビットで誤り耐性閾値を上回るユニバーサル制御を示した成果であり、計画で掲げたビット操作・ビット結合の性能検証に直接対応する代表的成果である。

(3) 代表的な特許

	発明の名称	出願日	登録番号	概要
1	制御システム及び量子コンピュータの制御方法 (量子コンピュータ制御システム、制御方法及び制御プログラム)	2022/6/17	特許第7830245号 (2026/03/16)	シリコン中の電子スピンを用いた量子ドットアレイによる量子コンピュータにおいて、量子計算の初期化時に各量子ドットに電子を一つずつ閉じ込める必要がある。これに対し、リザーバおよびAC駆動可能なゲート電極による単電子ポンプを用いることで、高速、高精度、高安定な単一電子の転送および閉じ込めを可能とする。
2	量子計算機、電子シャトリングを用いた演算方法	2025/5/15	特許第7824492号 (2026/03/04)	シリコン量子ビットの大規模化にはアレイサイズを増やす必要があるが、この際特性ばらつきが顕著となる。本発明では量子ドットアレイに対して電磁波を照射して量子演算を行う量子デバイスにおいて、量子ドットアレイを演算領域と量子ビットを保持するメモリ領域に分け、両者の間で量子ビットをシャトリングで移動させるとともに、演算領域に対して演算時の制御電圧および制御時間を量子ドット毎に記憶したパラメータテーブルを備える。 【効果】量子ビット数を増やして特性ばらつきが増大しても演算精度を上げることができる。

4. 研究開発プロジェクトの実施内容および成果

(1) 研究開発項目1:量子コンピューティングシステム

研究開発課題1:2次元量子ビットアレイ(プロセス・デバイス研究開発)

実施内容:

2次元量子ビットアレイ化に有効なシリコン MOS(Si-MOS)構造を採用し、量子ドットアレイと CMOS 周辺回路を直接混載した「QCMOS」チップの設計・試作を完了した。この4Kで

動作する QCMOS 技術により、これまで困難であった大規模な集積ドットの特性評価が可能となり、実際に 16×8 の計 128 量子ドットアレイにおいて全ビットの特性取得に成功した。さらに、特性解析からドット形成不良とトランジスタの閾値電圧との相関を明らかにした。

量子ビットの基本動作に関しては、初期化、スピン操作、読出しの全工程で以下に述べる革新的な技術を実証した。初期化においては、4K 環境下で 1 時間以上の安定性と 99% の精度を両立する 100MHz 単電子ポンプ輸送を確認し、これを 2 次元アレイに拡張したプログラマブルな「単電子ルーター技術」を世界に先駆けて考案・実証した。また、量子ビットの「スピン操作」におけるコヒーレンス時間を劇的に改善する独自技術として、「CCD (Concatenated Continuous Driving)」方式を提案・実証した。本方式はマイクロ波の位相変調を駆使して電子スピンを全方向のノイズから保護しながら操作を行う画期的な技術である。試作した量子ビットアレイに属する 1 つの量子ビットにこの手法を適用した結果、温度数 100mK 下で、コヒーレンス時間について、従来の 1.2 マイクロ秒から 211 マイクロ秒へと 100 倍以上の延伸が実現された。これにより、天然シリコンデバイスを用いながらも、量子エラー訂正の臨界閾値である 99% を超える 99.1% のゲート操作忠実度を達成している。

2 量子ビット制御の段階においても、共同研究先の imec より提供された同位体制御シリコンチップを用いた評価を実施し、CROT (Controlled Rotation) 方式による操作に成功することで、令和 6 年度のマイルストーンであるスピン操作シーケンスの仕様策定を完了させた。さらに、FTQC への拡張を見据え、直径 300mm の Si 基板に対応した世界最先端の imec 試作クリーンルームを活用した大規模試作スキームを構築した。この連携により、 4×4 の 2 次元量子ドットアレイチップを当初の計画通り令和 6 年度中に完成させた。試作されたチップ上では、縦横に配列した 2 量子ビット間の結合をそれぞれ独立して高精度に制御できることが確認され、電子スピンの読出しにも成功した。最終年度には、2 次元 4×4 量子ドットアレイにて、縦・横それぞれの 2 量子ビット演算(CROT スペクトル 4 本取得)に成功した(図 1-1)。

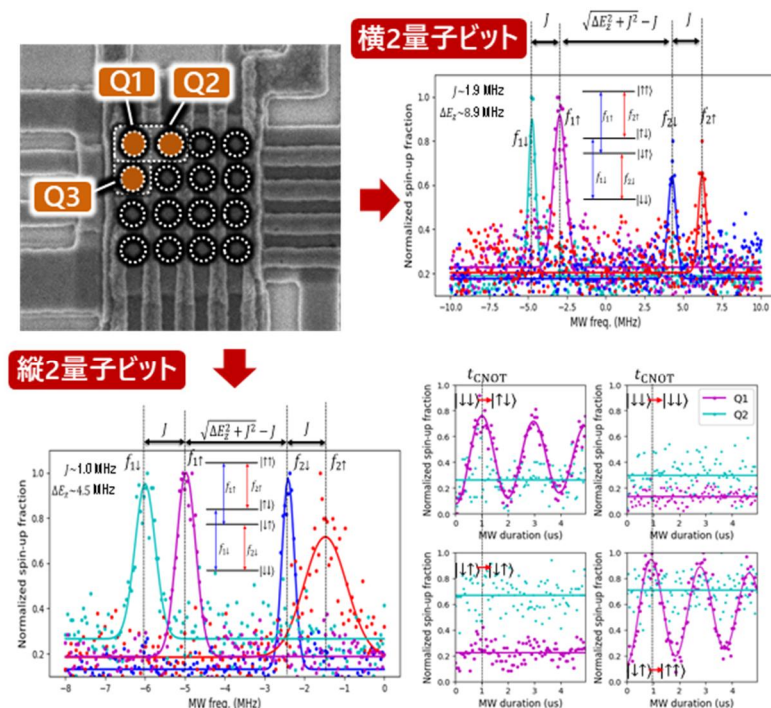


図 1-1 4×4 -2 次元量子ビットアレイでの縦横 C-ROT 操作

成果:

2次元 4x4 量子ドットアレイにて、縦・横それぞれの2量子ビット演算(CROT スペクトル 4本取得)に成功

課題推進者:水野弘之(株式会社日立製作所)

研究開発課題2: 量子ビット高精度制御・高感度読み出し回路(回路・システム研究開発)

実施内容:

希釈冷凍機内の 4K 領域に搭載する極低温制御チップ(Cryogenic Analog Controller: CAC)の設計・試作においては、TSMC 40nm CMOS RF プロセスを適用し、第一世代の制御チップ CAC-1 を設計・試作した。このチップは、1 ナノ秒刻みのタイミング制御が可能なデジタル回路、20GHz 帯のガウス波形マイクロ波発生回路、および 59 チャンネルの独立した 16 ビットバイアス発生回路をワンチップに集積した高度な LSI である。CAC-1 の評価を通じてマイクロ波の位相誤差という課題を抽出した結果、第二世代の CAC-2 では極低温下で支配的となるフリッカーノイズ対策や電源品質の向上を徹底した。その結果、20GHz においてフィデリティ 99.93%以上に相当するジッタ低減を実現し、希釈冷凍機内での動作に伴う発熱問題も冷却システムの許容範囲内であることを確認した。さらに令和 6 年度からは、より高精度な制御を目指してポラー変調方式やサンプリング方式 PLL を採用した回路設計を進め、RF ジッタのさらなる低減とフィデリティ 99.97%以上の達成に見通しを立てている。

一方、100mK 領域のチップ開発においては、量子ビットブリッジチップ(QBG (Quantum Bit Bridge Chip))を用いる方式を考案した。この QBG は、4K の CAC からの制御コマンドをシリアルパラレルインターフェースで受け取り、量子ビットアレイ近傍でバイアス電圧を高速に切り替えるスイッチマトリックス、出力電流やチップ内温度の計測機能などを備えている。特に、動作電流を 100mK ステージの厳しい電力制約内に収めるための回路方式を導入し、大規模化に対応可能な実装形態を提案に至った。神戸大学との連携により、2 チップ積層型や平面実装型など、物理的な結合の最適化も進めた。

また、量子ビット演算の結果を読み出す時間の高速化は、将来のエラー訂正処理において極めて重要な課題である。本プロジェクトでは、従来の電流電圧変換回路に反射読み出し方式を組み合わせる独自の「ハイブリッド読み出し方式」を考案した。これにより、ミリ秒オーダーを要していた従来の読み出し時間を大幅に短縮し、表面符号を用いた誤り訂正に必須とされるマイクロ秒単位の処理速度を実現する目途を立てた。実際の評価においても、QBG と量子ビットチップを接続したチャージスタビリティダイヤグラムの取得や、反射方式を用いたエルザーマン読み出しによるスピン測定に成功しており、理論上の設計が実機で正しく動作することが確認されている。

さらに、ポラー変調方式マイクロ波発生回路の実証やバイアス発生回路のさらなる低雑音化を進めるとともに、QBG チップと量子ビットアレイチップの結合評価を深化させ、チャージシャトルリングを実証した。本成果は、シリコン量子コンピュータの実用化に不可欠な、極低温下での大規模回路・システム制御技術の基盤を築くものである。

成果:

CAC と 100mK 領域に配置されるシリコン量子ビットアレイを組み合わせた、高精度かつ大規模化可能な制御アーキテクチャの構築

課題推進者:水野弘之(株式会社日立製作所)

研究開発課題3:システムアーキテクチャ

実施内容:

システム全体の構成として、希釈冷凍機外の常温部(300K)に設置するデジタル制御部(DU)、4K 領域に配置するアナログ制御部(AU)、および最低温部(100mK)で量子ビットアレイを動作させる量子ビット制御部(QU)から成る高度な 3 層アーキテクチャを策定し、これを統合的に制御するソフトウェアスタックを設計・構築を進めた。試作した「量子オペレーティングシステム」は、アプリケーション開発者からデバイス実験者まで異なるロール向けの機能を一括して提供する。任意の量子回路記述をネイティブゲート記述へ変換する SDK (Software Development Kit)、および電圧印加パルスシーケンスを制御回路のマイクロコードへ自動変換するシステムモニタを連携させたフレームワーク取りまとめた。さらに、隣接量子ビット間のクロストークを低減するために「Electron Bus 方式」のシャトリング制御を導入し、大規模アレイ上での動的な演算手順の生成が可能であることを確認した。

実機実験の効率を劇的に向上させたのが「ワンクリック量子コンピュータシステム」の構築である。本システムは、自動校正ライブラリや測定器制御 API を統合したもので、従来は経験則や手作業により 1 日以上を要していた校正作業を、わずか 15 分程度へと大幅に短縮した。この自動化により、環境温度や磁場の変化といった外部変動に対しても継続的な最適化が可能となった。さらに、高度な校正精度の均一化により、当該デバイスにおいて初めて、制御電圧の変化に伴いスピン共鳴周波数がシフトする「シュタルクシフト現象」の精密観測に成功し、この知見を周波数の安定化や位相緩和時間の延伸に応用するという重要なデバイス工学的成果を得た。

クラウド公開を見据えた開発においては、実機の仕様と連動して動作する「デジタルツイン」のプロトタイプを試作した。これは、実機のマシン時間不足によるジョブ実行遅延の緩和や、実機リソースの制約による実行不可の事前検証を目的としたものである。シミュレータベースであることを活かし、現在のハードウェア性能の再現のみならず、将来の実機仕様を先取りした試行環境の提供も可能とし、プロジェクト内のデバイス研究において制御方式の効果検討に活用された。

FTQC システムの実現に向けた基盤として、デバイス・回路・論理レベルの 3 階層から成るシミュレーション環境の構築を進めた。マルチフィジックスシミュレータ COMSOL を用いた解析では、密集したゲート電極間のカップリングを考慮しつつ、任意の縦横位置で 2 量子ビット操作および読み出しを可能とするポテンシャル形状の制御条件を明らかにした。また、演算時間を最適化するため、量子ドット形状の断熱的变化をモデル化した簡易物理モデルを策定し、シャトリング操作における高いフィデリティ性能を維持するための理論的条件を定量化した。論理レベルでは、個別のデバイス特性を反映可能な表面符号シミュレータを設計し、HOOK エラー等の実用的課題の解析を完了した。

最後に、量子誤り訂正に向けたシリコン独自のアーキテクチャ設計において大きな進展があった。表面符号の実装にあたり、演算用のデータ量子ビット列と読み出し用のシンドローム量子ビット列を規則的に配列する機構を提案し、フィデリティ確保に必要なシャトリング最小化を実現した。さらに、制御配線の空間的制約を克服するため、リング状の疑似二次

元構造「Overlapped-Double-Rings」を考案した。レイアウト設計に基づく見積もりにより、配線密度の課題を解決することで、現行のシャトリング技術の制約下でも 1,000 個以上の物理量子ビットを単一チップ上に実装できる見通しを立て、シリコン量子コンピュータのロードマップを明確化した。

成果：

クラウド公開を見据えた量子オペレーティングシステム(OS)のプロトタイプ開発、自動校正機能の実装、そして大規模フォールトトレラント量子計算に向けた全階層シミュレーション環境の整備

課題推進者:水野弘之(株式会社日立製作所)

(2) 研究開発項目2:極低温複数チップ実装システム

研究開発課題4:極低温複数チップ実装

実施内容：

極低温複数チップ実装システムにおいて、量子ビットを高精度に制御・読出しするため、高分解能 AD/DA 変換回路を応用した極低温インタフェース回路の開発を行った。本回路は、多ビット・多チャネルのアナログ波形生成・波形収集を担うものであり、これまでに、64 量子ビット以上の制御に対応可能な量子制御チップを開発し、極低温評価を完了した(図 2-1)。本チップには、59 チャネルの極低温 DA 変換器を搭載したマルチチャネルバイアス電圧生成器、チップ内モニタリング用の極低温 AD 変換器、および高周波発生回路を集積した。量子ビット制御用の極低温 DA 変換回路では、16 ビットの高分解能性能に加え、多チャネル化に向けた小型・低消費電力化が求められる。そこで、定常電流を消費しない電荷再配分型 DA 変換アーキテクチャを採用するとともに、容量ミスマッチに起因する非線形誤差を抑制する補正手法を新たに考案した(図 2-2 左)。低温プローブおよび希釈冷凍機の 4 K プレートを用いた評価により、所望の電圧出力が得られることを確認し、さらに提案補正手法によって小型容量に起因する非線形誤差が改善されることを確認した(図 2-2 右)。

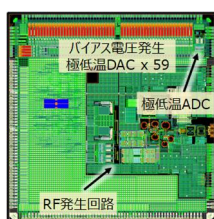


図 2-1 極低温アナログ制御回路

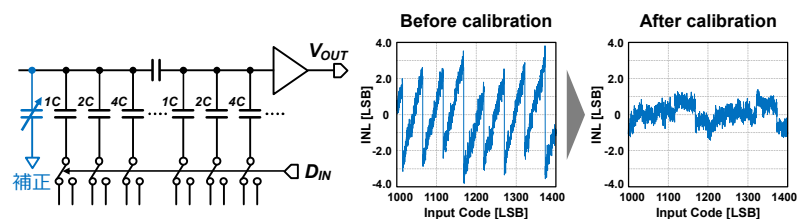


図 2-2 極低温 DA 変換回路

また、量子ビットチップとインターフェースチップを統合する複数チップパッケージング技術の確立に向けて、日立製作所、東京科学大、理研が開発した量子ビットチップをフリップチップ実装するためのインターポーザを開発した。量子ビットの特性評価を通じて、本実装構造における極低温下での電氣的接続特性を評価した。

さらに、量子ビット動作時に発生する熱を効率的に排出するためのチップ実装構造を検討した。具体的には、20 μm まで薄化したシリコンインターポーザに Cu-TSV を形成し、PCB 基板上の銅プレートに Cu ピラーを介して接続する排熱構造を提案した(図 2-3)。これによ

り、量子ビットで発生した熱を Cu-TSV を介して最短距離で冷凍機内のヒートスプレッダーへ伝導する構成を実現した。本排熱構造を備えた試作パッケージチップに対して熱サイクル試験を実施し、断面観察により接合部の極低温耐性を確認した(図 2-4)。

成果：

極低温 DA 変換器を開発し、多チャネルバイアス電圧発生器に関する特許出願を完了するとともに、関連成果を論文(ELEX2022)および国際学会(ASP-DAC2025)で発表した。また、開発したバイアス電圧発生器を用いて量子ドットデバイスにおけるクーロンダイヤモンドの観測に成功した。さらに、Cu-TSV を用いた排熱構造に関する特許を出願するとともに、関連成果を国際学会(ECTC2024 等)で発表した。

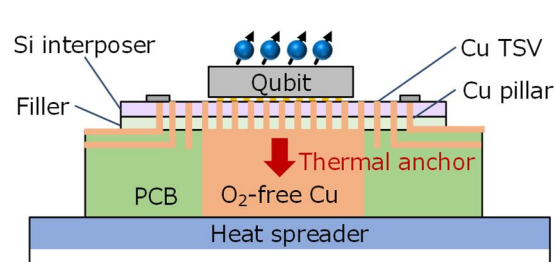


図 2-3 排熱機構を備えたチップパッケージング

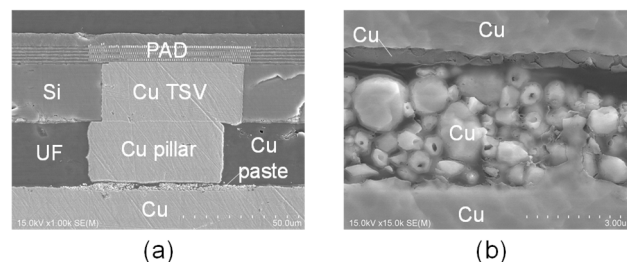


図 2-4 (a) Cu-Cu 接合の断面写真、
(b) 接合部の拡大写真

課題推進者: 永田真(神戸大学)

研究開発課題5: 環境モニタリング手法 (量子ビット近傍における環境モニタリングシステムの開発)

実施内容:

量子ビット制御信号波形や量子ビット近傍の温度等をセンシングし、その情報を制御回路へフィードバックすることで、量子ビットの制御精度を向上させる環境モニタリングシステムの構築に取り組んだ。特に、量子ビット近傍でパルス制御信号波形を観測するため、100 mK 環境で動作可能な極低温 AD 変換器を開発した。

本 AD 変換器では、量子ビットと同じ 100 mK 環境での動作を目指し、低消費電力と高分解能を両立するアーキテクチャを考案した。また、入力容量を低減して入力信号帯域を拡張することで、制御信号波形を高い時間分解能で取得可能とした。本 AD 変換器を、研究開発課題 4 で開発したシリコンインターポーザ上に搭載し(図 2-5)、極低温評価を通じて、量子ビット近傍の 100mK においてパルス制御信号波形を観測可能であることを示した。外部から入力した正弦波信号を正常にデジタル変換できることを確認した後(図 2-6 左)、有効帯域幅を評価し、従来の希釈冷凍機外部へ信号を取り出して観測する構成と比較して 100 倍以上の帯域を実現することを確認した(図 2-6 右)。本評価では、1 ns の時間分解能でパルス信号波形を取得しており、消費電力は約 20 μ W に抑制されている。以上により、100 mK 環境における AD 変換動作を実証し、量子ビット近傍での in-situ 信号モニタリングを可能にする基盤技術を確立した。

成果:

100 mK 環境における AD 変換動作を初めて実証し、その成果を国際学会で発表した(A-SSCC2024)。さらに、モニタリング性能の向上に向けて新たなサンプリング手法を考案

し、関連成果を論文誌で発表した(JJAP2026)。また、本技術を他の研究課題における量子ビット実験へ適用し、量子ビット近傍での信号波形モニタリングを実現した。

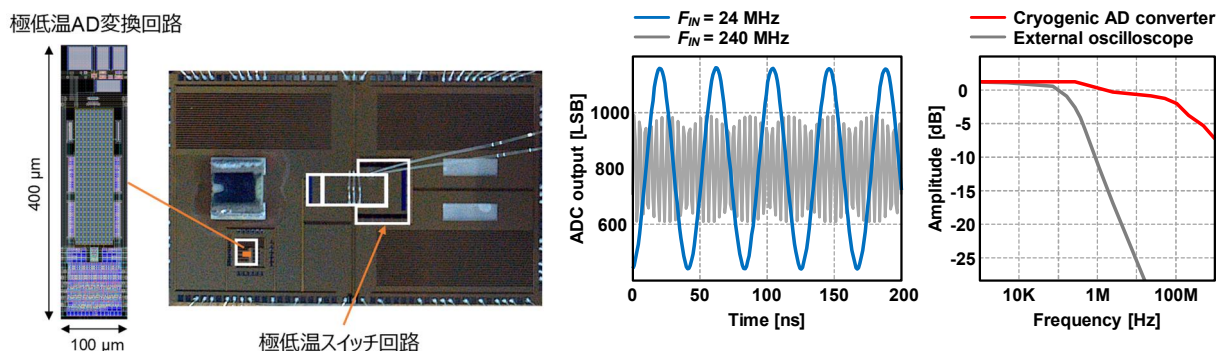


図 2-5 環境モニタリングを搭載したインターポーザ 図 2-6 極低温 AD 変換器の測定結果

課題推進者: 永田真(神戸大学)

(3) 研究開発項目3: ホットシリコン量子ビット

研究開発課題6: シリコン量子ビットの高温動作

① 極低温測定系の構築と小規模実験回路による基礎評価の実施

実施内容:

シリコン量子ビットアレイ構造の一部を用いた「小規模な実験回路」を作製し、無冷媒希釈冷凍機と量子ビット制御エレクトロニクスからなる極低温量子デバイス測定系を構築した。希釈冷凍機温度(50mK 程度以下)においてデバイスの高周波応答を評価し、読み出し共振回路のマッチング条件を最適化することで、高速・高感度な測定基盤を確立した。

成果:

高周波反射測定法により、高周波応答を利用した単一電荷検出と電子温度評価に成功した。また、マグネトスペクトロスコピー測定を実施し、電子スピンのゼーマン分裂に対応するエネルギーシフトを明確に観測した(図 3-1)。さらに、高温動作に適したPSBを使用した読み出しプロトコルと組み合わせ、スピン緩和時間測定を行った。また、これらの技術の詳細について、周辺回路技術者を含めた、日本における研究の活発化を期待して、日本語で解説記事を執筆した。

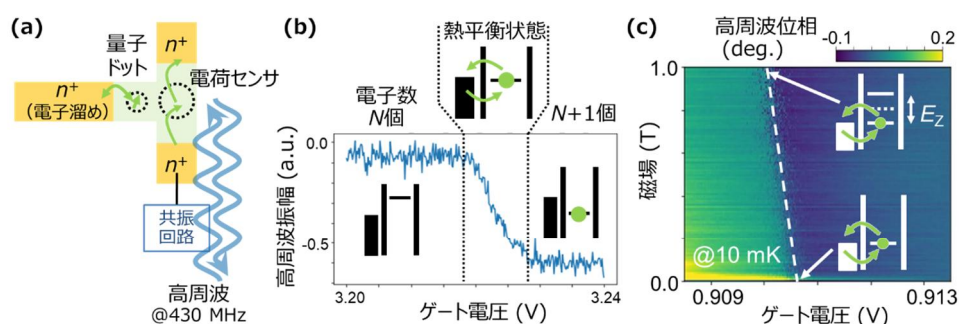


図 3-1 (a) 課題抽出用の「小規模な実験回路」。(b) 高周波応答を利用した単一電荷検出と電子温度評価。(c) マグネトスペクトロスコピー測定による電子スピンのゼーマン分裂に対応するエネルギーシフト

②ホールスピン量子ビットにおける 1K コヒーレント操作の実証

実施内容：

強い閉じ込めポテンシャルを持ち高温化に適した物理形成型量子ドットを用い、スピン軌道相互作用によるホールスピン操作実験を行った。マイクロ波の印加時間を制御した電流の時間分解測定を行い、量子マスター方程式を用いた理論解析と併せて動作を検証した。

成果：

300mK において数 MHz のコヒーレントな振動(ラビ振動)の観測に成功し、 $\sim 1\text{K}$ でのホールスピンのコヒーレントな時間発展の観測に成功した(図 3-2)。また、マルチレベルランダウ・ツェナー干渉(MLLZ)が PSB による電流閉塞を増強させる効果も明らかにした。スピン共鳴操作へのスピン軌道結合の非自明な効果が明らかになり、さらなる操作忠実度の向上に貢献する可能性が示された。また、高温下での高忠実度動作に向けた技術開発も進め、位相変調マイクロ波を用いることでスピン位相緩和時間(T_2^{Rabi})を伸長させる効果がホールスピン系において初めて実証された。

③電子系とホール系での電荷雑音の温度依存性評価の実施

実施内容：

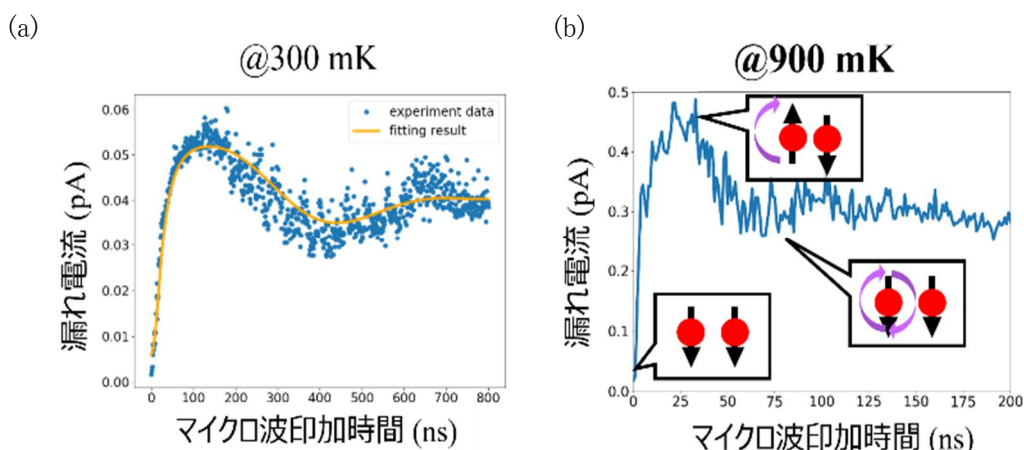


図 3-2 (a) 300mK, (b) 900mK におけるホールスピン量子ビットのコヒーレント振動。

同一チャネル上に電子系およびホール系量子ドットを切り替えて形成できる、両極性のキャリアの性能比較に向けたデバイスを作製・評価した。電子系とホール系双方での量子ドット形成や高周波反射位相測定の動作を確認し、電荷ノイズの評価と比較をおこなった。

成果：

同一チップかつ同一チャネル上に形成された量子ドットにおいて、電子系とホール系で 300mK までの電荷ノイズの大きさにほとんど差異がないことが明らかになった(図 3-3)。

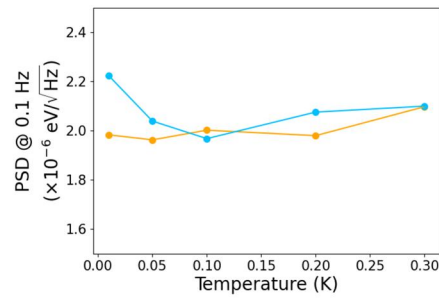


図 3-3 同一チャネル上に形成された電子系(青)・ホール系(橙)量子ドットにおける電荷ノイズの温度依存性。

④ 実装技術の評価と機械学習による自動調整手法の開発

実施内容:

大規模集積化を見据え、インターポーザ上に実装された量子ドットデバイスの評価を実施した。さらに、インターポーザ上のセレクト回路を用いたデバイスの選択的制御技術を検証したほか、極低温 ADC を用いた量子ビット制御信号の校正技術の開発を推進した。また、複雑な量子ドットの調整を自動化するため、モデルベース強化学習を用いた技術開発を実施した。

成果:

セレクト回路による量子ドットの実験的制御に成功した(図 3-4)。また、強化学習において「環境」を適切にモデル化し、構築したモデル内での学習に成功していることを示唆する基礎検証結果を得るなど、汎用的な自動調整技術の確立に向けた成果を得た(図 3-5)。

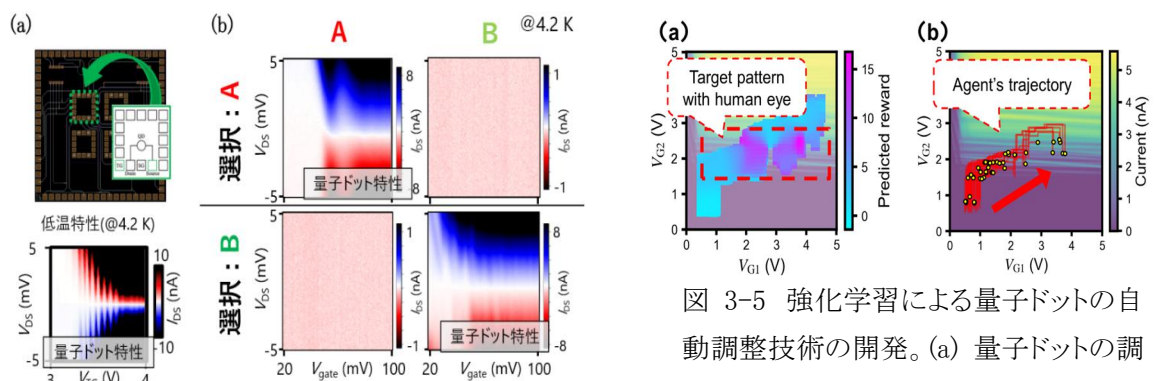


図 3-5 強化学習による量子ドットの自動調整技術の開発。(a) 量子ドットの調整状態に応じた環境モデルの予測報酬。(b)自動調整エージェントによる量子ドット調整の軌跡。

図 3-4 (a) インターポーザに実装された量子ドットデバイスとその低温特性。(b) インターポーザ上に実装されたセレクト回路を用いた量子ドットデバイスの選択的制御。

課題推進者:小寺哲夫(東京科学大学)

(4) 研究開発項目4:小規模回路による量子演算

研究開発課題 7:アレイ化と量子ビット基本演算の両立

実施内容:

令和5年度の一部計画変更にともなって設定された当該研究開発課題では、アレイ化時に顕現する基本演算実行に関する課題の解決策となりうる方式を小規模な実験回路を用いて検証するための測定系を構築し、量子ビット基本演算の方式策定に取り組んだ。雑音空間相関の発見、様々な雑音空間相関評価法の開発、雑音空間相関に基づく新たな安定化手法の開拓に加えて、小規模な実験回路でのシャトリングとそれを利用した量子制御の実証等、量子ビットアレイ内制御に関する知見を積み上げ、アレイ化と両立可能な量子制御方式を策定、検証した。

成果:

まず、アレイ化時に顕現する重要な課題である、量子ビット誤りの空間相関に着目した研究において、シリコン量子ビットの誤り相互相関を発見、その定量化に初めて成功した(図4-1)。近接および次近接サイト同士において、誤り相関が強くなりうること、近接サイトにおける量子もつれのコヒーレンス時間は、パリティに依存して70%もの差が生じうること等を報告した。この相関は電荷雑音が引き起こすことを、量子ビット読み出し信号と量子ビット共鳴周波数とのゆらぎ相関を観測することで直接的に示した。これらの結果を踏まえると、量子ビットのアレイ化に際しては、(当該研究開発課題の課題推進者がニューサウスウェールズ大学所属時にシリコン量子ビット系で世界に先駆けて実証報告した)シャトリング等の方法で、適切な量子ビット間隔を設ける方法が有望であると結論づけた。

さらに、量子ビット読み出しに用いる電荷計信号同士の雑音相互相関に着目して、雑音相関をより簡便、効率的に評価可能な手法を実証した。これにより、デバイスへの制限を緩和した雑音相互相関の測定法による、さまざまな条件下での雑音相互相関評価を実証した。以上の進展をうけ、新たに雑音の空間相関を利用した量子デバイスの非断続的な安定化実現に取り組むこととし、実際に強い空間相関をもつ人工雑音環境下での非断続的な安定化を実証した。雑音源の特性を疑似的に制御して空間相関強度に依存した安定化の振る舞いを評価し、将来的に電荷雑音密度が低減された量子ビットデバイスの安定化における有用性を支持する結果を得た。

また、相互相関の位相に着目することで、支配的な電荷雑音源の空間配置と結合強度に関する情報が得られることを、詳細なスペクトル解析とデバイスモデル化によって明らかにした。とりわけ空間配置に関する情報を与える測定手法は極めて新規性が高く、今後、シリコン量子ビット試料の品質向上に資する情報を得る有益なツールとなる可能性がある。これらの進展は、アレイ化と量子ビット基本演算の両立にむけて、基本演算やシャトリング等の性能を制限する比較的疎な分布を持つ電荷雑音源とその影響に関する知見の確立に資するものである。またシャトリングの性能を検討するうえで極めて有益な情報となる、スピン交換結合とトンネル結合のゆらぎを実験的に計測することにも成功した。

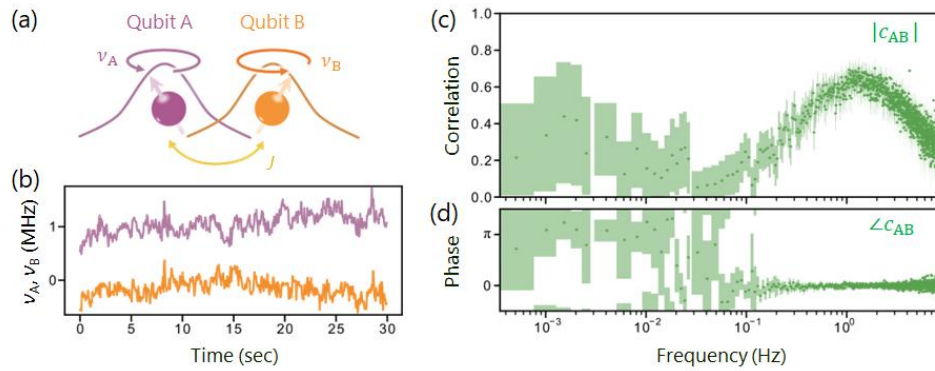


図 4-1 シリコン量子ビット誤りの相互相関評価。(a)二量子ビット系模式図。(b)歳差周波数ゆらぎの測定結果。(c)歳差周波数ゆらぎの相互相関の強さ。(d)相互相関の位相。

上述のシャトリングは、誤り相関の観点からだけでなく、配線や、初期化・読み出しとアレイ化の両立の観点でも有益であり(図 4-1)、開発する2次元量子ビットアレイ構造においても、シャトリング機構を積極的に取り入れることとなった。小規模実験回路を用いた具体的な検証として、量子ビット列中のシャトリング輸送によって、リザーバーと結合していない量子ビットの初期化、読み出しを実現し、2量子ビット動作を実証した。大規模化にむけさらなる高速化が望ましいが、同様の手法によって256量子ビット以上のアレイにおいて初期化、読み出しが可能な方式と見込む。

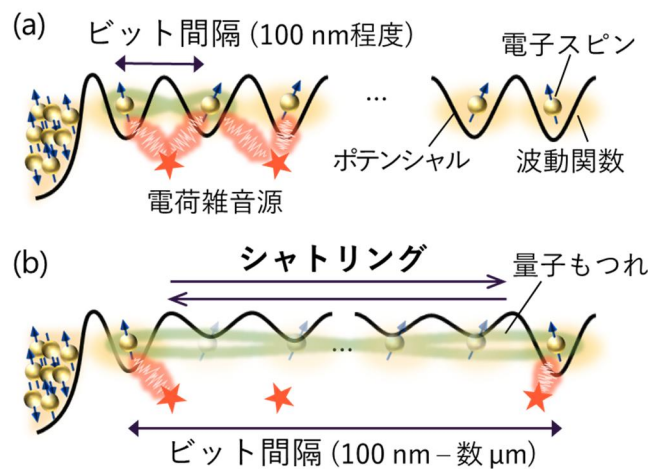


図 4-2 シャトリング機構と量子ビットアレイ内基本演算および誤りの相互相関。(a)シャトリング機構がない場合。リザーバーとの結合が限られていて、初期化と読出しが困難。量子ビット間隔が100nm程度で、誤りに強い相関が生じてしまう可能性がある。(b)シャトリング機構がある場合。シャトリングによって、リザーバーを利用した初期化や読み出しを実行可能。また量子ビット間隔を広げることで、配線問題や誤り相関の改善が見込まれる。

課題推進者: 東京大学(米田淳)

研究開発課題 8: 量子ビットの量子制御性の検証

① 小規模実験回路における高忠実度量子制御の検証

実施内容:

量子ビットアレイ構造の一部を構成する小規模実験回路を用い、初期化、読み出し、単一量子ビット操作、2量子ビット結合操作を評価した。特に2量子ビット制御では、選択的マイクロ波パルスによる CNOT ゲートを実装し、ランダム化ベンチマーク法で 99.5%の忠実度を確認した。続いて 3 量子ビット系へ拡張し、GHZ 状態の生成と量子状態トモグラフィ(図 4-3)、3ビット制御 NOT 回路を用いた位相誤り訂正(図 4-4)を実証した。

成果:

誤り耐性閾値を上回る2量子ビットゲート操作、3 量子ビットもつれ生成、位相誤り訂正を一連の技術系列として実証し、誤り耐性量子計算に用いる量子演算方式の検証に必要な制御条件を明確化した。

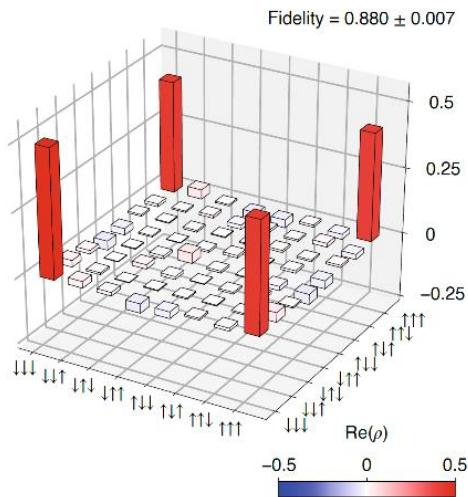


図 4-3 3 量子ビット GHZ 状態の量子状態トモグラフィ結果。

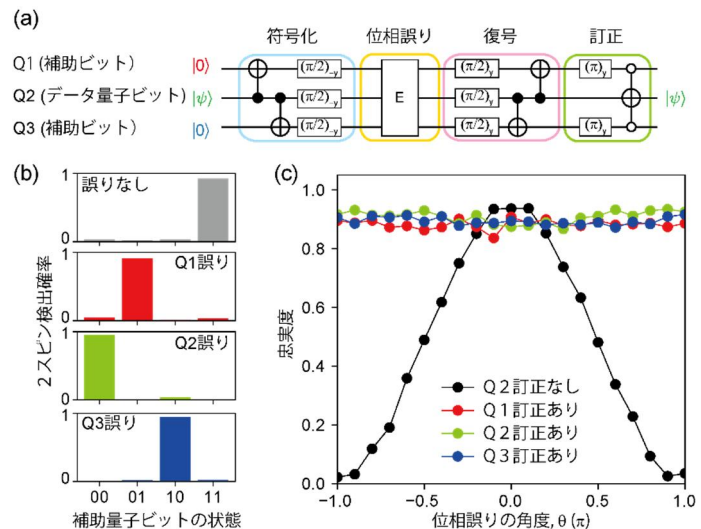


図 4-4 3 量子ビットを用いた位相誤り訂正回路と誤り訂正実験結果。(a)量子回路模式図。(b) 補助量子ビットによる誤り検出結果。(c) 量子ビット忠実度の位相誤り角度依存性。訂正によって、忠実度の低下が抑制されている。

② 高速・高忠実度読み出しと実装技術の検証

実施内容:

量子誤り訂正を大規模系へ拡張するには、コヒーレンス時間内で高速かつ高精度に量子ビット状態を測定する必要がある。樽茶 PJ の研究開発課題1との連携により、スピン緩和、バレー状態、非断熱遷移を制御し、スピン閉塞現象と RF 反射測定を用いて 1 マイクロ秒積算で 99%以上の読み出し忠実度を実現した。また、多量子ビットアレイに同読み出し技術を適用するため、研究開発課題4と連携し、シリコンインターポーザの極低温 RF 特性を評価した。密集した量子ビットチップ上の信号配線に制御用マイクロ波信号と読み出し用 RF 信号を伝送する際に、十分に小さな伝送損失と配線浮遊容量が実現できることを確認した(図 4-5)。

成果:

高忠実度読み出しと高密度 RF 入出力の実装可能性を示し、量子ビットアレイで必要となる測定・配線実装の設計指針を得た。

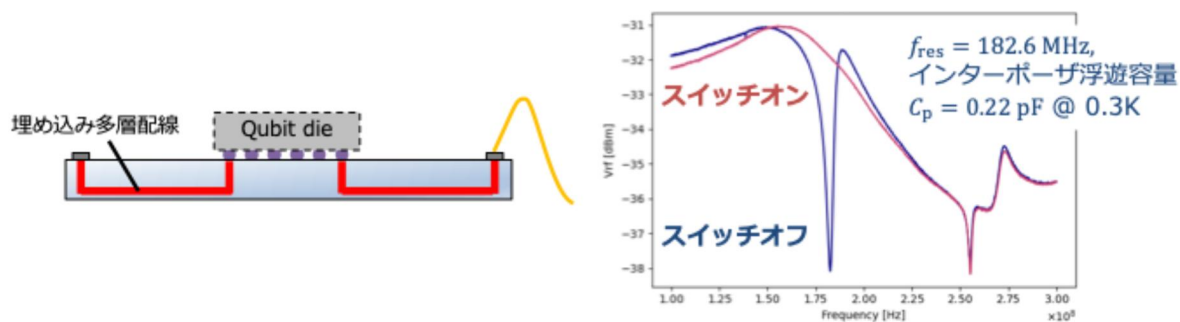


図 4-5 シリコンインターポーザを用いた量子ビットチップの実装イメージ（左）と、インターポーザに接続した RF 共振回路の極低温特性（右）。

課題推進者：理化学研究所（中島峻）

5. プロジェクトマネジメント実施内容

(1) 研究開発プロジェクトのガバナンス

進捗状況の把握

代表機関に構築したPM支援体制チームでプロジェクト推進を行った。PM支援体制チームには、日立製作所の産学連携部門、広報部門が含まれる。研究開発プロジェクトのマネジメント業務、JSTとの連絡（PD等への報告、研究開発機関、JSTとの実施規約他実施管理上の各種調整業務）を産学連携部門が、研究開発成果の広報アウトリーチ活動を広報部門が、知財戦略、および、知財の取り扱い方針の策定を知財担当部門が担当した。加えて、各担当部門が密接に連携して本研究開発プロジェクトの推進・管理・支援を円滑に行うため仕組みについても、全期間を通して継続運用した。

プロジェクト全体定例会議を原則として、1か月に一度開催する会議体を中心にしてプロジェクト運営を行った。本定例会議では、重要事項の連絡・調整、各課題推進者の進捗状況・課題の把握、および共有等を行い、各課題推進者一体となった研究開発体制の構築に大きく貢献した。また、積極的にサイトビジットの機会を設け、課題推進者のアセットなどの正確な状況把握を行うとともに、研究開発課題の詳細議論・深耕、および、具体的な対策案の詳細議論も実施した。

研究開発プロジェクトの展開

本プロジェクトでは、目標である大規模集積シリコン量子コンピュータの開発に向け、トップダウン、および、ボトムアップの2つのアプローチを採用した。トップダウン的なアプローチに必要な半導体プロセス技術や CMOS 回路・システム技術、さらにはマイクロプロセッサおよびコンピュータ技術に関して広範な技術開発の経験を有する学术界・産業界からの課題推進者（トップダウン的アプローチ）と、量子物理に精通しシリコン量子ビット操作の高精度化に関して世界最先端の位置にある学术界からの課題推進者（ボトムアップ的アプローチ）からなる研究開発体制を構築した。2つのアプローチに長けた各課題推進者が密接に連携することで、産業化と互換性のある大規模量子コンピュータの開発を強力に推進できると考えた。とくに、日立製作所の研究者を理化学研究所や東京科学大学に派遣して共同実験を行うとともに、神戸大学の研究者が日立製作所にて共同実験するなど頻繁な交流や、共同実験・研究を行った。また、研究加速に向け、山本 俊PM、小芦PM（大阪大藤井

教授)のムーンショット目標6内プロジェクト間連携体制を構築した。令和5年からは、項目4の新規研究体制にアラインするように、課題推進者の体制を一部変更し、理研/中島PIの内容を一部見直し、東京工業大学/米田PI(現所属、東京大学)を新たに追加した。加えて、シャトリング量子ビットとの共通点を利用して、分子研/大森PMのプロジェクトとの連携関係を構築した。分子研/大森PMに課題推進者をアサインし、研究者を一部オーバーラップさせることで、研究を加速した。

海外拠点となる日立ケンブリッジ研究所と、本プロジェクトで連携して検討を進めるために必要となる環境・契約の整備を行い、海外拠点と連携した研究推進体制を構築した。日立ケンブリッジ研究所は、ケンブリッジ大学のキャベンディッシュ研究所内に設置された研究所で、量子基礎物理に強みを持つ。令和4年度以降日立ケンブリッジ研究所の研究者に来日いただき、日立製作所および東京科学大学の研究者と技術内容に関して議論する機会を設けた。また、課題推進者が海外連携先を訪問し、技術交流を行った。令和6年度以降は、日立ケンブリッジ研究所に加えてベルギーの非営利研究機関imecとの国際連携を本格化させた。

倫理審査が必要な実験などの実施はないが、各課題推進者の所属する組織で規定された手続きを適切に行い研究活動を実施した。水野 PM が京都大学の出口康夫哲学専修教授との文理融合連携活動を通じて量子コンピュータを社会実装する際の課題を多面的な視座により考察し、出版物を通して社会に発信した。

(2) 研究成果の展開

研究開発プロジェクトにおける知財戦略等について

PM支援体制チームに日立製作所の知財担当部門のアシスタントスタッフを配置し、恒常的に量子コンピュータ関連技術の世界の特許出願状況を把握すると共に当プロジェクトの研究開発課題に対して網羅的な特許出願戦略を構築し、プロジェクト期間中に 100 件を超える特許網を構築した。

技術動向調査、市場調査等について

量子コンピュータの有力なアプリケーションとして想定される量子化学計算の最新状況の把握および量子コンピュータにおけるエラー訂正方式ベンチマーク、更に量子コンピュータの市場予測を目的として外部技術調査機関を活用した調査を実施した。

事業化戦略、グローバル展開戦略等の立案等

シリコン量子コンピュータの事業化のためには、シリコン量子チップを歩留まり良く作る必要がある。これまで、ベルギーimec と連携を開始し、最先端半導体試作ラインを活用した量子ビットチップ試作を実施してきた。同ラインを用いることで、EUV(極端紫外線)露光装置をはじめとする最先端の半導体プロセス技術を利用可能である。さらに産業化を見据えた高信頼な量子ビットチップを実現するためには、露光プロセスに加え、複数の半導体要素プロセスを統合するプロセスインテグレーション技術が不可欠であり、量産半導体プロセスを前提とした設計・製造・実装技術の確立が求められる。この活動のために、新たな資金獲得活動を開始した。

また、量産プロセスを前提とした設計・開発により動作歩留まりの向上を図った場合にお

いても、たとえばデバイスや環境ばらつきに起因する課題は不可避免的に残る。この課題に対しては、量子ビット制御技術(ソフトウェア技術含む)などの開発を進めることになるが、クローズドな開発からオープンな開発への転換が有効であると考えられる。そこでシリコン量子コンピュータのクラウド展開を通じてオープン開発環境構築をめざし、量子ビット制御技術などの高度化および開発の加速を図ることを計画している。

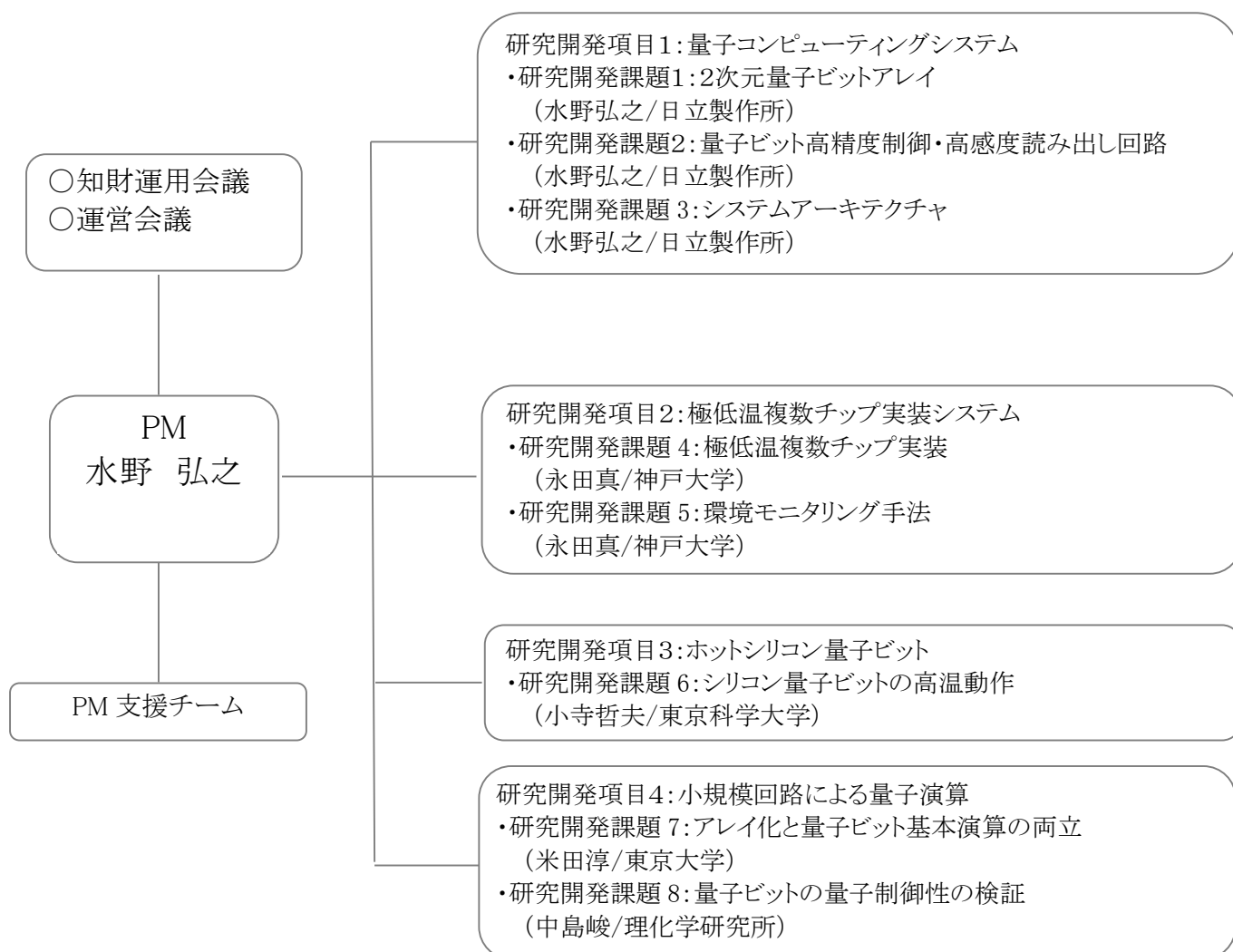
(3) 広報、アウトリーチ

課題推進者の所属している組織での研究成果に関する広報活動は、それぞれの機関にて活発に進めた。量子コンピュータ本体のカット模型と組み立て式のシリコン量子ビットチップ模型や量子コンピュータの動作原理解説用の動画およびアニメーションを作製し、CEATEC等の技術展示会や量子芸術祭等の外部イベントでの広報活動に活用するとともに文部科学大臣、科学技術政策担当大臣、国会議員をはじめとした多くの研究拠点来訪者に本プロジェクトの取り組みを紹介するなどアウトリーチ活動に活用した。研究開発項目3に関連しては、ウォータールー大学学長御一行見学、パデュー大学見学、電子情報通信学会 プラチナクラブでの講演等を通して、アウトリーチ活動を実施した。また、プロジェクト全体としては、米メタ社のInstagram(アカウント名:ms6siliconuqntum)、令和5年度に開設した当プロジェクトのホームページ(<https://ms6siliconquantum.jp>)および令和6年度に開設した当プロジェクト専用のYouTubeチャンネル(<https://www.youtube.com/@ms6siliconquantum>)を活用して情報発信を推進した。

(4) データマネジメントに関する取り組み

データマネジメントの一環として、BOX、および、Slackを立ち上げて運用した。セキュリティ保護の必要となるファイル共有には、高度なセキュリティ対策が施されたBOXを活用する一方で、Slackは、研究課題推進者間での議論、情報共有を行う場として利用した。アクセス権に関しても制限を適正化することで、セキュアな情報管理と、課題推進者間での円滑な情報共有とを両立するデータマネジメント環境を構築した(BOX:各研究課題機関の取り纏め層のみにアクセス権を付与、Slack:各研究課題を行う参加者全員にアクセス権を付与)。

6. 研究開発プロジェクト推進体制図



知財運用会議 構成機関と実施内容

構成機関について、議長はPM、参加者はPM、課題推進者、同機関の知財部門、JST など関係部門が考えられるが、案件ごとにPMが機構と協議のうえ決定する。また、必要に応じて、本規約の遵守に同意した外部有識者を加える。実施内容は、本研究開発プロジェクトに関連する知的財産権の実施許諾条件等の運用に関し必要な事項について協議する。実施方法は、PMの判断により書面等による協議で代替できるものとする。

運営会議 実施内容

構成機関について、議長はPM、参加者はPM、課題推進者、PMが必要と認めた外部有識者、JST等から構成する。実施内容については、実施規約に記載された以下の内容を中心に協議する場とする。PMによる新たな研究開発機関の参加、参加機関等以外からの本研究開発プロジェクトへの新たな関与者、実施規約の改正、課題推進者間の情報交換・助言等も協議の上行えるようにする。