

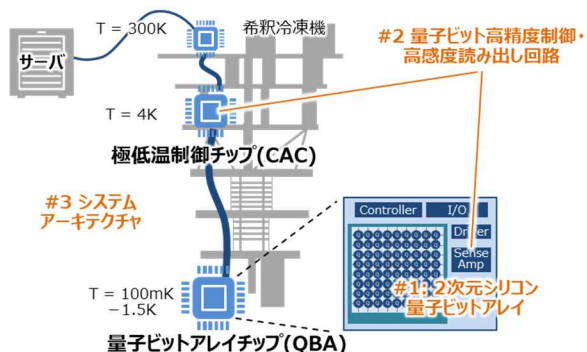
研究開発テーマ名

量子コンピューティングシステム

2022年度までの進捗状況

1. 概要

本研究開発テーマは、プロジェクト全体を統括して量子コンピュータをシステムとしてまとめる役割を担いますが、下図の三つ（#1、#2、#3）の具体的な研究開発課題に取り組んでいます。

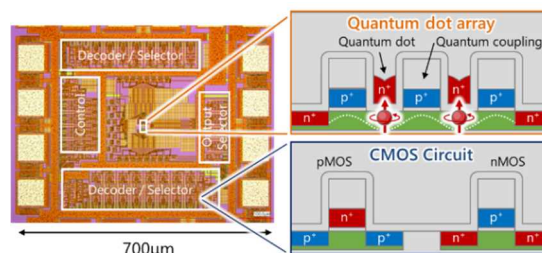


一つ目は、シリコン量子コンピュータを大規模化する際のマイルストーンである量子ビットの「2次元量子ビットアレイ」化に関する研究です。二つ目は、この量子ビットアレイを高精度に制御し量子情報を高感度に読み出すために必要となる「量子ビット高精度制御・高感度読み出し回路」を開発します。三つ目は、システム全体をコンピュータとして動作させるための「システムアーキテクチャ」を開発します。これらによって、シリコン半導体技術の特徴を活かした大規模集積シリコン量子コンピューティングシステムの実現をめざしていきます。

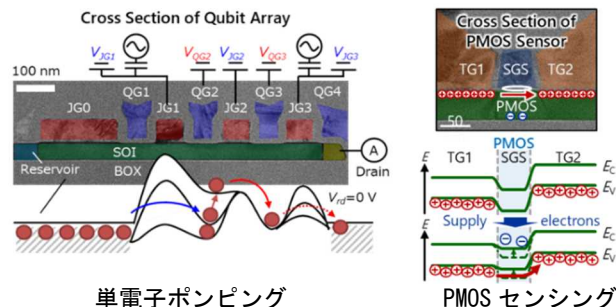
2. 2022年度までの成果

- ① 量子ビットアレイ混載 CMOS プロセスの開発
- ② 同アレイでの初期化・読み出し・操作方式の開発

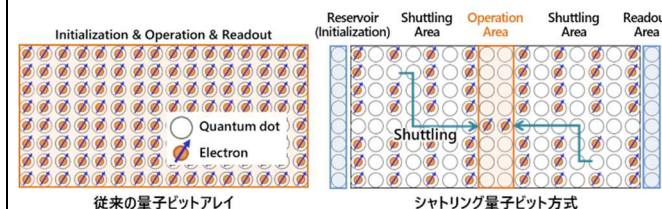
- ③ 同アレイでの量子ビット操作可能性検証
 - ④ 極低温量子ビット制御チップの設計・試作・評価
 - ⑤ 量子オペレーティングシステムの開発
- 上記において、例として①では、量子ビットアレイチップ (QBA) に向けて、現在のシリコン半導体産業で主流の CMOS プロセスの微修正で2次元量子ビットアレイが混載可能な 65 nm QCMOS プロセスの開発を行い、試作・評価を行いました。[N. Lee et al., SSDM2021]



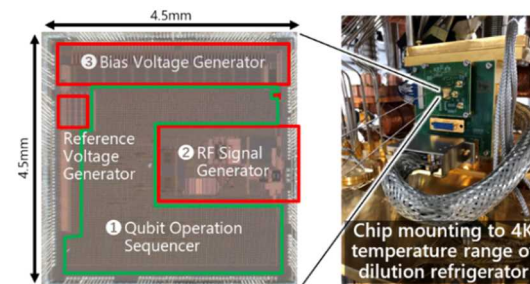
②では、初期化に関して量子ドットに確実に電子を一個ずつ格納する単電子ポンピング技術を開発し、高い精度と安定動作を確認しました。[T. Utsugi et al., JJAP2023] また、広く使用されている RF 反射率測定法による読み出し手法の低集積性を改善するため、量子ビットアレイ直接周辺に集積可能な nA オーダー感度の PMOS センシング技術を開発し評価しました。[D. Hisamoto et al., APEX2023]



さらに量子ビット操作に関して、量子ビット(電子)は量子ドットの中から動かさないという従来の前提であったのに対して、アレイ内の電子を移動(シャトリング)させて、量子ビット操作や読み出しを行う「シャトリング量子ビット方式」を提案しその効果を検証しました。[日立ニュースリリース(6/12)]



④では、量子ビットアレイに対する量子ビット操作や読み出し動作に必要な 50ch 以上のバイアス信号や低ジッタ RF 信号を発生させる極低温制御チップ(CAC)を 40nm CMOS プロセスにて設計・試作しました。現在、希釈冷凍機の 4K 温度領域に設置して性能評価を行っています。



3. 今後の展開

FTQC 実現に向けては常識にとられない様々なイノベーションが必要です。プロジェクト内外との連携によって、半導体技術を最大限に活用した量子ビットアレイ構造での量子ビット操作を実現し、さらにシステムレベル実装によってその高信頼・効率化に取り組みます。

研究開発テーマ名

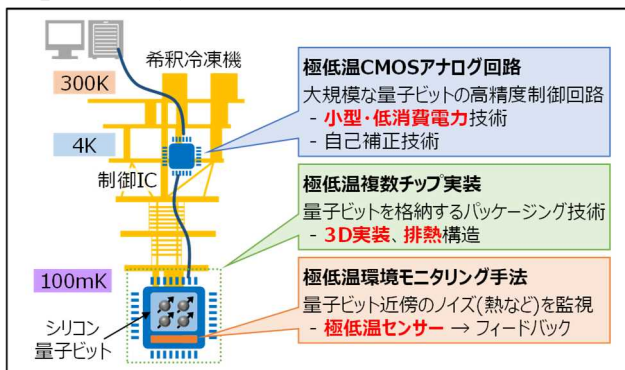
極低温複数チップ実装システム

2022年度までの進捗状況

1. 概要

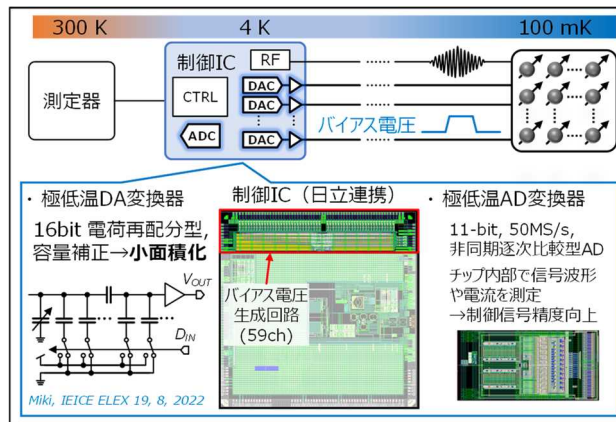
本研究開発テーマは、シリコン量子コンピュータの大規模集積化のための極低温回路実装技術を担っています。この研究開発テーマの達成により、多数のシリコン量子ビットの高精度制御や高密度実装が可能となり、プロジェクトの目指す大規模集積シリコン量子コンピュータの開発、ムーンショット目標6で目指す誤り耐性型汎用量子コンピュータの実現に貢献します。

この達成に向けて、次の3つの挑戦的テーマに取り組んでいます。まずは、希釈冷凍機内部から量子ビットを制御する極低温回路において、多数の量子ビット制御を可能にする小型・低電力アナログ回路を開発します。また、希釈冷凍機内に量子ビットを格納する実装技術において、量子ビットチップとそのインターフェース機能をインターポーザ上に集積する斬新なパッケージ開発に取り組みます。さらに、量子ビットの精度に影響を与える環境ノイズを監視し、制御回路にフィードバックする極低温環境モニタリング手法を確立します。



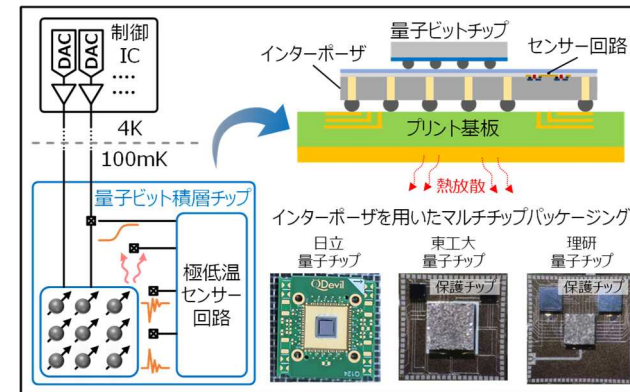
2. 2022年度までの成果

- ①量子ビット制御用極低温 DA/AD 変換回路を開発
 - ②量子チップを積層するマルチチップパッケージを開発
 - ③量子チップ近傍に配置する極低温センサー回路を開発
- 上記において、①ではシリコン量子ビットを希釈冷凍機の4 Kステージから制御するICチップを開発しました。特に、量子ビットのバイアス制御電圧を生成する16ビット極低温DA変換回路と、各制御信号をチップ内で測定する極低温AD変換回路の設計に取り組みました。極低温DA変換回路では、64量子ビットの制御に向けて多数のチャンネルが搭載されるため、小面積化が求められます。そこで、極低温特性を有効活用した回路アーキテクチャや容量ミスマッチの補正技術を発明することで、59チャンネルの電圧生成回路を1チップに集積しました。さらに4 Kにおける特性評価を実施し、正常に動作することを確認しました。



②では、シリコン量子ビットチップをフリップチップ実装するためのシリコンインターポーザを開発しました。同じ研究プロジェクトの日立製作所、東京工業大学、理化学研究所の各量子ビットチップを積層したマルチチップパッケ

ージを構築し、現在量子ビット実験の評価を進めています。また、シリコンインターポーザに貫通シリコンビアを形成し、効率的な信号引き出しと排熱を両立するパッケージング構造の実現に向けてウエハの製造加工を進めています。③では、量子ビット近傍の温度、電源基板ノイズ、制御信号波形など、量子ビットの制御精度に影響を与える環境ノイズを取得する極低温センサー回路を設計しました。本センサー回路はシリコン量子ビットと同じ100 mKの極低温に配置するため、1 μW程度の極低消費電力で動作可能な回路アーキテクチャを考案しました。②で開発するインターポーザ上に本センサー回路を搭載し、室温評価において正常動作が得られることを確認しました。



3. 今後の展開

開発した極低温制御ICを用いて、量子ビットの制御実験を実施します。また、量子ビットチップを積層したマルチチップを用いて量子ビット制御実験を継続するとともに、環境モニタリング回路で取得した情報のフィードバック手法を検討します。以上のように、大規模集積シリコン量子コンピュータの実現に向けた回路・実装技術を開発します。

研究開発テーマ名

ホットシリコン量子ビット

2022年度までの進捗状況

1. 概要

本研究開発テーマでは、シリコン量子ビット系を用いて、高温動作量子ビット（ホットシリコン量子ビット）の実現を目指します（図1）。ここで言う高温とは、通常固体量子ビットが動作する数十ミリケルビン(mK)と比べて高い、1ケルビン（K）程度（-272℃程度）を指します。通常より高温（1 K以上）で動作する量子ビットが実現すれば、冷却能力の兼ね合いから、許容される回路消費電力（発熱）が飛躍的に向上し、量子ビットの近傍に極低温制御回路を配置することが可能になると期待されます。これにより、大規模集積シリコン量子コンピュータの実現に貢献することを目指します。

ホットシリコン量子ビットの実現に向けた課題として、温度上昇に伴う量子情報保持時間の低下が知られています。この常識を打ち破るべく、未開拓の物理の深耕と解明に基づき、量子情報保持時間が極大値をとるスイートスポットの探索に挑戦しています。また、量子ビットの性能や集積性・発熱の観点から電子スピン系とホールスピン系の比較を行うことで、高性能なホットシリコン量子ビットの達成に繋げることを目指しています。

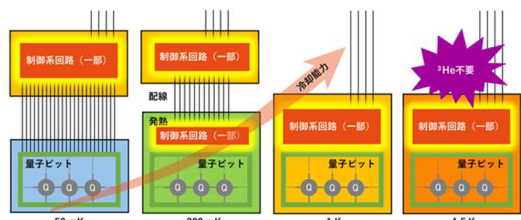


図1：量子ビットの高温動作による許容される回路消費電力の向上と極低温制御系実装の概念図

2. 2022年度までの成果

- ① 開発したシリコン量子ビット構造が量子ビット操作に必要な特性を持っていることを検証
- ② シリコン量子コンピュータ実現に向けた要素技術の現状と課題を概括
- ③ ホールスピン系において高温化に伴う雑音の増加が抑制されることを確認

上記において、①では、これまでに構築した極低温量子デバイス測定系を利用し、大規模化に適した量子ビットアレイ構造の一部について評価測定を行いました（図2）。希釈冷凍機温度（50 mK程度以下）において、量子ビットデバイス中のエネルギー準位の磁場依存性において、量子ビット状態間のエネルギー差に対応した変化を期待通り確認できました。この依存性に基づいて、スピン操作に用いる周波数を制御することが可能になります。また、スピン読み出しに重要な役割を果たす単電子トンネリングの実時間検出に成功しており、これらを組み合わせることで、本構造においてシリコン量子ビットの実現が期待されます。

量子コンピュータの実現には、個々の量子ビットの性能の向上（質）と大規模化に適した構造の開発（量）の2つの側面からのアプローチが重要になります。②では、「質」の側面として操作・読み出しなど量子ビット単体に求めら

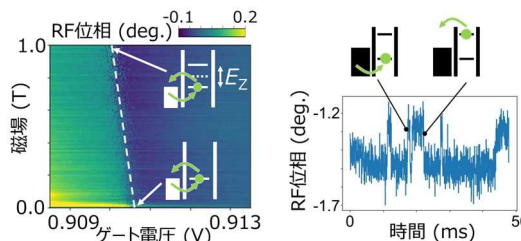


図2：（左図）電子スピンエネルギーの磁場依存性（右図）単電子トンネリングの実時間検出

れる技術を、「量」の側面として大規模集積化に向けた課題を概説し、デバイス、回路、システムなど幅広い分野の研究者に向けて、シリコン量子コンピュータ実現に向けた要素技術の現状と課題をまとめ、発表しました。

[溝口 来成, 米田 淳, 小寺 哲夫, 電子情報通信学会論文誌 C J105-C, 227 (2022).]

③では、ホールスピン系における電荷雑音（量子ビットの性能を制限する代表的な雑音）の温度依存性を評価しました（図3）。この結果では、極低温、とりわけ1 Kまでの温度上昇に対して雑音レベルはほとんど増加せず、高温動作に有望であることを示唆する結果が得られました。また、300 mKという比較的高温にあっても、50 mK以下の希釈冷凍機温度で測定された先行研究の電子を閉じ込めた量子ドットと同程度の低い雑音レベルであることが明らかになりました。

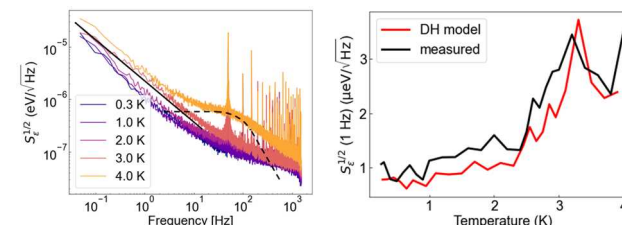


図3：高温化による雑音の増加（左図）周波数分布（右図）1 Hzにおける雑音の大きさ

3. 今後の展開

今年度までに蓄積した忠実度向上に関する課題等の知見をもとに、量子ビット動作の実証に取り組みます。適切な制御電圧条件において量子ビットの初期化、読み出しを達成し、交流磁場あるいは制御電圧による状態制御と組み合わせることで、比較的高温である300 mK、さらには1 Kでのシリコン量子ビットの高温動作実証を目指します。

研究開発テーマ名

小規模回路による量子演算

2022年度までの進捗状況

1. 概要

本研究開発テーマは、大規模なシリコン量子ビットアレイ構造の開発と並行して、将来的にその一部を構成する小規模実験回路を活用することにより、量子コンピュータ実現に向けた課題の早期抽出を目指しています。これにより、プロジェクトの目指す大規模アレイ構造の設計指針を与え、誤り耐性量子コンピュータに必要な要素技術の実現可能性を明らかにします。

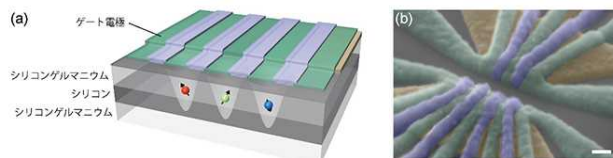


図1 三重量子ドット試料の模式図(左)および電子顕微鏡写真(右)。スケールバーは100nm(1nmは10億分の1メートル)。

小規模実験回路としては、量子ビットとしての動作が確立しているSi/SiGe型量子ドットデバイスを用います(図1)。量子ビットの初期化、読み出し、コヒーレント制御といった基本動作の高性能化を追究し、それらを組み合わせた量子演算操作を実証します。これにより大規模な系での誤り耐性量子計算の実現可能性を検証します。

2. 2022年度までの成果

- ①アレイ構造内部の量子ビットの初期化および読み出し手法を確立
- ②3つの量子ビットを用いたユニバーサル制御を実現

- ③誤り耐性閾値を上回る高精度2ビットゲート操作を実現
- ④量子ビット制御の高速化とエラー低減の関係性を解明
- ⑤3つの量子ビットによる位相誤り訂正操作を実証

上記において、①はこれまで困難であった一次元シリコン量子ビットアレイ構造内部の量子ビットの初期化および読み出し手法を確立するものです。隣の量子ビットと状態を入れ替えるSWAP操作を使うことにより、これまで困難だったアレイ内部の量子ビットに対しても、初期化・読み出し操作を実行できることを実証しました。

②では、①の読み出し手法を用いることによって3つの直列シリコン量子ビットに対する汎用的な量子ゲート操作を実証することに成功しました。この3つの量子ビットによる量子もつれ状態を生成し、88%という高い忠実度が達成できていることを世界で初めて確認しました。

③、④では、これまで量子ビット制御のボトルネックとなっていた2つの量子ビット間の制御NOTゲート操作の高忠実度化を実現しました。誤り耐性量子計算の実現に十分な99.5%という高忠実度を実証し、雑音の低減によるさらなる高精度化に向けた研究開発の指針を得ました(図2)。

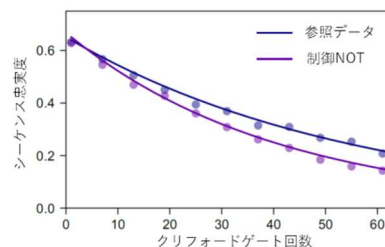


図2 ランダム化ベンチマーク法による制御NOT操作忠実度の評価。

⑤では3つの量子ビットの高忠実度制御を組み合わせることで、位相誤りの訂正回路をシリコン量子ビットで初めて実証しました。これにより、シリコン量子ビットを用いた誤り耐性量子コンピュータの開発に向けた重要なマイルストーンを達成したと言えます。

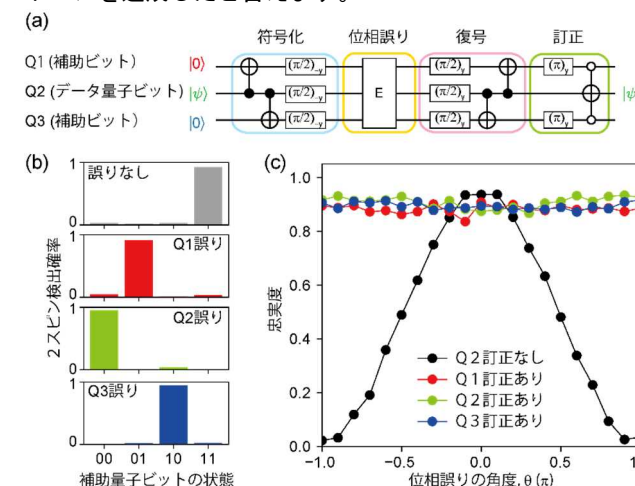


図3 シリコン3量子ビットを用いた位相誤り訂正実験。

3. 今後の展開

誤り耐性量子コンピュータの実現には、量子ビットの高忠実度な制御に加えて、量子ビットの読み出し忠実度・速度の向上が必要です。RF反射波測定による高速化、パウリ排他律による高精度なスピン・電荷変換を通じて、量子ビット測定の高度化を追求します。また、これまでの高忠実度制御のパフォーマンスを損なわずに大規模化を図る方策として、シャトリングを用いた遠隔量子ビットの結合、初期化、読み出しを検討し、大規模アレイ構造への適用を目指します。