

研究開発項目

# 1. 拡張性を有する誤り耐性 Si 量子ビットデバイス技術

## 2023年度までの進捗状況

### 1. 概要

本研究開発項目では、誤り耐性を有する大規模化に適した Si 量子ビットデバイス技術の開発を目指します。これまでの少数量子ビット系で達成された誤り耐性閾値を上回る高精度な量子ビット制御を進展させ、これらの制御精度を損なわずに大規模化を進め量子誤り訂正を実装可能なアーキテクチャ・量子ビットレイアウト・試料構造・信号伝送技術を開発する必要があります。これらの要素技術を確認し、真に拡張性を有する Si 量子ビットデバイスを追求します。

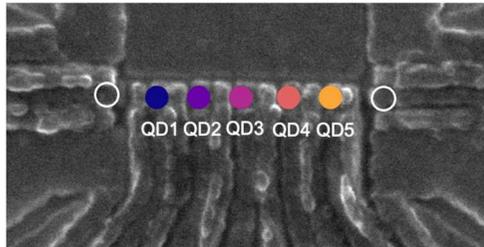


図1 Si/SiGe 量子井戸基板に作製した 5 量子ビット試料の電子顕微鏡写真。

大規模な量子ビットデバイスにおいて量子ビット制御精度の再現性を確保するため、本項目では各物理パラメータを試料構造に応じて自在に設計しながら均一性を維持することのできる Si/SiGe 量子井戸型の量子ビットデバイスを作製します(図1)。産業プロセスとも連携し、高精度な量子演算操作を実証することで、大規模な誤り耐性量子計算の実現に向けたブループリントを描くことを目指します。

### 2. これまでの主な成果

- ① 直列5量子ビット試料を作製し、各量子ビットの初期化、読み出し、量子ゲート操作を実証
- ② 2量子ビットの制御位相ゲート操作におけるエラーのメカニズムを解析し、その補償方法を解明
- ③ 量子誤り訂正に求められる高速・高忠実度な量子ビット読み出しを実証
- ④ 量子ビット読み出し結果に応じたフィードバック制御により、量子ビットのアクティブリセットを実証

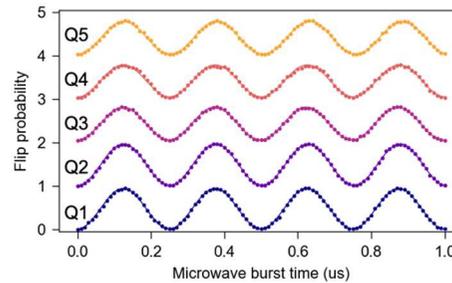


図2 5つの量子ビットそれぞれに共鳴するマイクロ波によって駆動されたコヒーレント振動(ラビ振動)。

①では5つの量子ビットを直列に配置した試料を作製し安定的に動作させることに成功し、各量子ビットの初期化・読み出しとゲート操作を実証しました(図2)。量子ビット性能から得られた知見をデバイス構造にフィードバックし、量子誤り訂正の実装に向けた開発指針を得ました。

②では量子演算においてボトルネックとなり得る2ビットゲート操作におけるエラーをゲートセットトモグラフィと呼ばれる手法で解析し、エラーを最小化する制御波形を体系的に生成しました。また、エラーの起源に関わる量子ビットのノイズ相関を検出・解析しました。

③、④では、量子誤り訂正の実装時に必要不可欠な高速・高精度量子ビット読み出しとフィードバック制御を実現しました。量子ビットのコヒーレンス時間( $T_2^* \sim 10\mu\text{s}$ )よりも十分に短い積算時間( $\sim 1\mu\text{s}$ )で99%以上の高忠実度読み出しを初めて実証しました(図3)。さらに量子ビット読み出しの結果をリアルタイムで量子ビット制御波形にフィードバックすることで、量子ビットを所望の状態に初期化するアクティブリセットを実証しました。

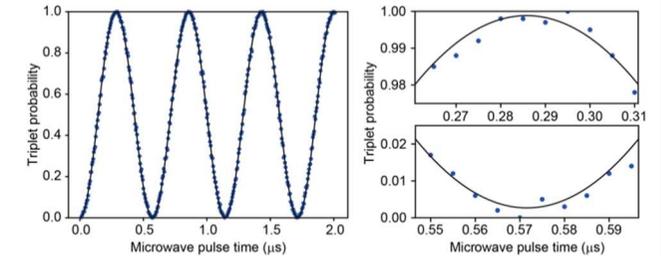


図3 スピンのパリティ読み出しを利用した高忠実度な量子ビット測定によって得られた高明瞭なラビ振動データ。

### 3. 今後の展開

複数量子ビットの高忠実度制御、高忠実度読み出し、フィードバック制御といった量子誤り訂正に求められる技術要素を着実に実現しています。今後はさらなる大規模化に向けて、十字等の擬2次元配列の制御性の検証や、スピンシャトリング等の遠隔量子ビット結合技術を応用した量子ビットレイアウトの開発、密集した量子ビットに正確な制御信号を伝達しシグナルインテグリティを担保する技術の開発に取り組みます。これらは誤り耐性量子計算機の実現に一つも欠かすことのできない要素であり、これらの要素を統合したプラットフォームの確立を目指して研究を推進します。