

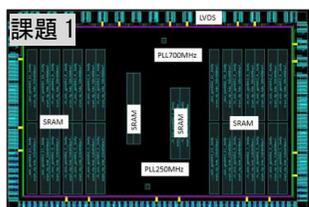
研究開発項目

4. フロントエンド・バックエンドの Cryo CMOS 化

2023年度までの進捗状況

1. 概要

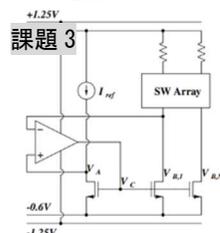
本研究開発項目では、スケーラブルなシステム構築のためのデバイス開発を目標に、Cryo(極低温 4K)で安定動作可能な ASIC(アプリケーション専用集積回路)や SoC(システムオンチップ)の開発を行う。具体的には、次の 4 つの課題に取り組んでいる。課題 1 では、フロントエンドのデジタル回路の一部を Cryo で動作させるための ASIC 開発を行う。課題 2 では Cryo-RF(無線周波数)デバイスモデルの構築のための特性評価チップを試作するとともに受動素子を加えた特性の評価を行う。課題 3 では、低電圧、高精度電流 DAC (デジタルアナログ変換器)の開発を行うとともに、要素回路の自動設計に取り組む。課題 4 では、Cryo で動作する単体 ADC(アナログデジタル変換器)の試作を行い、4K での性能評価を行う。



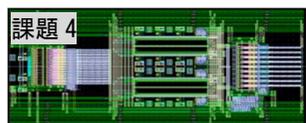
課題 1 デジタル回路のフロアプラン



課題 2 RF デバイスモデル用テストチップ



課題 3 低電圧高精度電流 DAC の回路図

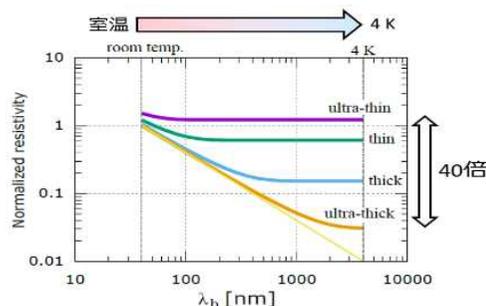


課題 4 10bit Cryo ADC のレイアウト

2. これまでの主な成果

課題 1 では、現状 FPGA と HBM で実装されているフロントエンドのデジタル回路の専用 ASIC と RF/ ADC/DAC を統合したフロントエンド向け SoC のアーキテクチャの検討を行うために、項目 2 よりすでに FPGA 上に実装済の RTL を入手し、それを ASIC 向けに改変することで 22nm パルクプロセスを用いて ASIC 化し、テープアウト(設計データの提出)を行った。

課題 2 では、デバイス特性を計測するためのチップ試作を行なうとともに、理論検討の結果を国際会議に投稿した。また、要素回路である PLL (位相ロック発振器)は RF フロントエンドでマイクロ波信号源として用いるだけでなくデジタル部のクロック源としても使用する。RF 信号源およびクロック源用の PLL を 22nm CMOS プロセスにて設計・試作を行なった。さらに Cryo RF での特性についても理論検討を行い、チップ内の配線特性に着目し、Cryo では配線の抵抗率が配線形状に強く依存することを数値計算で明らかにした。下図に示すように、配線形状によって抵抗率が 40 倍以上異なることが示されており、従来のように抵抗率を 1 つの定数として扱うモデルでは精度の高いモデル化は困難であると考えられる。本成果は国際会議に採択された。



各種配線の抵抗率の温度依存性

課題 3 では、Cryo で動作する低消費電力の DAC を設計し 65nm CMOS プロセスで試作した。常温、Cryo での測定環境の構築を進めた。また来年度予定している 22nm での試作に向けて設計を始めた。昨年度、DAC の自動設計を深層強化学習で試みた結果、回路規模が大きいため膨大な学習時間が必要であることがわかった。そこで本年度は学習時間短縮のため 2 つのアルゴリズムを Python で実装し、DAC を構成する基本回路で検証した結果、大幅な時間削減が可能であることを確認した。

課題 4 では、性能スケーラブルな高速 ADC を開発するため、インターリーブ動作に適した単体 ADC の変換アーキテクチャを検討し、22nm CMOS プロセスを使用して ADC の試作を行った。また、Cryo における回路動作の理解と動作の確実性を高めるために、比較器やリングオシレータなどの要素回路を試作した。さらに、試作した回路の Cryo での動作を確認するために、下図に示す液体ヘリウムを用いたデュワー型の Cryo 評価環境を整備した。試作した ADC 及び要素回路の評価を常温及び 4K で実施し、すべての回路の正常動作を確認した。



デュワー ASIC 評価用インサート

最大接続数
同軸：8 本
信号線：96 本

基板：12cm 角

3. 今後の展開

次年度はデジタル部、DAC、ADC、RF-PLL を統合した SoC の試作を行い、Cryo での動作を確認する。さらに各要素回路のチップ試作と検証も行う。また、課題 1 では Cryo で動作する SRAM、ならびに低電力化のための組み込み DRAM を用いたメモリの試作も行う予定である。