研究開発項目

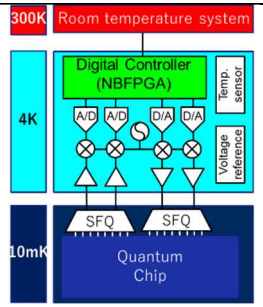
3. 量子誤り訂正用エレクトロニクスの研究開発

2023年度までの進捗状況

1. 概要

現在の超伝導量子ビット回路の典型的なセットアップでは、極低温に置かれた量子ビットチップと室温で動作するマイクロ波エレクトロニクスが、量子ビット一つ当たり 1 本以上の同軸ケーブルにより配線されています。しかし冷凍機のスペースや冷却能力の限界から、この方法では量子ビットのスケールアップに対応できません。本研究開発テーマでは、この問題を解決するために、なるべく量子ビット近傍で動作する量子ビット制御、読出しのエレクトロニクスを開発し、集積化に向けた配線のボトルネックを打破することを目的としています。

この開発においては、限られた冷凍機のスペースや冷却能力の中で、如何にして量子誤り訂正を効率的に実行する制御システムを実現するかが課題です。本研究開発テーマでは数十 GHz での動作が可能かつ超低消費電力回路である単一磁束量子回路、柔軟性に優れ高度な処理が可能かつ低消費電力な原子スイッチ FPGA を軸に、それらが協調動作する低温エレクトロニクスシステムの開発を行います。

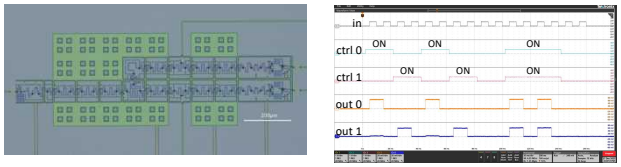


量子ビット制御・読出し用低温エレクトロニクス

2. これまでの主な成果

① 低臨界電流密度プロセスによる単一磁束量子回路で信号分配回路の動作実証に成功

単一磁束量子（SFQ）回路は、これまで主に液体ヘリウム温度の 4.2 K での動作を想定して設計されてきました。しかし本研究開発では量子ビットと同じ 10 mK での動作が必要であり、従来の SFQ 回路をさらに低消費電力化する必要があります。より低温でのデバイス特性の変化も考慮しつつ、SFQ 回路に用いるジョセフソン接合の臨界電流値を 1/10 以下に低減すると同時に駆動電圧を下げることで、消費電力を 1/50～1/250 に低減するための回路設計指針を昨年度までに明らかにしました。開発した SFQ 回路の回路要素（配線や論理ゲートなど）は順次「セル」として設計用のライブラリに登録し、セルを組み合わせて様々な SFQ 回路を設計できるように構築していきます。今年度は、オンチップテストにより開発した SFQ 回路が約 10 GHz の高周波動作が可能であることを確かめるとともに、複数の量子ビットを制御するためのマイルストーンとなる、信号分配回路の動作実証を 0.3 K の測定環境で行いました。

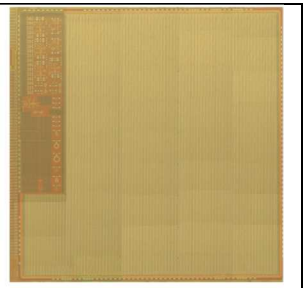


試作した SFQ 信号分配回路の顕微鏡写真と動作確認波形

② 4K 向けナノブリッジ FPGA の製造を完了

誤り訂正処理を行う際、多様な訂正アルゴリズムに対応するため低温で動作する FPGA の開発を行っています。FPGA は 4 K での動作を想定しており、本研究プロジェクトでは、市販の CMOS ベースの FPGA に比べて、室温にて 1/4 程度の消費電力である原子スイッチ（ナノブリッジ）FPGA を、低温で動作可能にすることを軸に開発を進めています。昨年度までに標準 CMOS プロセス（65 nm）でのナノブリッジ FPGA 部の設計を行いましたが、今年度はそれらに ADC 等のアナログ回路を搭載した低温 SoC の設計を行い、ナノブリッジを混載した CMOS ウェハの製造が完了しました。

- 諸元 (FPGA部)
  - 4入力LUT： 33,792
  - DFF：33,792
  - 演算器（11bit積和演算）：64
  - Block RAM (512w-8b)：192
  - LVDS RX: 6
  - LVDS TX：6
  - DIO(2.5V)：18
- SoC
  - Analog FE（LNA, ADC, ･･･）
  - SRAM Buffer (2kword, 16bit)
  - FPGA Macro.



ナノブリッジ FPGA 混載低温 SoC の仕様　　チップ写真

3. 今後の展開

SFQ 回路については、信号分配回路を超伝導量子ビットに接続し、複数の量子ビットのデジタル制御実験にチャレンジします。

ナノブリッジについては、製造したチップの低温での動作確認を行います。