誤り耐性型量子コンピュータにおける理論・ソフトウェアの研究開発

### 研究開発項目

# 1. クロスレイヤー協調設計モデルの開発と拡張



# 2023年度までの進捗状況

#### 1. 概要

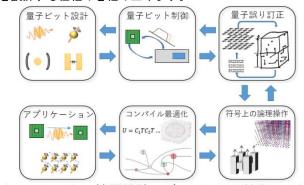
本研究開発テーマでは誤り耐性型量子コンピュータの設計を効率的に行う枠組みを構築します。通常の計算機には計算機の全体像を切り分け最適な設計を探求する種々の枠組みがありますが、誤り耐性型量子コンピュータにはこうした基盤が存在しません。このことが長期的な計画の立ち、とで来必要となる技術を先取りした開発を困難にしてではいい耐性型量子コンピュータで技術的なレイヤーを超えた協調設計を可能にするソフトウェア基盤「クロスレイヤーを超えた協調設計モデル」を構築します。このシステムを活用することで、誤り耐性型量子コンピュータの全体像を見据えた研究開発や、今後必要となる技術や要求性能を先読みした研究開発や、今後必要となる技術や要求性能を先読みした研究テーマの設定が可能となります。こうした取り組みはムーンショット目標6が目指す実用的な誤り耐性型汎用するフピュータの実現を計画的に行う上で重要となります。



クロスレイヤー協調設計モデルの構想図

クロスレイヤー協調設計モデルの開発は以下のような手続きで進めます。まず、誤り耐性型量子コンピュータで必要となる要素を技術レイヤーごとに分解し、各レイヤーに

おいて誤り耐性型量子コンピュータを構成するのに必要な構成要素を列挙したミニマルモデルを構築します。このモデルをもとに将来的な技術的課題を洗い出し、他項目の研究者と連携して課題を一つずつ解決します。そこで得られた結果をミニマルモデルに肉付けする形で還元し、複数の技術を組み合わせた現実的で洗練された量子コンピュータを設計する仕組みを組み上げます。



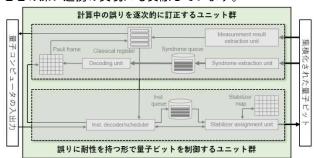
クロスレイヤー協調設計モデルにおける技術レイヤ

# 2. これまでの主な成果

- ① 超伝導量子ビットのミニマルモデルの構築
- ② 実用的な量子計算機の要件の定量化
- ③ ミニマルモデルの多様なデバイスへの横展開
- ④ 量子計算機のボトルネック改善手法の提案

我々はまず各レイヤーにおける要素を技術的に評価する ミニマルモデルを、超伝導量子ビットに向けて構築しました(成果①)。この中で誤り訂正機構のアーキテクチャや回 路の設計、誤りに耐性のあるノード間通信プロトコルの設 計、誤り耐性量子計算を対象としたコンパイラの構築、実 用的なタスクでのベンチマークの設計などを行い、実用化 に期待されるシステムの規模や要件を定量的に明らかにし ました(成果②)。この成果を、目標 6 内での連携を通しイ オンや中性原子といった超伝導量子ビット以外の量子デバイスにも拡張しました(成果③)。これらの取り組みにより、現状の計算機のボトルネックや、大規模化における課題が明らかになりました。この知見をもとに、コンパイル最適化や設計の改善を行い、実用化に向けた課題を解決または緩和するための手法を提案しました(成果④)。

本課題の成果はレイヤーごとに網羅的に設計された評価 基盤により可能となったものです。この成果は開発目標の 具体化と性能の改善を可能にしただけでなく、技術的なレ イヤーを跨いだ設計探索や計算機、物理、回路設計分野な どとの深い連携の実現にも貢献しています。



量子誤り訂正を行う制御機構の構造図

## 3. 今後の展開

引き続きソフトウェア、量子ビット、計算機の設計、回路集積化に取り組むグループとの連携を密にして、量子計算機の開発と性能改善の提案に取り組みます。現地点では得られた最適化手法や改善手法はそれぞれが単体で評価されていますが、これらを統合し相互に最適化する機構を構築することで、目指すべき量子計算機の設計を具体化します。これにより誤り耐性量子計算の柔軟かつ具体的な設計を可能にするとともに、その課題の解決にいち早く取り組みます。

