

低炭素社会の実現に向けた
技術および経済・社会の定量的シナリオに基づく
イノベーション政策立案のための提案書

GaN 系半導体デバイスの技術開発課題と その新しい応用の展望 (Vol.4)

－ GaN パワーデバイス製造コスト－

令和 2 年 2 月

**Technological Issues and Future Prospects of GaN and
Related Semiconductor Devices (Vol.4):**
Manufacturing Cost of GaN Power Device

Proposal Paper for Policy Making and Governmental Action
toward Low Carbon Societies

**国立研究開発法人科学技術振興機構
低炭素社会戦略センター**

LCS-FY2019-PP-05

概要

GaN MOSFET 製造コストを簡略製造プロセスにより推定した。4 インチ GaN 基板 (400 千円/枚) を利用した場合の 10mm チップ製造コストは 16~20 千円/個程度と推定された。現状では基板コストが製造コストの 60% 近くを占めるため、基板価格の引き下げが重要と考えられる。

前回提案書のように技術的な課題をクリアできれば、GaN 単結晶基板も 1 インチ 10 千円程度まで引き下げられる可能性があり、この場合には GaN MOSFET の 10mm チップが 5 千円程度になる。また、より安価な基板、例えば SiC 基板などの使いこなしも検討課題である。

設備費の中ではエピタキシャル成長装置が全体の 50% を占めるので、この工程のコストダウンが重要となる。このことから、大口径基板の使用、多数枚取り、生産時間の短縮、p 層形成技術などが課題と考えられる。さらに将来的には現在よりも格段に高生産性の成膜方法や p 層形成技術などの高効率プロセスや新規素子構造の開発が重要と考えられる。

Summary

The GaN MOSFET manufacturing cost was estimated by a simplified manufacturing process. The 10mm chip manufacturing cost was estimated to be 16,000~20,000 JPY / piece when using a 4-inch GaN substrate (400,000 JPY / piece). At present, the cost of the substrate accounts for nearly 60% of the manufacturing cost, so it is important to reduce the substrate price.

If technical issues can be cleared as described in the previous report, the GaN single crystal substrate cost may be reduced to about 10,000 JPY per inch. In this case, a 10 mm chip of GaN MOSFET would cost about 5,000 JPY. In addition, technology that makes full use of cheaper substrates, such as SiC substrates, is also an issue to be studied.

Since the epitaxial growth equipment accounts for 50% of the equipment cost, it is important to reduce the cost of this process. For this reason, the use of a large-diameter substrate, a large number of substrates, and a reduction in production time, p-layer formation technology, etc. are the issues to be studied. In addition, it will be important to develop the process of markedly higher productivity than the present, the efficient p-layer forming method, and the new device structure in the future.

目次

概要

1. はじめに	1
2. 基板	1
2.1 概観	1
2.2 GaN 基板	2
2.3 SiC 基板	2
2.4 バッファ層付き Si 基板	2
3. デバイス製造プロセス	2
3.1 概観	2
3.2 目標素子構造	3
3.3 プレーナ型デバイス製造プロセス	3
3.4 トレンチ型デバイス製造プロセス	6
4. デバイス製造コスト	8
4.1 プレーナ型デバイス	8
4.2 トレンチ型デバイス	10
5. 製造コストに影響を与える各種要因	10
5.1 基板コストの影響	10
5.2 チップサイズの影響	11
5.3 基板サイズの影響	11
6. まとめ	11
7. 政策立案のための提案	12
参考文献	12

1. はじめに

GaN は、材料の持つ高い電子移動度やワイドバンドギャップから、高周波用途、高電圧用途のデバイスとして期待されている。一方で、GaN デバイスが Si や SiC 半導体などの他の競合デバイスと比較して優位に立つためには性能だけではなく、コストも非常に重要な要素である。そこで今回のレポートでは GaN デバイスの製造コストを推定して、他の素子との競合可能性を評価する。

電子デバイスはその用途に応じて複雑な構造をとるため、デバイスの構造は様々であり、その構造に応じて製造プロセスも複雑である。その製造プロセス全てについてプロセス条件を決めてコストを算出することは、当該プロセス自体が非公開で詳細な条件が不明な現状では現実的ではない。

化合物半導体デバイスの用途としてレーザー、LED、高周波、パワーデバイスがあげられるが、まずはパワーデバイスとしてその中心となると思われる MOSFET に注目することにした。全体の製造プロセスは大変に長いので、ヒアリング等により、後述のようにコストに大きな影響を及ぼすと考えられるプロセスを中心に簡略化したプロセスを仮定して製造コストを計算した。

2. 基板

2.1 概観

現在 GaN デバイスの基板としては、GaN、SiC、GaN/緩衝層 (BL) /Si の 3 種類が検討され、あるいは実用化されている。各基板材料の物性値比較は表 1 のとおりである。

表 1 各種 GaN デバイス用基板材料物性表

	単位	GaN基板		Si基板	SiC基板(4H)	
		a軸	c軸		a軸	c軸
格子定数	10nm	3.189	5.178	5.43	3.073	10.053
熱膨張係数	$10^{-6}/K$	5.59	3.17	2.4	4.2	4.68
熱伝導率	W/cm/K	2		1.3	4.9	
バンドギャップ	eV	3.37		1.11	3.23	
移動度	$cm^2/V/sec$	1,200		1,500	1,000	
絶縁破壊電界	(MV/cm)	2.6		0.3	2.8	
誘電率		9		11.8	10	
価格	千円/枚	200~400(2"品)*1		11(12")*2 GaN on Si 60(6")*1	40~50(4"品)、110~120 (6"品)*1	
長所		ホモエピタキシャルが可能 GaNの特性最大化		高品質(低欠陥)基板 低価格 大型基板のため 量産に適する	格子ミスフィットが小さい。 SiC素子と基板共通	
短所		極めて高価 欠陥密度が 大きい		格子ミスフィットが大きい 熱膨張係数差が大きい	Siに比較すると基板が高 価 欠陥密度が一定数	
課題解決のための 技術内容		低コスト高品質GaN単結 晶育成法の開発		数十層の超格子バッファ 層上に素子を形成。構造 が複雑で生産効率低い	低コスト高品質SiC単結晶 合成法の開発	

*1 株式会社富士経済 (2018)

*2 <https://www.ys-consulting.com.tw/news/79538.html>

GaN 基板に GaN デバイスを形成すれば、格子整合、熱膨張係数差の問題もなく、もっとも適していることは明らかであるが、GaN 単結晶の製造が難しく、現在研究開発段階である。また、コ

ストについても、既報のように将来の技術的ブレークスルーを見込んではいじめて Si に競合可能なほどの低欠陥密度、低コストの基板が実現すると考えられる。技術の詳細は既報を参照[1]。

SiC 基板は現在 4 インチ品で 40～50 千円/枚と 2 インチ品の GaN (200～400 千円/枚) よりもかなり低価格で市販されている。SiC は格子定数が GaN に近く、良質の GaN ヘテロエピタキシャル結晶膜が得られると考えられている。また SiC は熱伝導率が大きく、放熱に優れるため GaN/SiC は携帯電話基地局などに実用されているという。

Si 基板は高品質大口径の基板が低価格で得られることが最大の長所であり、現在 12 インチ基板で 11 千円程度といわれている[2]。しかし格子定数や熱膨張係数のミスフィットが大きいため、数十層の超格子バッファ層の形成が必要という難点がある。

2.2 GaN 基板

詳細は前報に記載したので省略する。現状では 4 インチの単結晶基板で 400 千円/枚程度といわれている。また 6 インチ基板は商業的に供給されているとはいえないが、仮の価格として 600 千円/枚とした。

2.3 SiC 基板

SiC は GaN と同じく、常圧下で融点を持たず、熱分解するため、融液法による単結晶育成はできない。そのため、一般的な単結晶製造法は昇華法といわれる方法で、高温の炉の下部で SiC を気化し、炉の上部に設置したやや低温の種結晶上に析出させて成長させる。SiC は結晶多形をもち、転位などの欠陥が入りやすい。このため SiC 基板においては欠陥密度、特にキラ欠陥といわれる欠陥数の低減が課題といわれている。

もっとも、いわゆる次世代半導体の中では研究開発が一番進んでいて、4～6 インチの単結晶基板が比較的低価格で市販されている。ここでは 4 インチ基板を 100 千円/枚、6 インチ基板を 200 千円/枚と仮定した。

2.4 バッファ層付き Si 基板

Si 基板は格子ミスフィットが大きすぎてそのままでは良好な GaN のエピタキシャル成長はできない。そこで AlN/AlGaIn/多層中間膜を Si 基板上に形成し、その上に GaN をエピタキシャル成長させる方法がとられる[3-5]。多層膜は数十層におよび作成に手間がかかるが、良質低コストな Si 基板の利用が可能のため、コストは SiC 基板の半額程度である。本報告では 4 インチ基板を 40 千円/枚、6 インチ基板を 60 千円/枚と仮定した。

3. デバイス製造プロセス

3.1 概観

半導体デバイスと一口に言っても、レーザー、LED、高周波デバイス、パワーデバイスなど多岐にわたり、その用途によりサイズ、構造も大きく異なり、またそれぞれが複雑な工程を経て製作されるため、コスト推定を単純化するのは困難である。しかも、将来コストの推定をするときには現段階では不明の将来の半導体デバイスの構造を仮定しなければならない。したがって詳細な構造等に注目することは不可能であるし、適当でもない。

発光デバイスにおいては GaN/sapphire による既存 LED で照明用途などに十分な性能が得られており、これを GaN 単結晶基板に変えて得られる省エネルギー効果はそれほど大きくない。そこで、本検討では GaN が性能を発揮すると考えられるパワーデバイス用途を主体に検討することにした。

また、デバイス製造プロセスは極めて長いものであるが、計算の便宜を考え、専門家へのヒア

リング等により製造プロセスを主要なものに絞り込み 3.3、3.4 に示す簡略化製造プロセスとした。

3.2 目標素子構造

もっとも単純なパワーデバイスとして GaN の縦型 MOSFET をとりあげる。この構造は図 1 に示すようなプレーナ型で、ゲートに電圧を印加した場合、p 型領域の抵抗が下がってソースからドレインへ縦方向に電流が流れる[6]。このため縦型素子といわれる。この構造を現行技術で作るとなると、イオン打ち込みがまだ実用的ではないので、エピタキシャル成長プロセスを何回も繰り返す必要があり、高コストになるのが難点である。この点を回避する方法としてトレンチ構造も提案されているため[7]、前記両構造を目標とする。これらの構造は電子の流れる面積を大きく取れるために大電流を制御でき、パワーデバイスとしては基本的な構造である。

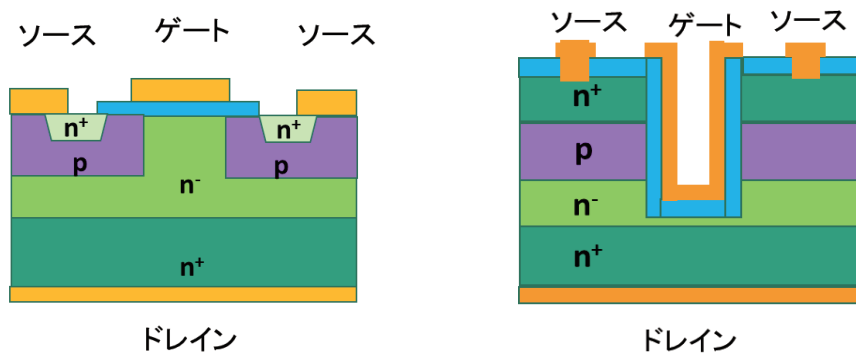


図1 GaN 縦型 MOSFET (左：プレーナ型、右：トレンチ型)

3.3 プレーナ型デバイス製造プロセス

前記目標素子構造（縦型 MOSFET）を製造するためのプロセスとして図 2、図 3 に示すようなプロセスを仮定した。

図 3 に示すように各工程の運転条件を仮定してマテリアルバランス、タクトタイムなどから設備費、変動費を算出した。これは図 2 の最初のプロセスの n^- -GaN エピ層形成工程の詳細工程である。エピタキシャル成膜速度は 50nm/min を、ドライエッチング速度は 460nm/min を仮定した。なお GaN FET 基板以降の工程は一般的な素子製造工程であることから、GaN パワーデバイスに特有の製造コストとはいえない[8-11]。

このようにして各工程のマテリアルバランスを計算するとともに、年間に GaN FET を 1300 万个製造するとして、各工程につきタクトタイムを想定して製造装置の種類と必要数量および必要人員を計算した。 n^- -GaN エピ層形成工程の一例を表 2 に示す。

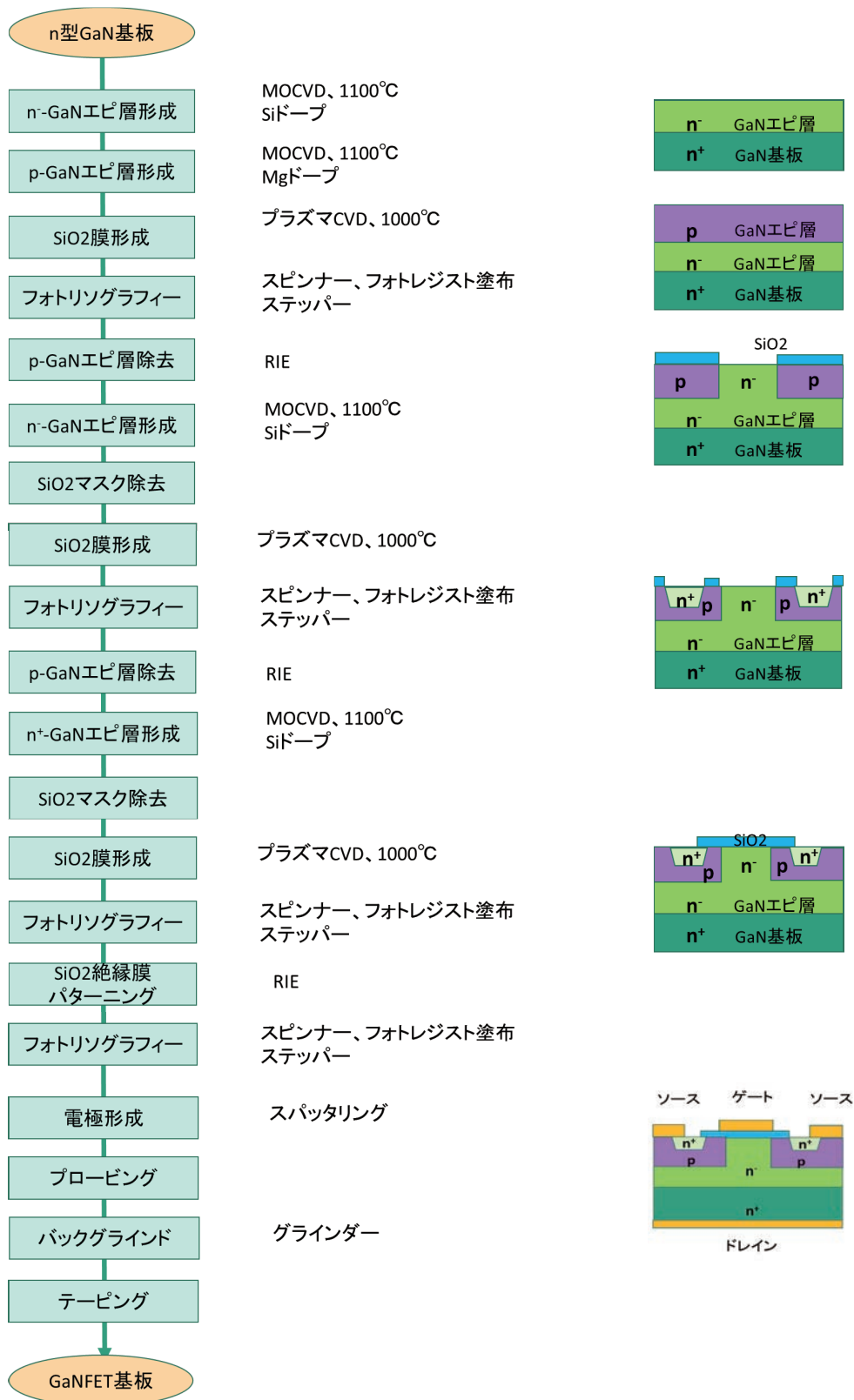


図 2 製造プロセスフローと対応する素子構造

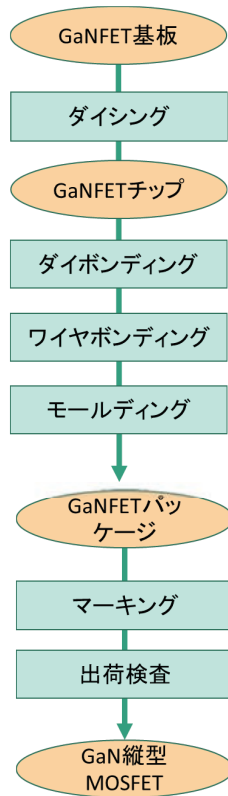


図 2 製造プロセスフローと対応する素子構造 (続き)

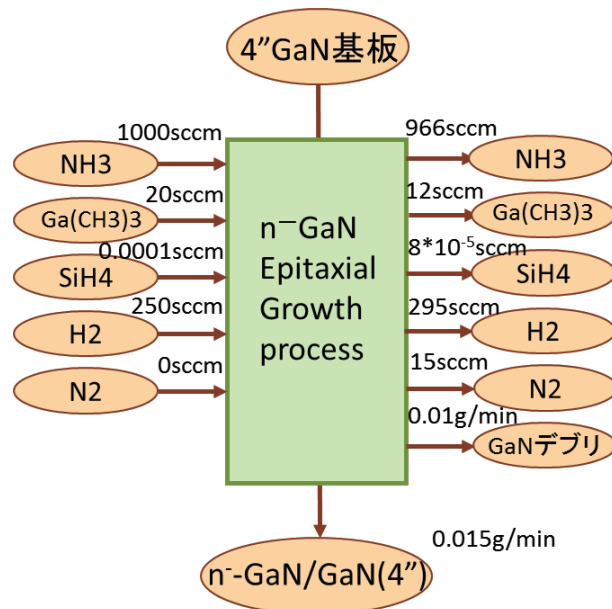


図 3 詳細工程例 (n-GaN エピ層形成工程)

表 2 詳細工程例：n⁻-GaN エピ層形成工程の必要製造装置数および必要人員の計算

GaN エピ膜成長工程-1.2				人員	単価	小計	収率
	年間投入枚数	375,000	枚				90%
	年間生産枚数	337,500	枚				
	年間装置稼働時間	7,200	hr/年				
	基板装荷数	6	枚/台				
	装置設置面積*	15	m ² /台	3m×2m		885	m ²
	成長速度	0.050	μm/分	切り上げ			
	エピ層厚み	2	μm				
	保守時間	144.00	hr				
	1B時間	7	hr				
	1台あたり年間バッチ数	960	B				
	1台あたり消費電力	25	kW			1,475	kW
	所要設備数	58.6		59	350	20,650	百万円
	年間消費電力	421,900	kWh/台			49,784,200	kWh
	推定人員数	4	台/人	4直3交代	59	7	413 百万円
全工程数		2					
	全工程消費電力					2,950	kW
	全工程所要設備			118		41,300	百万円
	全工程人件費			118		826	百万円

*巴工業 HP (<https://www.tomo-e.co.jp/chemical/products/detail.php?page=1&category=Development&id=27CQVUZ>)

3.4 トレンチ型デバイス製造プロセス

トレンチ型デバイスは図 4 のような工程になる。この場合、デバイス化プロセスは煩雑となるが、エピタキシャル工程が 1 回で済む点が利点である。このプロセスでの詳細は省略するが、プレーナ型と同様の検討を行った。なお GaN FET 基板以降のプロセスはプレーナ型、トレンチ型ともに同じである。

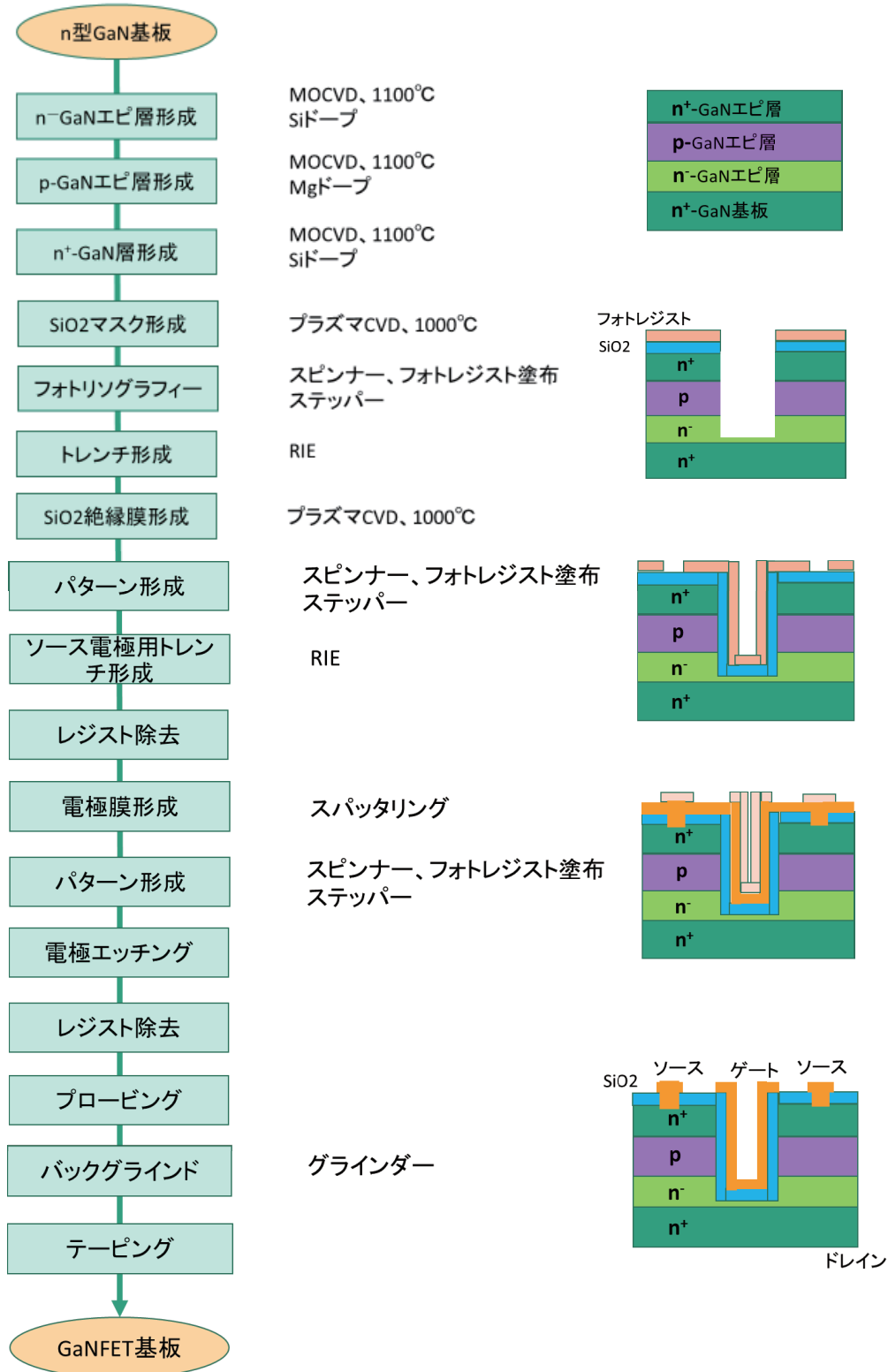


図 4 製造プロセスフローと対応する素子構造

4. デバイス製造コスト

4.1 プレーナ型デバイス

4.1.1 設備費

表 3 に前項で示したプロセスに用いられる主要製造装置と数量、推定価格を示した。主に価格は文献[2]によった。この結果設備機器費用の合計は約 1500 億円、そのうち GaN エピタキシャル装置が 770 億円となり、エピタキシャル工程のコストが大きいことがわかった。これらに所定の工事費用を加算して、設備投資費用としては約 3800 億円と推定した。

表 3 GaN MOSFET 製造設備費

機 器 名 称	台数	単価 百万円	機器費 百万円
ガス供給設備			2,000
MOCVDエピ成長装置	221	350	77,350
SiO ₂ 膜成長pCVD装置	160	150	24,000
Ga(CH ₃) ₃ 供給設備	221	10	2,210
ガスタンク類	8	30	240
コーター	8	100	800
ステッパ	8	300	2,400
レジスト洗浄槽	28	30	840
RIE	24	100	2,400
CMP装置	4	50	200
電極用スパッタ装置	2	400	800
バックグラインダ	6	100	600
ダイシング装置	6	30	180
モールディング装置	3	60	180
ウェーハ外観検査装置	2	70	140
チップ外観検査装置	3	60	180
電気テスト装置	3	60	180
ガス分離塔	7	50	350
その他設備	1		180
水洗・乾燥機	45	10	450
クリーンルーム	10,000	800	8,000
排ガス処理設備	成長装置の30%		30,410
機器費小計			154,100
土木・建築・据え付け、 配管、計装、電気工事一式	機器費の146%		225,000
合計			379,000

4.1.2 変動費

図 3 に例示したようなマテリアルバランスを各工程について計算し、それらの結果に基づく変動費を表 4 に記載した。

表 4 GaN MOSFET 製造変動費

	GaN =				13,310,000 チップ/年		
	年間使用量		単価		MOSFETチップ		変動費 円/枚
					原単位		
4" GaN基板	374,600	枚	400,000	[円/枚]	0.028	[枚/チップ]	11,260.00
TMG	9,040	[kg]	200,000	[円/kg]	0.001	[kg/チップ]	135.84
SiH ₄	10,560	[kg]	50,000	[円/kg]	0.001	[kg/チップ]	39.67
Ar	1,000	[Nm ³]	400	[円/m ³]	0.000	[m ³ /チップ]	0.03
高純度NH ₃	67,600	[kg]	1,000	[円/kg]	0.005	[kg/チップ]	5.08
H ₂	22,300	[Nm ³]	60	[円/m ³]	0.002	[m ³ /チップ]	0.10
N ₂	178,000	[Nm ³]	14	[円/m ³]	0.013	[m ³ /チップ]	0.19
Pure Water	10,000	[t]	33	[円/t]	0.001	[kg/チップ]	0.02
電力	53,700	[MWh]	12	[円/kWh]	0.004	[kWh/チップ]	0.05
石英管	240	[t]	4,000	[円/kg]	0.000	[kg/チップ]	0.07
計装Air	100,000	[Nm ³]	4	[円/Nm ³]	0.008	[m ³ /チップ]	0.03
変動費合計							11,440.00

4.1.3 製造コスト

上記変動費および設備費をもとに GaN10t/年相当の 4 インチウェファァー(375,000 枚)から 10mm 角の MOSFET を約 1300 万個製造したときの製造コストを推定した。

その結果、表 5 に示すように製造コストは約 20,000 円/個となった。この製造コストのうち、基板コストが 11,400 円と約 55%を占め、基板コストの低減が最優先課題であることが明らかとなった。

表 5 GaN MOSFET デバイス (10mm チップ) の推定製造コスト

				単価(円/個)
製造量	GaN10mmチップ	13,310,000	個/年	
設備費		379,000	百万円	
固定費	※1設備償却費	108,015,000	千円/年	8,120
	※2労務費	2,367,750	千円/年	180
	小計			8,300
変動費				11,440
製造コスト				19,700

また、固定費をみると GaN エピタキシャル層成長工程の設備費が大きく、全体の 50%を占める。この工程の生産性向上が課題と考えられる。具体的には基板の大径化、多数枚取り、膜成長速度の高速化が有力と考えられる。

なお省令にしたがって設備償却年数は 5 年、定額償却とし、補修費を年当たり設備投資額の 5%、税金、保険等諸経費は残存簿価の 3.5%/年として平均残存簿価 (=設備投資金額の 1/2) について平均必要経費を算出して設備償却費に加算して表示している。

4.2 トレンチ型デバイス

MOCVD 装置の数が減少した分だけ製造コストは低下した。ここでは製造コストの結果のみを示す (表 6)。

表 6 GaN トレンチ型 MOSFET デバイス (10mm チップ) の製造コスト

				単価(円/個)
製造量	GaN10mmチップ	14,900,000	個/年	
設備費		292,000	百万円	
固定費	※1設備償却費	83,220,000	千円/年	5,590
	※2労務費	3,675,000	千円/年	250
	小計			5,840
変動費				10,110
製造コスト				16,000

設備費が減少した結果、固定費が 30%減少して製造コストは 16,000 円/チップとなった。またエピタキシャル工程が減少して収率が少し向上した結果、変動費もやや低下した。これらのうち基板コストは約 10,000 円で製造コストの 60%以上となった。

5. 製造コストに影響を与える各種要因

ここではプレーナ型を中心に検討した結果を示す。トレンチ型はこれより固定費が約 30%ほど低くなると考えられる。

5.1 基板コストの影響

4 インチ基板を用いて GaN FET デバイスを製造したときの基板コストが製造コストに与える影響を図 5 に示した。ここで基板コスト 40 千円/枚は GaN/BL/Si を、100 千円/枚はエピ層付き SiC 基板を、400 千円/枚は GaN 基板を想定している。もちろんこれら基板によって製造プロセスは変わるが、概算としてはほぼ同じプロセスとみなして良いのではないかと考えた。いずれにしろ基板コストが 100 千円/枚まで下がれば、約 11 千円/個程度のデバイスが製造できる。

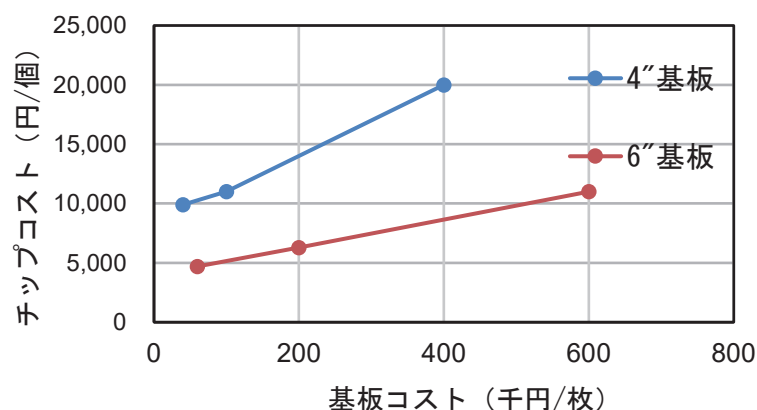


図 5 基板コストとデバイス製造コスト

本提案書で想定したような縦型デバイスは GaN もしくは SiC 基板を用いないと製造は難しく、今後も SiC 基板の価格が低下するとすれば、GaN 基板の製造研究と同時に SiC 基板を使いこなす研究も重要と考えられる。

5.2 チップサイズの影響

チップサイズが小さくなれば一枚の基板から多数のデバイスが 1 回の製造プロセスによって製造できるためコストは低下する。逆にチップサイズが大きくなれば高コストとなる。

4 インチ GaN 基板を使用した場合、チップサイズにより表 7 のようなコスト差となった。

表 7 デバイスのチップサイズと製造コスト (4"基板)

5mm チップ	4,700	円/個
10mm チップ	20,000	円/個
15mm チップ	64,000	円/個

5.3 基板サイズの影響

6 インチ GaN 基板を使用した場合、チップサイズにより表 8 のようなコスト差となった。

表 8 デバイスのチップサイズと製造コスト (6"基板)

5mm チップ	2,400	円/個
10mm チップ	11,000	円/個
15mm チップ	26,000	円/個

さらに 6 インチ GaN 基板コストが低下した場合についての 10mm チップの製造コストを表 9 に示した。GaN on Si 基板は 6 インチで 60 千円というデータがある[2]。

表 9 基板価格と 10mm チップ FET 製造コスト (6"基板)

60	千円/枚	4,500	円/個
200	千円/枚	6,100	円/個
600	千円/枚	11,000	円/個

また、エピ層付き SiC 基板は 6 インチで 200 千円程度で入手可能と想定した。

なお、前報では基板製造技術が進展した場合には 6 インチ GaN 基板が 60 千円で製造できる可能性を報告した[1]。今後、6 インチ GaN 基板を 60 千円で供給できれば、10mm サイズの MOSFET が 5,000 円程度で供給できる可能性があると思われる。

6. まとめ

- (1) GaN MOSFET 製造コストを簡略製造プロセスにより推定した。4 インチ GaN 基板 (400 千円/枚) を利用した場合のプレーナ型 10mm チップ製造コストは 20,000 円/個程度、トレンチ型は約 16,000 円/個と推定された。
- (2) 現状では基板コストが製造コストの 60% 近くを占めるため、デバイス製造コストを低下させるためには基板価格の引き下げが最重要と考えられる。
- (3) 前回提案書[1]に示したように、技術的な課題をクリアできれば、GaN 単結晶基板も 1 インチ 10 千円程度まで引き下げられる可能性があり、この場合には GaN MOSFET の

10mm チップが 5,000 円程度になる可能性がある。また、より安価な基板、例えば SiC 基板などの使いこなしも検討課題である。

- (4) また設備費の中ではエピタキシャル成長装置が全体の 50%を占めるので、このコストダウンが重要となる。本検討においては 4 インチ基板から 6 インチ基板にするだけで 20,000 円/個から 11,000 円/個へと 50%近くのコストダウンが見込めた。またエピタキシャル工程を 1 回で済ませるトレンチ構造を採用すると固定費が 30%減少した。このことから、製造技術としては大口径基板の使用、多数枚取り、かつ生産時間の短縮が検討課題と考えられる。また素子構造としてトレンチ構造の採用、p 層形成技術としてのイオン打ち込み技術なども低コスト化に有力である。将来的には現在よりも格段に高効率の成膜方法などのプロセス開発や新しい素子構造の開発も重要と考える。
- (5) 今回は総合収率で 60%程度とかなり高く仮定して上記の結果が得られた。現状のデバイス総合収率はこれより低いと推定され、製造コストは本報告よりも高いと考えられる。

7. 政策立案のための提案

まとめの項で述べたように、GaN デバイスの製造コストを下げるためには良質（低欠陥密度）低価格の単結晶基板の供給と GaN デバイス製造工程の効率化が必須である。

基板については、安価で良質な GaN 単結晶育成方法の研究が重要である。さらに現在、相当程度高品質の SiC 基板（4 インチ、6 インチ）の価格が低下してきていることから、GaN デバイス基板として SiC 基板を使いこなす研究および SiC 基板のさらなる高品質化の研究も重要と考える。

エピタキシャル層成長工程については既存 MOCVD 技術の改良である大口径化、多数枚取り、成膜速度の向上などのエンジニアリング研究も重要である。またトレンチ構造の採用や、イオン打ち込みなどによる p 層形成[12]などのエピタキシャル成長工程の削減につながる研究も重要である。将来的には MOCVD 法以外の高効率高品質成膜プロセスの基礎研究や新素子構造の研究が必要と考えられる。

参考文献

- [1] 低炭素社会の実現に向けた政策立案のための提案書、技術開発編，“GaN 系半導体デバイスの技術開発課題とその新しい応用の展望 (Vol.2)－GaN 結晶と基板製造コスト－”，科学技術振興機構低炭素社会戦略センター，2018 年 2 月。
- [2] 株式会社富士経済，“18 年版次世代パワーデバイス&パワエレ関連機器市場の現状と将来展望”，2018 年 2 月。
- [3] ワイズコンサルティング，“半導体用 8 インチウエハー，生産能力余剰も”，<https://www.ysconsulting.com.tw/news/79538.html>，2018 年 10 月。
- [4] 伊藤統夫，“MOVPE 法による GaN の結晶欠陥と電気的特性に関する研究”，名古屋工業大学博士論文，2009 年 3 月。
- [5] 池田成明他，“Si 基板上高出力 GaN HFET の開発”，古河電工時報，第 122 号，p.22-28，2008。
- [6] 木村鍊他，“高耐压 SiC MOSFET”，SEI テクニカルレビュー，第 183 号，p.125-129，2013。
- [7] Tohru Oka et al.，“1.8mohm/cm² vertical GaN-based trench metal-oxide-semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation”，Appl. Phys. Express 8, 054101, 2015。
- [8] 松本功他，“シリコン基板上 GaN パワーデバイスエピタキシャル成長用有機金属気相成長装置の現状と課題”，J. Vac. Soc. Jpn. 54(6) p.376-380，2011。

- [9] Chih-Kai Hu, et al., “Numerical Verification of Gallium Nitride Thin-Film Growth in a Large MOCVD Reactor”, Coatings 7(8), 112, 1-10, 2017.
- [10] 大川和宏他, “有機金属気相エピタキシー法における GaN 薄膜の成長シミュレーション”, J. Vac. Soc. Jpn., 49(9) p.520-524, 2006.
- [11] 鈴木宏之他, “MEMS・LED 高生産ドライエッチング技術の開発”, Panasonic Technical Journal 55(3), p.63-65, 2009.
- [12] Hideki Sakurai et al., “Highly effective activation of Mg-implanted p-type GaN by ultra-high-pressure annealing”, Appl. Phys. Lett. 115, 142104, 2019.

低炭素社会の実現に向けた
技術および経済・社会の定量的シナリオに基づく
イノベーション政策立案のための提案書

**GaN 系半導体デバイスの技術開発課題と
その新しい応用の展望 (Vol.4)**
－ GaN パワーデバイス製造コスト－

令和 2 年 2 月

**Technological Issues and Future Prospects of GaN and
Related Semiconductor Devices (Vol.4):
Manufacturing Cost of GaN Power Device**

Proposal Paper for Policy Making and Governmental Action
toward Low Carbon Societies,
Center for Low Carbon Society Strategy,
Japan Science and Technology Agency,
2020.2

国立研究開発法人科学技術振興機構 低炭素社会戦略センター

本提案書に関するお問い合わせ先

- 提案内容について・・・低炭素社会戦略センター 上席研究員 三枝 邦夫 (SAEGUSA Kunio)
- 低炭素社会戦略センターの取り組みについて・・・低炭素社会戦略センター 企画運営室

〒102-8666 東京都千代田区四番町5-3 サイエンスプラザ4 階
TEL : 03-6272-9270 FAX : 03-6272-9273 E-mail : lcs@jst.go.jp
<https://www.jst.go.jp/lcs/>

© 2020 JST/LCS

許可無く複写・複製することを禁じます。
引用を行う際は、必ず出典を記述願います。
