

研究終了報告書

「ヘテロジニアスな設計と制御に基づく誤り耐性量子計算」

研究期間: 2019年10月～2023年3月

研究者: 鈴木 泰成

1. 研究のねらい

量子計算機は従来よりも高速な計算を実現する技術として期待されているが、現在の性能は実用的なレベルに至っていない。その主な要因は量子ビットのエラー率の高さにある。量子ビットのエラーは量子誤り訂正符号を用いて逐次訂正することができるが、その代償として一つの論理量子ビットを構成するために多くの物理量子ビットが必要となるだけでなく、通常の計算機を用いた複雑な制御が必要となる。これまでのところ、量子誤り訂正を実現するための理論的なアイデアは提案されているが、その実装は理論提案に留まっており具体的ではない。このため、誤り耐性量子計算機の実現には多くの技術開発が必須となるが、その設計の見通しは明らかでない。従って、具体化された誤り耐性量子計算機の設計と、これを最適化するための基本的な枠組みの確立が量子計算機の実現に向け求められている。

本研究の狙いは、誤り耐性量子計算機の設計を具体化し、最適化することにある。これにより、実用的な規模の誤り耐性量子計算機をより現実的な技術で実現できるようになる。設計が具体化されることで、誤り耐性量子計算機の実現に必要な技術要請を見積もり、先取りして開発を行うことができるようになる。これにより、これまで既存技術に比べ具体的な議論をすることが難しかった誤り耐性量子計算機において、計算機アーキテクチャ、回路設計、コンパイル最適化、アプリケーション領域の分野を巻き込んだ研究が可能になる。

誤り耐性量子計算機の設計を最適化する基本的なアイデアとして、本研究ではヘテロジニアスな設計を導入する。従来型の計算機ではアプリケーションや計算機の特性に合わせ様々な設計を異種混合させることで、素朴な設計に比べ飛躍的に効率的な演算を実現している。従ってハードウェアの設計自由度を解明しこれを最大限活用するための枠組みを確立することで、誤り耐性量子計算機において従来よりも飛躍的に効率的な誤り耐性量子計算機の設計が可能になると期待できる。研究の成果として得られた枠組みは量子計算機の設計に関連する様々な分野の参照実装として扱うことができ、それぞれの分野における最適化のアイデアやトレードオフの調整を集約し、設計の自由度をフル活用した効率的な誤り耐性量子計算機を描き出すことができる。こうした研究開発を通し、実用的な規模を達成できる誤り耐性量子計算の標準的設計を世界に先駆けて確立する。

2. 研究成果

(1) 概要

本研究ではヘテロジニアスな設計と制御を実現し、高性能な誤り耐性量子計算機の設計の提案を目指すものである。本研究ではこの目的を以下の3つの手続きに基づき達成した。第一に、[課題 1]誤り耐性量子計算機の全体像を具体化し、計算機が持つ設計や制御の自由度を明らかにした。また、自由度に対し所与の値を設定した際の誤り耐性量子計算機の性能を定量的に評価する枠組みを構築した。本課題では超伝導量子ビットを具体的な対象として定め、

超伝導量子ビットの特性からノイズの特性を算出し、さらに誤り訂正符号の符号およびエラー推定アルゴリズムの性能の評価を行った。さらに、誤り耐性量子計算機上の素朴な命令セットを定めそれぞれのレイテンシと誤り率を算出した。さらに、位相推定アルゴリズムを命令セットの系列に翻訳するコンパイラを構築し、これらのエミュレータを構築した。これにより、与えられた計算機の性能に対する計算時間の算出を可能にした。

次に、課題 1 で得られた自由度と評価系を活用し、[課題 2]へヘテロジニアスな誤り耐性量子計算機の設計を実施した。この成果として、実用的な演算を誤り耐性量子計算機で実施するためのどの程度の規模が必要なのか、また、用途に適した設計を活用することでどの程度計算を高速化できるのかを定量的に明らかにした。研究の中では著者が別途参画する「Q-LEAP 超伝導量子コンピュータの開発」などにおける超伝導量子ビットやこれを制御する機構の具体的特性を踏まえ、誤り耐性量子計算機の性能を最大化するための機構を提案した。

上記の[課題 1,2]を実行し計算機のアーキテクチャを具体化していく中で、計算機アーキテクチャの領域において多くの未開拓の課題があることが分かった。このため、[課題 3]提案した設計を具体的に実現するための量子ビットやこれを制御する周辺回路を具体的な提案を追加し、本課題についても研究開発を実施した。この取り組みでは計算機アーキテクチャの研究者との連携を通し、回路レベルでの設計と評価を実現し現在の計算機技術での設計上の課題を洗い出し、これを順次解決することに成功した。

上記の 3 つの課題の遂行を通し、本研究の狙いであるヘテロジニアスな設計自由度を活用した誤り耐性量子計算の枠組みを確立した。これにより、従来に比べ効率的な誤り耐性量子計算の設計が実現された。

(2) 詳細

[課題 1] ヘテロジニアスな誤り耐性量子計算機の提案に向けた設計の具体化、自由度の解明、性能の評価

本研究ではまず、各技術レイヤの構成を具体化し量子計算機の標準的な構成で必須となる要素を列挙し、その自由度の洗い出しを行った。さらに、所与の自由度を標準的なものに設定した際に計算機がどの程度の性能を発揮するのかを解析するソフトウェア群の構築に取り組んだ。具体的には下記の取り組みを実施した。

本課題では対象の量子ビットとして、集積化が現在最も進んでいる超伝導量子ビットを選択した。まず、超伝導量子ビットの特性に対して所定のパルスシーケンスを入力した際に得られる量子操作のノイズマップを解析するスクリプトを構築した。さらに、得られた任意のノイズマップをシミュレートするためのソフトウェアを構築し、表面符号上で量子回路を実行した際の誤り率を計算できるようにした。誤り率の計算においては状態ベクトルを用いる方法、テンソルネットワークを用いる方法、スタビライザー形式を用いる方法、単純なパウリエラーの伝播を調べる方法などを実装し、それぞれの適正に合わせて誤り率の評価を行っている。誤り訂正符号の性能評価においては、論理ビットを長時間保持する単純なものに加え、論理量子ビット間の格子手術といった複雑な操作に対しても論理誤り率を評価できるように枠組みを拡張した。上記の解析により、論理命令ごとの論理誤り率がどの程度になるのかが明らかとなる。次に、格子手術をベースとしてユニバーサルな誤り耐性量子計算を実現するうえで必要となる基本論理命

令セットのたたき台を構築し、誤り耐性量子計算機をプログラマブルに扱うための土台を構築した。

計算機の基本命令セットが定義されたことで、具体的なアプリケーションを計算機上で実行可能なアセンブリへと翻訳する手続きが可能となる。本課題では先行研究の調査より **Qubitization** に基づく位相推定アルゴリズムが有用なアプリケーションの基本構造を持ちつつ、小規模な量子計算機でも優位性を示すことが可能であると判断し、まずはこの用途に対する体系的かつ定量的なベンチマークを行うことにした。位相推定を行う対象のハミルトニアンとしては物性分野で広く用いられるハイゼンベルグ模型などの格子状のスピン模型を作用した。これは、物性分野で広く用いられるハミルトニアンはパウリ演算子で展開した際に均質な係数を持ち、従来解析されてきた量子化学のハミルトニアンより効率的に展開が可能となることと、特定の分子が興味の対象となる量子化学のハミルトニアンと異なり、任意の問題サイズを定義できるという利点からである。本課題では **Qubitization** の基本構成要素を段階的に定義した基本命令へと翻訳するコンパイラを実装し、与えられたハミルトニアンに対して必要となる論理量子ビットの数と必要命令数を割り出した。

計算機のハードウェアモデルと、その上で動作する命令セットと、具体的に実行したアセンブリが揃うことで、計算機上でこのアセンブリを動かした際の実行時間をエミュレートにより調べることができる。実用的な規模の誤り耐性量子計算機は数百論理ビットを用いて 10 時間以上の演算を行うため、計算過程全体のシミュレーションを行うことは出来ないが、計算に要する時間の解析については典型的なゲートテレポーテーションの測定値はランダムに出現することから最終的に得られる計算結果の値以外の全てを忠実かつ効率的にシミュレートすることができる。本課題ではこの事実に基づき誤り耐性量子計算機の計算時間をエミュレートにより計算するプログラムを構築した。結果として、物理エラー率 0.1% の 50 万量子ビットを用いて 15 時間かけることで、最終的に 10×10 のハイゼンベルグ模型において 0.01 の精度でエネルギーを求めることができる、などの定量的評価が可能となった。

本課題が扱う技術的なレイヤは広範なものである。研究提案当初はその全てを扱う予定であったが、特に低レイヤのパラメータについては高速な数値的評価が困難であったこと、また、特に高レイヤの領域において未開拓な最適化の余地が多くあることが判明したことから、研究期間中は下位レイヤの設計については典型的なトレードオフの関係を活用し、誤り訂正符号より上位レイヤの最適化に注力した。上位レイヤで得られた成果は下位レイヤの設計にも大きな影響を及ぼすものであるが、この検討については後述するように研究機関終了後の課題とすることにした。

課題 1 は基本的な設計と評価を行うものであるから、それ自体は論文としては発表されていないが、付随して多くのソフトウェアが成果物として得られている。この成果物は後述する論文文化された成果の基盤となっているだけでなく、他の研究での再利用を見込み多くが配布されている。状態ベクトルを用いた回路シミュレータである **Qulacs** は **OSS** として広く用いられている(代表的な成果-1)。クリフォード回路のシミュレータは(代表的な成果-2)で利用されている。格子手術を含む複雑なプロセスの符号性能の評価機構は(その他の成果-2,3、および、代表的な成果-3)で利用されている。論理命令セットのエミュレートによる計算時間の評価は(代表的な成果-3、および、その他の成果-5)で利用されている。また、具体的なパルスダイナミクスの

評価で用いられるノイズのランダム化などのユーティリティが(その他の成果-1)で利用されている。

[課題 2] ヘテロジニアスな誤り耐性量子計算機の提案と改善の検証

課題 1 にて構成した計算機の自由度の抽出と評価系に基づき、以下の二つの観点で効率的な誤り耐性量子計算機的设计や最適化を実施した。1つ目は、現実的な誤り耐性量子計算機で生じる「不均質さ」による性能の劣化を定量的に評価し、これに適した制御を導入することで小さなオーバーヘッドで無視できる程度まで影響を緩和するというものである。2つ目の観点は、現在の計算機的设计で用いられていないが、実際には活用できる設計の自由度を見出し、これを性能の改善や1つ目の問題で生じる劣化の緩和のために用いるというものである。この二つの観点から、具体的に下記の提案を行った。

(代表的な成果-2)においては、誤り訂正と誤り抑制を組み合わせることで、従来の設計より必要な量子ビット数を軽減する手法の提案を行った。Probabilistic error cancellation (PEC)は確率的な一連の操作により誤り率のある量子操作で生じる期待値のバイアスを実効的に打ち消す手法である。PEC を実現するための一連の操作は一定の性質を満たす集合である必要があるが、本研究ではこの打消し操作のための集合は標準的な論理命令セットにおいてレイテンシが無視できるほど小さな量子操作のみで構築できることを示した。

(代表的な成果-3)においては動的に変化する誤り率による影響をアーキテクチャの修正により小さなオーバーヘッドで取り除けることを示した。超伝導量子ビットをはじめとする人工量子系では、宇宙線などの影響により一時的に量子ビットの誤り率が誤り訂正できないほどに大きくなることが報告されている。本研究では誤り訂正の過程で出力されるシンドローム値の統計情報を用いて、こうしたエラー率の変動を非破壊に検知できることを示した。また、検知情報に基づき動的に符号距離を変更する論理命令を優先キューに挿入するとともに、エラー推定機構をリセットし誤り率の変動を考慮する形で推定をやり直すことで、誤り率の上昇による性能の劣化を無視できる程度まで小さくできることを示した。こうした複雑な機構の導入は計算機のスループットを劣化させると予想されるが、数値的な評価により実用的な領域においてスループットの劣化は小さな値に留まることを定量的に示した。本研究のような動的にエラーが変化する環境では、エラーの変動情報を効率的に管理しなければならない。(受賞-3)の成果においてはこのエラーの変動を素朴なアルゴリズムに比べ計算量的に効率的に管理する方法を提案した。

(その他の成果-4)においては量子ビットの製造時に生じる誤り率のばらつきについて扱った。一般的な人工量子ビットは量子ビットによって誤り率にばらつきが生じるのは避けられない。特に一定の確率で誤り率が極めて高い量子ビットが生じるとき、誤りに耐性の無い論理量子ビットも無視できない確率で生じてしまう。こうしたばらつきによる性能の劣化は、誤り率のばらつきを考慮した正確なエラー推定を行うことで緩和できるが、誤り率のばらつきを考慮して超伝導量子ビットの寿命より十分高速にエラー推定を行う実装は知られていなかった。本研究では誤り率のばらつきを効率的なルックアップテーブルに格納することで、超伝導量子ビットの寿命より十分に早く、かつ、誤り率のばらつきを考慮したエラー推定を行えることを示した。

(受賞-4)の成果においては、計算機の持つ魔法状態などのリソース量に応じて、誤り耐性量

子計算機の代表的アルゴリズムにおいてボトルネックとなる **SELECT** と呼ばれるモジュールをループ並列化する方法を提案した。通常の計算においてはループ演算において演算量がボトルネックとなるとき、ループを複数の処理に分解して並列処理することで性能を効率化することができる。本研究では **SELECT** 回路においても類似したアイデアを適用しループ並列化が可能であることを示した。この時、分解されたブロックが同一の論理量子ビットにアクセスするようアクセスを分散することにより、リソース量に応じ数倍から数十倍の高速化が得られることを実用的なアルゴリズムのベンチマークを通して示した。また、通常の計算と同じく過剰な並列化の下では並列化効率が飽和することも示した。

上記に述べてきたような、誤り耐性量子計算機においてボトルネックとなるような要素や現実的に課題となる要素を、処理に余裕のある個所に負荷を移動したり動的に処理モードを切り替えたりすることで性能を向上するのは、通常の計算機においては一般的なアイデアである。しかし、誤り耐性量子計算機ではこうした設計を評価する枠組みが無いため、上記に述べるようなアイデアが実用的かどうかは不明であった。本課題では課題 1 で誤り耐性量子計算機の自由度を洗い出しアイデアを定量的に評価し最適化することで、上記のようなアイデアが実際に量子計算機の性能を向上することを信頼性のある形で明らかにすることに成功した。

[課題 3] 提案設計実現するための計算機アーキテクチャや周辺回路の具体的提案

誤り耐性量子計算の基本論理命令のレイテンシは、量子誤り訂正におけるスタビライザー測定を行う周期である「符号サイクル」によって特徴づけられる。量子誤り訂正が機能するには、この符号サイクルは量子ビットが持つ寿命よりも十分早くなければならない。また、現実的な時間で実用的な計算を終えるためには、量子ビットの寿命が十分に長かったとしても符号サイクルを短くすべきであることが課題 1 の見積もりからわかっている。符号サイクルが短い誤り耐性量子計算機的设计を行うには、エラー推定や論理命令の実行など、毎符号サイクル実施しなくてはならない手続きが十分高速に終わらなければならない。これらの手続きは量子ビットの数に対して多項式時間で完了することは知られているが、実用的な規模において量子ビットの特性が定める時間で完了するかは定かではない。また、現実的には速度だけでなくチップのサイズや電力など、具体的なデバイスとして拡張するには必要な要素は多くあり、こうした観点で現実的な実装が可能であるかは明らかでなかった。

本課題では課題 1 で得られた必要性能及び評価基盤を土台として、計算機アーキテクチャ及び回路設計の研究者と連携し、上記の要請を満たす計算機のデザインに取り組んだ。この取り組みにおいて2つの成果が得られている。一つは単一磁束量子を用いたエラー推定(その他の成果-2,3)である。単一磁束量子を用いた計算機は極低温下でしか動作しないものの、超伝導体を用いた計算により低消費電力と高クロックを両立できることが知られている。一方、単一磁束量子を用いた計算機は通常の計算機ほど大きなメモリを持ってないなどの特性がある。こうした特性に合わせる形でアルゴリズムを構築することで、格子手術の命令などの動的な符号の変化にも追従可能で、現在の希釈冷凍機の中で許容される消費電力に収まり、かつ、現在の超伝導量子ビットの寿命よりも十分短い $1\mu\text{s}$ のレイテンシで動作するエラー推定機構を提案した。

もう一つの成果は **FPGA** などでエラー推定を行う効率的な回路の設計である。本課題ではま

ずさがけ採択者の谷本氏と連携し、量子ビットが将来低いエラー率に低減した際に利用可能な、一般的な FPGA 上で実用的な速度で動作する表面符号のエラー推定機構の実装を提案した。さらにこれを土台とし、(代表的な成果-1)における動的なエラーの変動に対応可能な設計を実装し、そのオーバーヘッドが十分に小さいことを検証した。また、同じく本設計を土台とし(その他の成果-4)において不均質な誤り率による推定結果の変化を小さなルックアップテーブルを用いて扱う方法を提案し、回路のシミュレーションによって実用的な速度で動作することを確認した。

上記二つの取り組みにより、誤り耐性量子計算機の設計において実装上最もボトルネックとなるエラーの推定機構について、本課題で得られたデザインをもとにして複数の観点から効率的な実装を提案することが出来た。

本さがけ研究領域内の研究者との連携

量子計算機の安定的な動作を保証するには継続的な量子ビットのエラーの特徴づけとこれに基づく制御が必須となる。この観点について、杉山氏との連携を実施した(代表的な論文3)。

現実的な量子誤り訂正符号の評価を行うには状態ベクトルを用いたシミュレーションは困難であり、テンソルネットワークを用いた手法が有用である。現在、表面符号や leakage error が生じる量子誤り訂正符号を効率的に評価する手法について、Andrew 氏との連携を実施しており、期間終了後に投稿予定の成果を見込んでいる。

量子アルゴリズムや量子誤り訂正符号を評価するに開発された高速なシミュレータ Qulacs の利便性を拡張するには、実際に利用するユーザのコメントに基づくフィードバックが有用である。この観点で水上氏、御手洗氏との連携を実施している(代表的な論文1)。

量子誤り訂正の大きなオーバーヘッドを削減するには、量子誤り訂正と量子誤り抑制を組み合わせるのが有効である。この手法について量子誤り抑制の専門家である遠藤氏との連携を実施し、二つを組み合わせる手法を提案した(代表的な論文-2)

上記の背系を踏まえて量子計算機の設計を計算機アーキテクチャとして昇華するには、計算機アーキテクチャ及び回路設計の知見が不可欠である。この観点について、谷本氏との連携を実施し実用的な量子計算機アーキテクチャの全体像を提案した(代表的な論文-3)。

本さがけでは量子計算機の速度が古典計算を超えるための小規模な量子計算機でも優位性を示せる有用なアプリケーションとして、物性分野のハミルトニアン の位相推定を選んだ。量子計算機の優位性を示すには物性ハミルトニアン の基底エネルギーを求める現状最先端の古典アルゴリズムがどの程度の速度時間を要するかの知見が必要となる。この観点について、吉岡氏、水上氏、大久保氏との連携を実施した(その他の成果-5)。

本さがけ研究領域外の研究者との連携

量子回路のシミュレータ Qulacs の開発は、さがけの藤井氏と御手洗氏のほか、さがけ外の多くの研究者および開発者との連携のもと行われた。具体的な連携先として、大阪大学、京都大学、QunaSys、ジョージア工科大学がある。具体的な連携者のリストは(代表的な成果-1)を参照。本研究で得られた成果物である Qulacs はさがけ内外の多くの量子計算の研究者

に、量子回路のシミュレートに焦点を当てた高速なソフトウェアとして利用されている。また、以降の高速な量子回路のシミュレート手法を追求する論文においても標準的比較対象の一つとして用いられている。

計算機アーキテクチャについては、さきがけの谷本氏と井上氏のほか、慶応大学、名古屋大学、東京大学の研究者との連携により研究を実施した。申請者はさきがけの研究の中で具体化した誤り耐性量子計算機の基本ロジックや命令セットを道具として、計算機アーキテクチャや集積回路の専門家と議論を行い、計算機の観点で具体化された基本設計を提案した。これをベースラインとして以下の成果を得た。超伝導回路を用いて世界で初めて現実的な電力で動作する格子手術に対応可能な量子誤り訂正機構を提案した(その他の成果-2,3)。バーストエラーなどの動的なエラー特性の変化に対応可能な量子誤り訂正機構を提案した(代表的な成果-3)。不均質な誤り率に基づき高速かつ正確なエラー推定を可能にする回路設計を提案した(その他の成果-4)。

今回得られた誤り耐性量子計算機の設計およびヘテロジニアスな構成を可能にする考え方の枠組みは、誤り耐性量子計算機の設計と拡大を目指す「Q-LEAP 超伝導量子コンピュータ」や「内閣府ムーンショット 目標 6」における参考設計として活用されている。

産業界との連携

本さきがけ期間内に得られた成果や知見は様々な企業にて利用されている。本研究で開発した Qulacs はスパコン開発をリードする富士通社によって拡張され、mpiQulacs としてマルチノードでも世界最高速を達成した。そのほかにも、複数社において量子計算のサービスに利用された実績がある。

3. 今後の展開

本研究成果は現代の計算機で行われているような複雑な設計に基づく高機能な誤り耐性量子計算を構築する土台となる成果である。本課題により複雑な誤り耐性量子計算機の性能が定量的に評価できるようになり、さらに、ヘテロジニアスな設計をこれらに導入することで計算機のスループットの向上、アルゴリズム実行時間の高速化、少数の量子ビットでの効率的な論理エラー率の削減、物理的なエラーの特徴に合わせた計算機パイプラインの設計が可能となることが具体的に示された。

今後の研究の展開はこうした土台を引き続き活用し、さらに高機能な誤り耐性量子計算機を構築することが期待される。また、得られた設計や要求性能を量子ビットや制御回路の研究開発にフィードバックすることで実用的な規模というゴールを見据えた誤り耐性量子計算機の開発を実施することができる。こうした取り組みは現在並行して進行中である Q-LEAP 超伝導量子コンピュータおよび内閣府ムーンショットにて既に実施している。

今後の研究開発は以下のように予定している。2025 年度に本研究で得られた成果をソフトウェアの形で全体を体系化し誤り耐性量子計算を自在に設計できるツールチェーンを完成させる。これに合わせ単一の論理量子ビットを構築し、さらに逐次的に誤り訂正を行うための制御の基本形を完成させる。さらに 2030 年度までに小規模な誤り耐性量子計算機の機能を実装し、複数の論理量子ビットに基づく誤り耐性量子計算を実現する。量子ビットの集積化が大きく進展した場合には、通常の計算機に対して優位性のある効率の量子アルゴリズムを実施する。ただし、こうした口

ードマップは量子ビットがどの程度集積できるか、量子ビットの誤り率はどの程度小さくなるのかに
応じて大きく依存するため、ハードウェアの開発状況に合わせて、それに最も適した設計を随時
提示することで現実に即した開発を実施する。

4. 自己評価

研究成果の波及効果

本課題の成果は下記の3つの観点で今後の量子計算機の研究開発に多大な波及効果を与え
ている。それぞれについての詳細と今後の見込みを記述する。

4-A. 再利用可能なソフトウェアの開発と成果物の公開

量子計算機を持続的に開発するには、研究の成果として得られたソフトウェアは再利用可能な
形で公開され、後続の研究を促進することが望ましい。本研究で得られた成果物である Qulacs は
OSS として公開されており広く利用されている(代表的な成果-1)。また、(代表的な成果-3)で得ら
れた成果に必要な論理誤り率や計算機のスループットを評価するフレームワーク、および、エラー
推定を高速に実現する高位回路合成用のコードも公開され、その正しさが学会の評価プロセスで
検証されている。その他のソフトウェアについても共同研究契約に基づいて配布されている範囲
で広く共有されている。こうしたソフトウェアは関連する研究開発を直接的に支援し、量子計算機
の開発を広く加速する。

4-B. 量子計算機の全体設計に関する定量的な評価基盤の実現

従来の量子計算の研究では量子計算機の速度については計算量的なオーダーの見積もりが
主であった。こうした見積もりは少ない解析でおおよその計算機の見出しうえでは重要で
あるが、ヘテロジニアスな設計をはじめとする複雑な設計の改善が具体的に量子計算機に性能
の向上をもたらすかを明らかにするうえでは信頼性に欠ける。また、量子誤り訂正におけるエラー
推定で必要になる $1\mu\text{s}$ といった短い時間での演算に追従できるかどうかは、概算と実装では大き
な乖離が生じるため、具体的な実装に基づく評価が行われることが望ましい。本研究では現実
的な時間での数値計算が可能となる部分については通常の計算機の上で動作するシミュレータ
を構築し、実際のその計算機を構成した際の実時間の評価を可能にした。こうした取り組みは誤
り耐性量子計算機の性能を改善する多様な提案の定量的評価を可能とし、新たなアイデアの提
案と検証を促進する。

4-C. 分野横断的な成果の創出

本課題では物理が出身分野の申請者が主著として計算機アーキテクチャのトップ会議に挑戦
し採択されている(代表的な成果-3)。従って、本課題では分野を横断した議論に留まらず、ほか、
共著者として回路設計の会議に2件(その他の成果-2,4)、計算機アーキテクチャの会議に 1 件
(その他の成果-3)に採択されている。このように著者が率先して異なる分野に挑戦し採択を目指
すことは、より深いレベルでの分野融合とこれに基づく量子計算機の設計の提案を促進する。

研究目的の達成状況

本研究の狙いであった、計算機の考え方を量子計算機の設計に持ち込み、その設計自由度
を活用して効率的な誤り耐性量子計算機を提案するという目的は高いレベルで達成されたと考え
ている。さらに、誤り耐性量子計算機の性能を定量的に評価する基盤を確立し、回路設計や計算
機アーキテクチャの分野との横断的研究体制を確立するなど、副次的な効果も得られている。

研究実施体制と研究費執行状況

本課題では誤り耐性量子計算機の基本設計が完成し、具体的な要素について大きな稼働での検討が必要になった3年次に5名の学生を研究補助員として雇用した。それぞれの学生の専門性を活用してタスクを割り振り効率的に研究開発を実施した。結果として、本課題で得られた土台を基盤とし、極めて多くの成果を得ることが出来た。また、研究補助員には誤り耐性量子計算に関するセミナーを実施し、誤り耐性量子計算に知見がある若手の育成にも貢献することが出来たと考えている。また、本課題ではその性質上、通常の計算機を用いたシミュレーションや数値評価が重要となる。このため、本研究では2年次および3年次に計4台の計算機の購入を行った。結果として、目的に沿って効率的な予算の実施及び研究体制の構築が出来たと考えている。

5. 主な研究成果リスト

(1) 代表的な論文(原著論文)発表

研究期間累積件数: 17件 (うち査読中5件)

1. Yasunari Suzuki, Yoshiaki Kawase, Yuya Masumura, Yuria Hiraga, Masahiro Nakadai, Jiabao Chen, Ken M. Nakanishi, Kosuke Mitarai, Ryosuke Imai, Shiro Tamiya, Takahiro Yamamoto, Tennin Yan, Toru Kawakubo, Yuya O. Nakagawa, Yohei Ibe, Youyuan Zhang, Hirotsugu Yamashita, Hikaru Yoshimura, Akihiro Hayashi, Keisuke Fujii, “Qulacs: a fast and versatile quantum circuit simulator for research purpose”, Quantum 5, 559 (2021)

(代表的な成果-1) 量子計算機の性能を評価するには高速な量子回路のエミュレータが重要な要素となる。本論文では量子回路を高速に数値的にシミュレーションするための手法を提案し、これらを実装した OSS である量子回路のシミュレータ Qulacs の機能を解説している。CP インストゥルメントなど量子情報の一般的な枠組みを数値計算の観点でどのように扱うべきかを整理し、こうした操作を高速にシミュレートするためのプリコンパイル、ベクトル化、並列化などのチューニング技術について解説した。

2. Yasunari Suzuki*, Suguru Endo*, Keisuke Fujii, Yuuki Tokunaga, “Quantum Error Mitigation as a Universal Error Reduction Technique: Applications from the NISQ to the Fault-Tolerant Quantum Computing Eras”, PRX Quantum 3, 010345 (2022) (* Equal contribution)

(代表的な成果-2) 量子誤り訂正は量子ビットの誤り率を任意の値まで小さくできるが、量子ビットに対するオーバーヘッドが大きい。このため、量子誤り訂正が実現した直後であっても符号距離は十分であり誤り率は無視できないと期待される。本論文では NISQ 用途に提案された誤り抑制技術を適切に誤り耐性量子計算の枠組みに導入することで、小さなオーバーヘッドで大幅に量子誤り訂正に必要な量子ビット数を削減できることを示した。

3. Yasunari Suzuki, Takanori Sugiyama, Tomochika Arai, Wang Liao, Koji Inoue, Teruo Tanimoto, “Q3DE: A fault-tolerant quantum computer architecture for multi-bit burst errors by cosmic rays”, 55th IEEE/ACM International Symposium on Microarchitecture (MICRO), pp.274-287 (2022)

(代表的な成果-3) 現実の量子ビットは外的な要因の変化により動的にエラー率が変化する

る。例えば超伝導量子ビットは宇宙線の照射により一時的にエラー率が誤り訂正不能なレベルに上昇することが実験的に報告されている。本研究では誤り訂正を実施する処理パイプラインに異常検知機構を導入することで動的なエラー変化を検出し、さらにエラー推定の巻き戻しや動的な命令の追加を行うことで動的なエラー変動の影響を小さなオーバーヘッドで大幅に軽減できることを示した。

(2) 特許出願

研究期間全出願件数： 0 件 (特許公開前のものも含む)

(3) その他の成果 (主要な学会発表、受賞、著作物、プレスリリース等)

その他の論文

- (その他の成果-1) Yoshifumi Nakata, Da Zhao, Takayuki Okuda, Eiichi Bannai, Yasunari Suzuki, Shiro Tamiya, Kentaro Heya, Zhiguang Yan, Kun Zuo, Shuhei Tamate, Yutaka Tabuchi, Yasunobu Nakamura, "Quantum circuits for exact unitary t-designs and applications to higher-order randomized benchmarking", PRX Quantum 2, 030339 (2021)
- (その他の成果-2) Yosuke Ueno, Masaaki Kondo, Masamitsu Tanaka, Yasunari Suzuki, Yutaka Tabuchi, "QECool: On-Line Quantum Error Correction with a Superconducting Decoder for Surface Code," 2021 58th ACM/IEEE Design Automation Conference (DAC), pp. 451-456 (2021)
- (その他の成果-3) Yosuke Ueno, Masaaki Kondo, Masamitsu Tanaka, Yasunari Suzuki, Yutaka Tabuchi, "QULATIS: A Quantum Error Correction Methodology toward Lattice Surgery", 2021 IEEE International Symposium on High-Performance Computer Architecture (HPCA), pp. 274-287 (2022)
- (その他の成果-4) Wang Liao, Yasunari Suzuki, Teruo Tanimoto, Yosuke Ueno, Yuuki Tokunaga, "WIT-Greedy: Hardware System Design of Weighted Iterative Greedy Decoder for Surface Code", 28th Asia and South Pacific Design Automation Conference (ASP-DAC 2023), pp.209-215 (2023)
- (その他の成果-5) Nobuyuki Yoshioka, Tsuyoshi Okubo, Yasunari Suzuki, Yuki Koizumi, Wataru Mizukami, "Hunting for quantum-classical crossover in condensed matter problems", arxiv preprint arXiv:2210.14109 (2022)

受賞

- (受賞-1) 第2回 量子ソフトウェア研究会 (2021) 優秀発表賞
 - 上野 洋典、近藤 正章、田中 雅光、鈴木 泰成、田渕 豊, "超伝導回路を用いた量子誤り訂正向けオンライン復号器の提案",
- (受賞-2) 第4回 量子ソフトウェア研究会 (2021) 優秀発表賞
 - 吉岡 信行、箱嶋 秀昭、松崎 雄一郎、徳永 裕己、鈴木 泰成、遠藤 傑, "Generalized quantum subspace expansion method for error mitigation",
- (受賞-3) 第5回 量子ソフトウェア研究会 (2022) 優秀発表賞 および、第46回量子情報技

術研究会 (2022) 学生発表賞

- 新居 智将、鈴木 泰成、徳永 裕己, “エラー確率が不均質な表面符号の復号のフェニック木を用いた高速化”,
- (受賞-4) 第6回 量子ソフトウェア研究会 (2022) 優秀発表賞
 - 鈴木 泰成、冬鏡 滯, “誤り耐性量子計算における SELECT 回路の並列化と高速化”,
- (受賞-5) 第6回 量子ソフトウェア研究会 (2022) 学生奨励賞
 - 前蔵 遼、鈴木 泰成、吉岡 信行、徳永 裕己, “生成モデルを用いた量子状態トモグラフィに基づくノイズレスな期待値の推定”,

プレスリリース

さきがけで得られた研究成果に基づき、以下の5件のプレスリリースを行った。

- (プレス 1) 超伝導量子コンピュータ向けの極低温環境での量子誤り訂正手法を開発 ~大規模量子コンピュータ開発の鍵となる技術を世界で初めて実現~
 - <https://group.ntt.jp/newsrelease/2021/11/08/211108b.html>
- (プレス 2) 実用化に必要な誤り耐性量子コンピュータの規模を飛躍的に小さくする技術を開発 ~世界初の量子誤り訂正/抑制のハイブリッド方式を提案~
 - <https://group.ntt.jp/newsrelease/2022/03/18/220318a.html>
- (プレス 3) 論理量子ビット間での演算を可能にする極低温環境での量子誤り訂正手法を世界で初めて開発 ~大規模量子コンピュータの実用化に向け大きく前進~
 - <https://group.ntt.jp/newsrelease/2022/04/01/220401a.html>
- (プレス 4) 量子計算機のハードウェアとアルゴリズムのエラーを抑制できる手法を開発 ~演算を高精度化する一般的な枠組みを提唱~
 - <https://group.ntt.jp/newsrelease/2022/07/06/220706a.html>
- (プレス 5) バーストエラーに耐性のある量子コンピュータのアーキテクチャを世界で初めて提案 ~量子コンピュータの動作状況に合わせ機能する誤り訂正機構を実現~
 - <https://group.ntt.jp/newsrelease/2022/09/30/220930a.html>