

# 研究報告書

「Si 系半導体ナノ構造を基礎とした単一電子スピントランジスタの開発」

研究期間：平成 20 年 10 月～平成 24 年 3 月

研究者：浜屋 宏平

## 1. 研究のねらい

代表者がこれまで検討してきた III-V 族半導体量子ドットを利用した「単一電子スピントランジスタ」の高性能化・室温動作化を実現するため、IV 族半導体であるシリコンをベースとした素子構造における革新的なスピン注入・検出技術を開発し、その技術を単電子トランジスタ等へ応用する。シリコンスピントロニクス技術の開拓による次世代の超低消費電力量子スピン伝導素子の開発である。

## 2. 研究成果

### 2.1. 強磁性合金/Si(111)高品質接合の形成とショットキトンネル伝導の実現

シリコン(Si)へのスピン注入を実現するために、これまで、強磁性体と Si の界面に「絶縁体トンネル障壁層」が挿入されてきた。いわゆる伝導度ミスマッチを回避するというのと強磁性体-Si 間の反応(シリサイド化)を防ぐということの 2 つの大きな目的が挙げられる。ここで仮に不純物濃度が $\sim 10^{18} \text{cm}^{-3}$ 以下の n-Si を用いると、強磁性体と Si の間には容易に空乏層が形成され、素子が高抵抗となってしまうことから、微弱なスピン注入の効果による抵抗の変化を電氣的に検出することが全く出来ない。そのため、世界中の研究機関は、実質的には金属と呼べる縮退半導体 Si ( $n^+$ -Si:不純物濃度  $10^{19} \text{cm}^{-3}$ )を用いて、強磁性体/絶縁層/ $n^+$ -Si 構造における空乏層の影響を排除して、スピン注入・検出の検討を行っている。これは半導体 Si へのスピン注入とは似て非なるものであり、我々の考える「半導体量子スピン素子」への応用は期待できない。

そこで本研究では、半導体 Si への高効率スピン注入技術として、世界に唯一の「ショットキトンネル型スピン注入技術」を検討した。強磁性体と Si の間に絶縁体トンネル障壁層を用いないこの技術を確立する上で重要な点は、強磁性体/Si 界面が原子層レベルで高品質であること、ヘテロ界面付近のみに関数的に高濃度ドーピング(ドーピング:不純物濃度  $10^{19} \text{cm}^{-3}$ )を施し、チャンネルは半導体(不純物濃度  $10^{18} \text{cm}^{-3}$ )であること、の 2 点である。

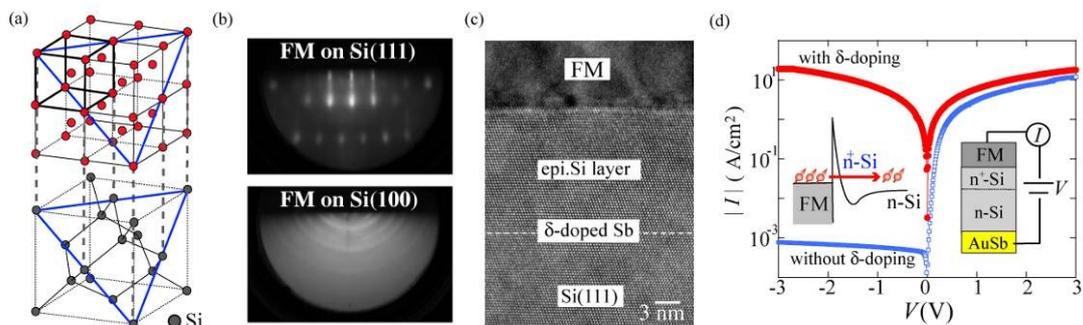


図 1. (a) bcc 構造強磁性合金(FM)と Si の結晶構造 . (b) Si 上に低温 MBE 成長した FM 合金の RHEED パターン . (c) 作製した FM/ $n^+$ -Si/ $n$ -Si の断面 TEM 写真 . (d)  $n^+$ -Si 層作製によるショットキトンネル伝導の実現 .

本研究では先ず  $\sigma$  を実現するために、bcc 構造を有する 強磁性合金(FM)材料に注目した。図 1(a)のように、bcc 構造を有する CoFe 合金や各種ホイスラー合金は、Si とは 4~5 %の格子不整合が存在するが、(111)面に着目すると原子配列が Si(111)と完全に一致する[図 1(a) 参照]。ここで、分子線エピタキシー(MBE)法を用いて超高精度に組成制御された成膜条件を用いると、FM/Si(111)界面ではシリサイド反応を誘発することなく、2 次元エピタキシャル成長が実現する[図 1(b)上]。ちなみに、Si(100)では直ぐに多結晶化してしまうことが確認されている[図 1(b)下]。この技術を用いてスピン注入用の高品質界面を作製した。具体的には、FM/Si(111)界面付近に Sb の  $\delta$  ドーピングと Si(111)低温エピタキシャル層を挿入し、 $n^+$ -Si 層を形成した。作製した FM/ $n^+$ -Si/ $n$ -Si 構造の断面 TEM 写真を示す[図 1(c)]。Si(111)薄膜の低温成長という極めて難しい MBE であるにも関わらず、 $n^+$ -Si/ $n$ -Si の高品質形成を実現し、更に FM/ $n^+$ -Si の界面も原子層レベルで平坦かつ高品質な界面を実現している事がわかる。このような理想的な高品質界面の実現は、本さきがけ研究において培った結晶成長技術の高度化によって実現された世界唯一の成果の代表例である。

次に、 $\sigma$  を確認するため、FM/ $n^+$ -Si/ $n$ -Si ダイオード構造[挿入図(右)]の電気特性を確認した[図 1(d)]。 $\delta$  ドーピングを施していない FM/ $n$ -Si( $\sim 10^{15}\text{cm}^{-3}$ )構造は室温で明らかな整流特性(青点)を示しているのに対し、 $\delta$  ドーピングを施した FM/ $n^+$ -Si/ $n$ -Si 構造は、ほとんど ON/OFF 比のないトンネル伝導[挿入図(左)]を示唆する特性が観測された。逆バイアス条件における電流値の劇的な増大がそれを強く示唆しており、温度変化にほとんど依存しない特性も確認された。以上のように、半導体 Si へのスピン注入・検出を目的とした世界に唯一の「ショットキトンネル電極作製技術」を確立した。

## 2.2. ショットキトンネル電極を介した Si 中のスピン蓄積検出

半導体 Si 中に生成されたスピン蓄積を検出する手段として、3 端子 Hanle 効果測定が用いられる。本研究では、上記の FM/ $n^+$ -Si/ $n$ -Si 電極構造を有する図 2 のような 3 端子素子を作製し、スピン注入・蓄積・検出に関して検討した。スピン検出用電極のサイズや Si チャンネル膜厚等は様々検討したが、今回ここに述べるデータに関しては、強磁性合金が CoFe、電極サイズが $\sim 6 \mu\text{m} \times 200 \mu\text{m}$ 、チャンネル膜厚が $\sim 200 \text{nm}$  程度のものを示す。

図 3(a)は、25K で測定した印加電流  $I_{21} = \pm 0.1 \mu\text{A}$  時の 3 端子電圧( $V_{23}$ )の面直磁場( $B_z$ )依存性である。この温度における Si チャンネルのキャリア濃度は  $1 \times 10^{15}\text{cm}^{-3}$  と見積もられている。 $I_{21} = +0.1 \mu\text{A}$  では、 $\pm 100 \text{Oe}$  以下の  $B_z$  領域において明瞭な電圧降下( $\sim 25 \text{mV}$ )が観測された。これは、半導体中のスピン偏極状態が外部磁場によって緩和する Hanle 効果を電氣的に検出した結果である。つまり、絶縁体トンネル障壁層を用いていない素子において、世界で初めて Si 中のスピン蓄積の検出に成功した事を意味している。一方、 $I_{21} = -0.1 \mu\text{A}$  では、 $B_z$  に依存した電圧降下は観測されなかった。このようなバイアス電流の極性に依存した結果は、次のように解釈することができる。図 3(b)のように、

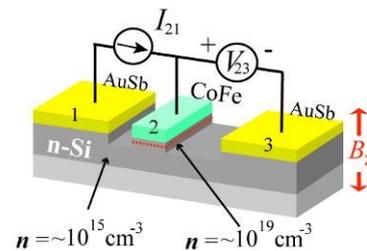


図 2: FM/ $n^+$ -Si/ $n$ -Si 電極を有する 3 端子 Hanle 効果測定素子。チャンネル層のキャリア濃度は、 $\sim 10^{15}\text{cm}^{-3}$   $n \sim 10^{18}\text{cm}^{-3}$  の非縮退系半導体 Si で検討。

$I_{21} = +0.1 \mu\text{A}$  では Si の伝導帯から CoFe 合金のスピンの偏極バンドへスピンの引き抜かれるためにスピンの蓄積(□)を生じる(上: スピン引き抜き条件)が,  $I_{21} = -0.1 \mu\text{A}$  では, CoFe 合金のスピンの偏極したバンドから Si の伝導帯へスピンの偏極電子が注入されてスピンの蓄積(□)を生じている(下: スピン注入条件). 一般的に, 3 端子 Hanle 効果測定では, スピンの蓄積量(□)を電気的に検出する際, トンネル伝導電子が強く関与している. 図 3(b)のようにスピンの蓄積量(□)が非常に小さい場合, スピン引き抜き条件( $I_{21} > 0$ )ではトンネル伝導電子のフェルミ準位が Si 側のスピンの蓄積状態を横切るため, 伝導測定に必ず□中のトンネル伝導電子が関与する. しかし, スピン注入条件( $I_{21} < 0$ )では, Si 側の□中の電子は, トンネル伝導測定に無関係である. つまり, トンネル伝導過程を介したスピンの検出感度のバイアス電流依存性を明瞭に観測したことを示唆している. 従って図 3(a)の結果は, 確かに Si チャネル中の□を電気的に検出したことを示す証拠と言える. 得られた Hanle 曲線をスピンの蓄積信号として, ローレンツ関数でフィッティング(赤実線)すると, スピンの緩和時間(□)は約 3 nsec (下限)と見積もられ, Si 中のスピンの緩和時間として妥当な値が見積もられた.

我々は更に, このスピンの蓄積信号のバイアス電流依存性を詳細に調べた. 図 3(c)はスピンの信号の大きさ(|□<sub>23</sub>|)と  $I_{21}$  の関係である. 予想通り, スピン注入条件( $I_{21} < 0$ )であっても電流量の絶対値を増大すると Si 中の□を増加することができるため[挿入図右], トンネル伝導電子がスピンの検出に関与し, 明瞭な Hanle 曲線を得る事ができた[挿入図左]. 我々のデザインした FM/n<sup>+</sup>-Si/n-Si 電極構造の 3 端子素子においては, このような傾向が再現性よく観測されることを確認している. 以上のように, 「トンネル伝導電子のフェルミ準位」と「Si 中のスピンの蓄積の擬フェルミ準位」の位置関係を詳細に理解する事が非常に重要である.

### 2.3. MOSFET 構造における室温スピンの信号の電界制御

FM/n<sup>+</sup>-Si/n-Si 素子におけるスピンの注入・検出技術を検討してきたが, 今後, スピントランジスタや単電子スピントランジスタ等への発展を図るためには, 「室温スピンの注入・検出」が重要となる. 本研究では先ず, 前項で検出された「スピンの信号(□<sub>23</sub>)の強度」が, Si チャネル中の「スピンの蓄積量」と直結していることを考察する.  $P$  をスピンの偏極率,  $R_{\square}$  を□の抵抗率,  $R_{\square}$  を

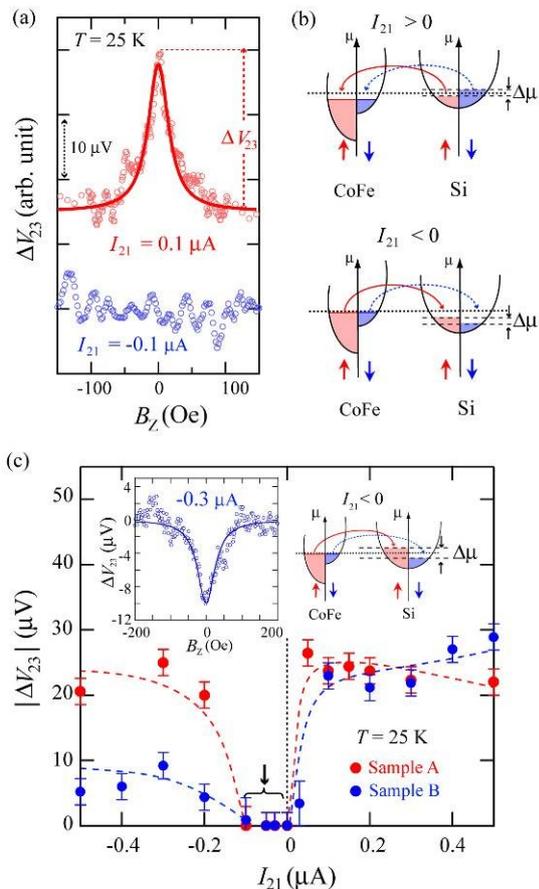


図 3. (a) 25 K で測定した 3 端子電圧の磁場依存性. (b) Si 中へのスピンの蓄積生成の模式図とスピンの信号検出のメカニズム. (c) スピンの信号強度とバイアス電流の関係.

□のスピンドiffusion長,  $|I_{21}|$ を印加電流,  $A$ をスピ注入に關与した界面面積とすると, スピンドiffusionモデルから Si 中のスピ蓄積電圧は,  $|V_{23}| = (P \times \square \times \square \times |I_{21}|) \times (1/2A)$ , と表記できる.  $A$ が作製した素子の電極面積そのものであるとは考えにくい, 少なくともそれよりも小さな面積であろう. 図3のスピ信号は, 同じ電流条件( $|I_{21}| \sim 1 \mu\text{A}$  オーダー)においては 150 K 付近で劇的に減少した. つまり, 25 K において明瞭に検出されていたスピ蓄積量は, 上式の関係を満たしながら急激に減少したと考えることができる.  $\square$ はほとんど変化しなかったと仮定すると, 25 ~ 300 K の間で最も劇的に変化したパラメータは『 $\square$ 』であることが確認された. つまり, 図3の $|V_{23}|$ は  $\square$ が約 5  $\mu\text{m}$ (実測値)付近で検出されたスピ信号であるが, 150 K ~ 室温付近では  $\square$ が約 0.05  $\mu\text{m}$ (実測値)まで減少したため,  $|V_{23}|$ が 2 桁以上小さくなり, 電氣的に検出することができなかつたと解釈することができる.

そこで本研究では, 我々のスピ注入電極構造の性能は常に維持されていると仮定し,  $\square$ が室温で数  $\mu\text{m}$  の Si チャネル( $1 \times 10^{15} \text{cm}^{-3}$ )を有する 3 端子素子を作製することで, 室温付近でのスピ信号の検出を試みた. ここで, 前項の実験と同等の電流量 $|I_{21}|$ を確保するために, MOSFET 構造を利用することとした. 図4(a)に作製したバックゲート MOSFET の模式図を示す. 特別に作製した 100 nm 以下の SOI(111)を利用することにより, 我々の得意とする Si(111)上の高品質スピ注入電極作製プロセスを利用できる. 図4(b)に  $I_{21}$ - $V_{SD}$  特性のバックゲート電圧( $V_G$ )依存性を示す. バックゲート電圧( $V_G$ )の印加によって, MOS 反転層チャネルが誘起されたことを反映する  $I_{21}$ の増大を確認した. このような MOSFET を利用して,  $V_G$ を 8.0 V 印加し,  $I_{21} = -1.0 \mu\text{A}$  という弱電流下のスピ注入条件において 3 端子電圧( $V_{23}$ )の  $B_z$  依存性を測定した[図4(c)]. 上記の予想通り, 室温であるにも関わらず明瞭な Hanle 効果信号を観測した. スピ信号の強度は 10  $\mu\text{V}$  オーダーであり, 図3の 25 K における測定の結果とほぼ同等である. この条件における正確な $\square$ は不明であるが, 上記のように Si チャネル中のスピndiffusionモデルを考慮した素子設計を行なうことで, 室温スピ信号の検出に成功したことは明白である. さらに本研究では, ゲート電圧印加による  $\square$ の制御を実行し,  $|V_{23}|$ の制御を試みた. 図4(d)には,  $V_G$ を 54 V 印加して  $I_{21} = -1.0 \mu\text{A}$  とした時に測定した Hanle 効果信号を示す. まさに, スピ蓄積量 $\square$ をゲート電圧で制御した事に相当する明瞭な $|V_{23}|$ の減少を観測した. 以上の結果は, 半導体 Si チャネルを用いた特徴的な結果として, Appl. Phys. Lett.誌の Research Highlight に選出される成果となった.

以上のように, 我々の室温スピ注入・検出は半導体 Si 素子で実現されており, 今後, スピントランジスタ構造等への発展を期待させる成果である.

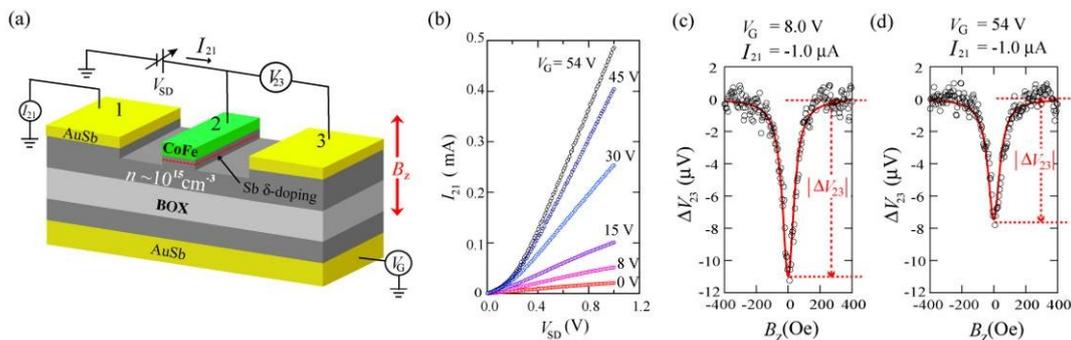


図4. (a) 室温スピ検出用 3 端子 MOSFET 構造の模式図. Si チャネルのキャリア濃度は  $1 \times 10^{15} \text{cm}^{-3}$ . (b) MOSFET 動作の確認. (c), (d)  $V_G = 8.0 \text{ V}$ ,  $54 \text{ V}$  印加状態で検出した室温スピ信号.

### 3, 今後の展開

全ての電子機器に含まれる半導体「シリコン(Si)」に対して、申請者が開発した独自のスピン注入・検出・電界制御技術を活用することで、新しい半導体スピndeバイsへの発展が期待される。具体的には、電界制御技術を応用し、Si チャンネル中を拡散するスピンの流れ(純スピン流)の変化を信号として読み出すことができれば、強磁性電極の磁化制御によって実現する「0」/「1」不揮発メモリ機能と重畳することで、不揮発多値メモリの要素技術と発展すると考えている。

### 4, 自己評価

当初はSiへのスピン注入を早期に達成し、量子ドット技術との融合まで実現する予定で研究を進めていた。しかし、強磁性体とSiを融合することの難しさやSiスピントロニクス研究全般の目覚ましい発展・注目等により、単なるスピン注入の実証例に留まるべきではないと判断し、デバイス応用を意識した包括的な物理を理解するところまで研究を掘り下げた。

その結果、本さきがけ研究の期間内に、半導体Siをベースとした素子構造において、世界唯一のショットキートンネル型スピン注入技術の確立、デバイス構造におけるスピン検出感度の重要性の確認とその理解、室温スピン注入信号の電氣的検出、スピン蓄積信号の電界制御、という非常にレベルの高い濃密な研究成果を次々と発信することができた。

3年半という研究期間は非常に短く感じるほど充実したものであった。得られた研究成果は、次世代の半導体スピndeバイsの実現に向け、間違いなく重要な位置を占めるものであると期待している。領域会議や学会等において、佐藤総括、アドバイザーの先生方、さきがけ研究者達との議論で得られたものは、今後の研究者人生にとって大変大きな財産であると確信している。

### 5, 研究総括の見解

浜屋研究者は、シリコンスピントロニクス技術の開拓による次世代の超低消費電力量子スピン伝導素子の開発をめざし、シリコンをベースとした素子構造における革新的なスピン注入・検出技術の研究に取り組みました。当初、彼は、Siへのスピン注入を早期に達成し、量子ドット技術との融合までを研究計画に記載していましたが、この分野の急速な進展を考慮して、単なるスピン注入の実証例に留まらずデバイス応用を意識した包括的なスピン流物理の研究に掘り下げた研究を行いました。私は、この方針転換は適切で極めて時宜を得たものだと評価します。おそらく、領域会議・ミニワークショップなどでの熱い議論が彼をつき動かしたと思っています。

浜屋研究者は、大きく見て4つの仕事をしました。それらは、世界唯一のショットキートンネル型スピン注入技術の確立、デバイス構造におけるスピン検出感度の重要性の確認とその理解、室温スピン注入信号の電氣的検出、スピン蓄積信号の電界制御です。

これまでの世界で行われた強磁性電極からシリコンへのスピン注入は、縮退した金属伝導性のシリコンにおいてのみ観測されていました。これでは、ゲートによる制御など「半導体動作」が期待できません。彼は、あくまで低ドーピングの半導体シリコンにこだわり、世界で唯一のショットキー接合を使ったスピン注入に取り組み試みしました。このためには、強磁性体/Si界面が原子層レベルで高品質であること、ヘテロ界面付近のみに、関数的に高濃度ドーピング

を施し、チャンネルは半導体であることの2点が必要です。この2点はSi(111)面を使いSbのドーピングとSi(111)低温エピタキシャル層の形成によって実現することができました。このショットキー接合電極をもちいて3端子素子を作り、室温で明瞭なHanle効果(磁界印加で半導体中のスピン偏極状態が緩和する現象)を見いだしました。また、MOSFET構造をつくり、スピン蓄積量がゲート電極に加える電圧によって制御できることも確認しました。これらは、**半導体グレードのシリコンでスピン蓄積効果を観測した世界初のデータ**です。国際的にも高く評価されることは、Appl. Phys. Lett.誌のResearch Highlightに選出されたことから伺えます。彼の研究業績は、平成23年度科学技術分野の文部科学大臣表彰 若手科学者賞、船井情報科学奨励賞、安藤博記念学術奨励賞をはじめ、各種学会の論文賞等を得ています。

本研究の成果は、スピントロニクス of 永年の夢であるスピントランジスタの実現に向けた大きな一歩であり、今後のデバイス応用への発展が期待できるという点で、特に高く評価されます。

## 6, 主な研究成果リスト

### (1) 論文(原著論文)発表

1. Y. Ando, K. Kasahara, Y. Maeda, Y. Baba, Y. Hoshi, K. Sawano, M. Miyao, and **K. Hamaya**, “Temperature evolution of spin accumulation detected electrically in a nondegenerated silicon channel”, *Phys. Rev. B* **85**, 035320 (2012).
2. Y. Ando, Y. Maeda, K. Kasahara, S. Yamada, Y. Hoshi, K. Sawano, K. Izunome, A. Sakai, M. Miyao, and **K. Hamaya**, “Electric-field control of spin accumulation signals in silicon at room temperature”, *Appl. Phys. Lett.* **99**, 132511 (2011).
3. Y. Ando, K. Kasahara, K. Yamane, Y. Baba, Y. Maeda, Y. Hoshi, K. Sawano, M. Miyao, and **K. Hamaya**, “Bias current dependence of spin accumulation signals in a Si channel detected at a Schottky tunnel contact”, *Appl. Phys. Lett.* **99**, 012113 (2011).
4. Y. Maeda, **K. Hamaya**, S. Yamada, Y. Ando, K. Yamane, and M. Miyao, “High-quality epitaxial CoFe/Si(111) heterojunctions fabricated by low-temperature molecular beam epitaxy”, *Appl. Phys. Lett.* **97**, 192501 (2010).
5. Y. Ando, **K. Hamaya**, K. Kasahara, Y. Kishi, K. Ueda, K. Sawano, T. Sadoh and M. Miyao, “Electrical injection and detection of spin-polarized electrons in silicon through an Fe<sub>3</sub>Si/Si Schottky tunnel barrier”, *Appl. Phys. Lett.* **94**, 182105 (2009).

など 25 件

### (2) 特許出願

なし

### (3) その他の成果(主要な学会発表、受賞、著作物等)

#### (招待講演)

1. **浜屋宏平**, “強磁性電極を接合した半導体量子ドットのスピン伝導に関する研究”, 日本物理学会 第66回年次大会, 新潟, 2011年3月27日.

2. **K. Hamaya** and M. Miyao, “High-quality epitaxial growth of ferromagnetic alloys on group-IV semiconductors for spintronic devices”, 2010 MRS Fall Meeting, Symposium AA, Boston, U.S.A., Nov.29 - Dec.3.
3. **浜屋宏平**, 町田友樹, “単一量子ドット/強磁性電極ナノ接合におけるスピン伝導”, スピン依存電気伝導 ~ 次世代のスピンエレクトロニクスを目指して, 日本物理学会 2010年秋季大会, 大阪, 2010年9月25.
4. **K. Hamaya**, Y. Ando and M. Miyao, “Electrical detection of spin transport in Si using high-quality Schottky contacts”, The 2010 International Conference on Solid State Devices and Materials (SSDM 2010), Tokyo.
5. **K. Hamaya** and M. Miyao, “Epitaxial growth of ferromagnetic Heusler-alloy thin films for SiGe spintronic applications”, ISTDM 2010, May 2010, Stockholm, Sweden.

など

(受賞)

1. 平成 23 年度 科学技術分野の文部科学大臣表彰 若手科学者賞 (2011.4.20 受賞)  
『金属-半導体ナノ接合を利用したスピndeバイスの研究』
2. 第 5 回日本物理学会若手奨励賞 [(社)日本物理学会](2011.3.27 受賞)  
『強磁性電極を接合した半導体量子ドットのスピン伝導に関する研究』
3. 2010 年度 日本磁気学会論文賞 [(社)日本磁気学会](2010.9.5 受賞)  
『高品質 Fe<sub>3</sub>Si/Si からなるショットキトンネル電極を用いたシリコン中のスピン伝導の電氣的検出』
4. 第 23 回 安藤博記念学術奨励賞 [(財)安藤研究所](2010.6.19 受賞)  
『量子ドットスピントランジスタに関する研究』
5. 第 8 回 船井情報科学奨励賞 [(財)船井情報科学振興財団](2009. 4.18 受賞)  
『強磁性単電子トランジスタにおけるスピン機能の実証』