

「情報基盤と利用環境」研究領域 領域活動・評価報告書

—平成17年度終了研究課題—

研究総括 富田 眞治

1. 研究領域の概要

この研究領域は、10億個のトランジスタがチップ上に集積できる時代およびインターネットでコンピュータ利用環境が激変する時代における、新しいコンピュータシステムの基盤技術と利用技術に関連した研究を対象とするものである。

具体的には、超高機能化、超高性能化、超省電力化、モバイル化、情報家電化などを視野に入れたコンピュータシステム（アーキテクチャ、ネットワーク、言語・コンパイラ、OS）、超大規模集積システム設計技術（デザインオートメーション/CAD）、およびインターネット・マルチメディアを中心とした新しい利用に関する基礎研究が含まれる。また、ハードウェアシステムとの関連性を保ちながら行う研究に加えて、全く新しい原理に基づいたコンピュータや新しい知的なコンピュータ応用研究等が含まれる。

2. 研究課題・研究者名

別紙一覧表参照

3. 選考方針

選考の基本的な考えは下記の通り。

- 1) 選考は「情報基盤と利用環境」領域に設けた選考委員9名と研究総括で行う。
- 2) 選考方法は、書類選考、面接選考及び総合選考とする。
 - ・ 書類選考において1提案につき3名の選考委員に査読評価を依頼する。
 - ・ 選考委員の所属機関と応募者の所属機関が異なるように配慮する。
 - ・ 面接選考では可能な限り多くの研究提案を直接聴取し、質疑応答する。
- 3) 選考に当たっては目先にとらわれない、先見性・独創性のある研究提案を重視する。
また、活力に富み、自ら研究を実施する意欲の高い者を優先する。

4. 選考の経緯

一応募課題につき領域アドバイザー9名が書類審査し、書類選考会議において面接選考の対象者を選考した。続いて、面接選考および総合選考により、採用候補者を選定した。

選 考	書類選考	面接選考	採用者
対象者数	24 名	12 名	6 名

5. 研究実施期間

平成14年11月～平成18年3月

6. 領域の活動状況

領域会議:7回

研究報告会:1回

研究総括(または技術参事)の研究実施場所訪問:研究総括が研究開始後、全研究者を訪問

し研究環境等の確認。そのほか研究実施場所の移動時あるいは適宜に研究者を訪問

7. 評価の手続き

研究総括が個人研究者からの報告・自己評価を基に領域アドバイザーの協力を得て行った。また、研究終了時に科学技術振興機構が開催する一般公開である研究報告会の参加者の意見を参考とした。

(評価の流れ)

平成 17 年 10 月～	研究期間終了
平成 18 年 3 月	
平成 17 年 12 月	研究報告会開催
平成 18 年 2 月	研究報告書及び研究課題別評価提出
平成 18 年 3 月	研究総括による評価

8. 評価項目

- (1) 外部発表(論文、口頭発表等)、特許、研究を通じた新しい知見の取得等の研究成果の状況
- (2) 得られた研究成果の科学技術への貢献

9. 研究結果

平成 14 年度の 24 件の研究提案の中から採択した研究者(2 期生)は 6 名であったが、以下に述べるように、多様な分野の創造性豊かな研究が含まれている。

3 年間の研究期間を終了し、6 名の研究者が当初の期待以上の研究成果を挙げ、わが国の科学技術の発展に大きな貢献ができたものとする。平成 17 年 12 月 21 日には、3 年間の研究成果をまとめた研究報告会を東京ガーデンパレスにて開催した。この報告会は広く一般を対象としたもので、分かり易い報告に努めるとともに、ポスターセッション・デモを充実し参加者とのコミュニケーションの機会を増やしたため、多くの好意的な感想を頂くことができた。

研究者ごとに言えば、

飯田研究者は近年、システム LSI に柔軟性を加える「やわらかいハードウェア」として注目されているリコンフィギャラブルロジックのアーキテクチャおよび EDA(Electronic Design Automation)ツールについて研究した。具体的には配線構造や低消費エネルギー化方式の提案と検証および EDA ツール開発などの成果を挙げた。システム LSI には多くの機能が組み込まれることが多く、この分野の技術進歩や変化は驚くほど早いため、その生産は多品種少量にならざるを得ず、現在の LSI 生産になじまないところがある。リコンフィギャラブルロジックは、自律的に回路機能を再構成しながら動作する技術で、その対応策として期待されている。

五十嵐研究者は、技術を習得した専門家が膨大な時間をかけて作成している 3 次元 CG 作成を初心者でも簡単に作成できる新しい考え方を提示し、手書きスケッチによる 3 次元モデリングソフトウェアをはじめ様々なインタフェースを提案・実装し、その可能性を世界に示した。ここでは、①形状を即座に表現する技術(手書きスケッチモデリングにおける滑らかな表面の表現、内部構造を持った形状の表現、衣服の形状表現)、②動きを即座に表現する技術、③立体構造や中身の理解を助けるための技術について研究を発展させた。

浮田研究者は、分散配置されたカメラ集合(ユビキタスカメラ)により、広範囲環境の中を移動する多数対象を観測・追跡するシステムの研究を行った。監視やセキュリティを目的とするシステム、歩行者や車を対象とした誘導システムなど、様々な応用システムのためのインフラ技術を確

立することを狙っている。広範囲を移動する多数対象の移動状況を特定し、必要に応じて各対象の行動を精査するために能動カメラ制御による詳細画像観測に関する研究を行い種々の技術を提案し実環境で実証した。

吉瀬研究者は、プロセッサ性能の向上を目指して、多数の命令を同時に処理する大規模な並列処理機構に着目し、命令レベル並列性50に挑戦するために、その土台となる新しいアーキテクチャについて研究した。プロセッサシミュレータや分岐予測器の高性能化、カスケード ALU による並列性向上などの要素技術の開発、ならびに独自の命令形式をもち制御フローコードとメモリフローコードとに命令流を分離する新しいスーパー命令フローアーキテクチャを提案し、その可能性を示した。

中島研究者は、命令レベル並列処理を追求する方式では、飛躍的な性能向上が望めなくなってきたとし、「いかに演算および主記憶アクセスを行わずに処理を済ませるか」の観点から、既存プログラムを大幅に高速化する基本技術を開発した。関数やループを対象として命令区間を再利用したり、事前実行する多重再利用／並列事前実行に基づく高速化方法を提案し、定量的な評価を行って提案技術の有効性を示した。

本間研究者は、近年の LSI 集積度の急激な向上により、データパスの設計はますます複雑で困難になっているにもかかわらず、EDA(Electronic Design Automation)技術は論理回路の記述や検証を基本として発展しており、算術アルゴリズムの設計に対して十分な設計環境が整っていないことに着目した。そこで、データパス設計を高水準なアルゴリズムレベルで行うための新しい設計パラダイムの基盤技術を開発し、算術アルゴリズムの記述・検証・合成技術に大きな成果を挙げた。

10. 評価者

研究総括 富田 眞治 京都大学大学院 情報学研究科長 教授

領域アドバイザー氏名(五十音順)

今井 良彦*2	松下電器産業(株) ソフトウェアエンジニアリングセンター 所長
笠原 博徳	早稲田大学 理工学部 教授
河田 亨*3	シャープ株式会社 フェロー 河田研究所 所長
木戸出 正継	奈良先端科学技術大学院大学 情報科学研究科 教授
櫛木 好明*1	松下電器産業(株) 代表取締役常務
坂井 修一	東京大学大学院 情報理工学系研究科 教授
中島 浩	豊橋技術科学大学 情報工学系 教授
中田 登志之	日本電気株式会社 インターネットシステム研究所 研究統括マネージャ
林 弘	(株)富士通研究所 常務取締役
安浦 寛人	九州大学大学院 システム情報科学研究院 教授

*1:平成13年8月～平成16年7月まで参画

*2:平成16年7月から参画

*3:平成13年8月～平成17年6月まで参画

(参考)

(1)外部発表件数

	国 内	国 際	計
論 文	34	30	64
口 頭	49	33	82
その他	5	1	6
合 計	88	64	152

ソフトウェア公開件数 9件

※平成 18 年 3 月 15 日現在

(2)特許出願件数

国 内	国 際	計
20	1	21

(3)受賞等

・五十嵐 健夫

(i)平成 17 年度科学技術分野の文部科学大臣表彰 若手科学者賞「計算機分野における使いやすい 3 次元 CG 作成利用環境の研究」文部科学省, 2005 年 4 月 13 日

(ii)日本 IBM 科学賞「スケッチ入力によるユーザインタフェースに関する研究」日本 IBM, 2004 年 11 月 4 日

・本間 尚文

第 7 回 LSI IP デザイン・アワード完成表彰部門 IP 賞受賞, May 2005.

(4)招待講演

国際 8件

国内 2件

別紙

「情報基盤と利用環境」領域 研究課題名および研究者氏名

研究者氏名 (参加形態)	研究課題名 (研究実施場所)	現職 (応募時所属)	研究費 (百万円)
飯田 全広 (兼任)	自律再構成可能な論理デバイスの実現 (熊本大学工学部)	熊本大学工学部 助教授 (三菱電機エンジニアリング(株) 鎌倉事業所)	28
五十嵐 健夫 (兼任)	思考支援とコミュニケーションのための 3次元 CG 製作・利用技術の開発 (東京大学大学院情報理工学系研究 科)	東京大学大学院情報理工学系研究 科 助教授 (同 講師)	35
浮田 宗伯 (兼任)	柔軟なユキビタスカメラ環境の構築と 広範囲対象追跡への応用 (奈良先端科学技術大学院大学情報 科学研究科)	奈良先端科学技術大学院大学情報 科学研究科 助手 (同上)	38
吉瀬 謙二 (兼任)	制御フローコードとアドレス計算コードの分離 による新しいプロセッサアーキテクチャの研究 (電気通信大学大学院情報システム学 研究科)	電気通信大学大学院情報システム 学研究科 助手 (同上)	37
中島 康彦 (兼任)	命令列の多重入出力構造を利用した 演算高速化 (京都大学大学院経済学研究科)	京都大学大学院経済学研究科 助教授 (同上)	40
本間 尚文 (兼任)	ハードウェアアルゴリズムの進化的合 成に関する研究 (東北大学大学院情報科学研究科)	東北大学大学院情報科学研究科 助手 (同上)	32

研究課題別評価

1 研究課題名：自律再構成可能な論理デバイスの実現

2 研究者氏名：飯田 全広

3 研究の狙い：

日本の半導体産業は、コスト競争力、技術的優位性の低下という2つの大きな課題がある。コスト競争力は、人件費などが高水準な上、利益率が低いことが原因である。これは LSI の品種の多さとシェアの低さに起因する。また、技術的な優位性の低下は、時勢から巨大投資が必要なプロセス技術で遅れが生じており、さらに EDA (Electronic Design Automation) 技術では米国勢の独占が原因といえる。すなわち、下流からは人件費の安い台湾などの製造専門メーカーに市場を侵食され、上流は膨大な設計資産と EDA 技術を持つ米国のメーカーに押さえられているのが現状である。一方、日本は家電や自動車など世界的に高水準のシステム技術とアプリケーションを有しており、半導体産業はこれらを取り込んだシステム LSI に再生の活路を開こうとしている。アジア諸国と欧米の狭間で独自性を保ち収益を確保するためには、豊富な応用技術を活かせるこのシステム LSI で利益を出す仕組みが必要である。

図1にシステム LSI を取り巻く状況を示す。システム LSI には、MPEG(Moving Picture Experts Group/ Moving Picture Image Coding Experts Group) や JPEG(Joint Photographic Experts Group)、MP3 (MPEG-1 audio layer Ⅲ)などのメディア処理、各種プロトコル処理や通信用誤り訂正符号などのネットワーク処理、暗号化や認証などのセキュリティ処理など複数の機能を集積する。これらの処理は高い処理能力が必要とするため組込みプロセッサだけでは性能が

不足し、現在は専用のハードウェアを個別に設けることで対処している。しかし、SoC(System on a Chip)は開発コストが高く、製品の個別展開や新しい規格に対応することが困難になることが予想されている。システム LSI はシステムそのものをワンチップ化した LSI であるが、収益率を上げるためには少品種大量生産体制で多品種少量生産を実現しなければならない。また、大きな課題として、消費電力の危機、配線の危機、複雑さの危機への対処も必要である。これらの課題のうち、多品種少量生産の課題に対しては「やわらかいハードウェア」であるプログラマブルロジックの混

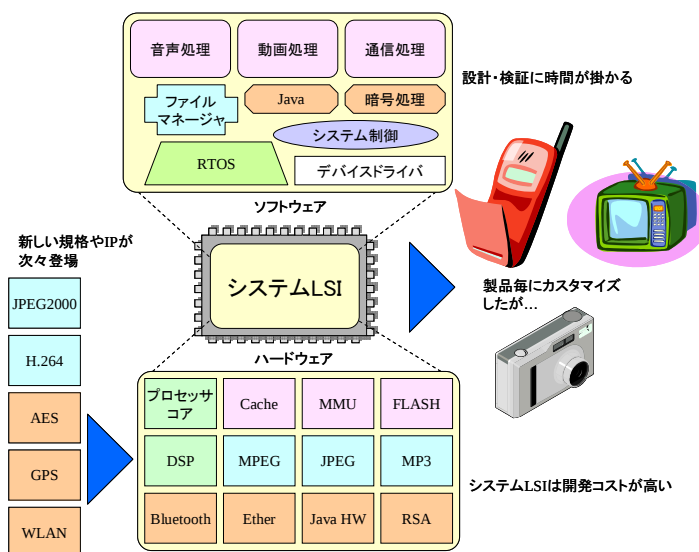


図1 システム LSI を取り巻く状況

載による柔軟性の追加が有望視されている。これによりシステム LSI の製造後のカスタマイズにより生産品種数の削減が期待できるためである。他の課題に対してもプログラマブルロジックに対する期待が大きい。

しかしながら、システム LSI に IP(intellectual property)としてのプログラマブルロジックを混載するためには、クリアしなければならない課題が2つある。一つはプログラマブルロジックに関する特許の問題であり、もう一つはプログラマブルロジックを活かす EDA 技術である。現在、プログラマブルロジックの基本特許は、Xilinx 社、ALTERA 社等の米国の数企業が事実上独占しているのが現状である。日本におけるプログラマブルロジック関連特許数は、他の半導体関連分野に比べ突出して低い。特許庁の平成13年度特許出願技術動向調査報告である「プログラマブル・ロジック・デバイス技術に関する特許出願技術動向調査」(<http://www.jpo.go.jp/shiryou/pdf/gidou-houkoku/pld.pdf>)によれば、1993 年から 2000 年までの日米比率は、半導体プロセス関連で 0.8、論理回路関連で 1.6 に対し、FPGA/PLD(field programmable gate array/ programmable logic device)関連では 22.4 と圧倒されている。いくつかの基本特許はすでにその存続期限が切れているが、彼らの持つ特許に抵触しないシステム LSI 向きのプログラマブルロジック・アーキテクチャの開発が重要である。また、実際に新しいプログラマブルロジック IP が開発され、システム LSI に搭載することはできたとしても、それを活かす EDA 技術の集積が日本にはない。プログラマブルロジックを対象とした EDA ツール研究・開発は国内では非常に少なく、米国を始めとする世界水準から遅れている分野である。

本研究は、システム LSI に柔軟性を加える「やわらかいハードウェア」である新しいプログラマブルロジックのアーキテクチャを研究対象とし、従来の FPGA や PLD より高性能・高機能なデバイス、すなわちリコンフィギャラブルロジックのアーキテクチャとアプリケーションを開発するための設計手法を確立することを目指している。また、システム LSI の課題の一つである消費電力危機に対して、リコンフィギャラブルロジックの機能を活用した消費電力削減方式を提示する。

4 研究成果：

本研究では、システム LSI に搭載することを前提としたプログラマブルロジックの新しいアーキテクチャを提案するにあたり次に示す項目について検討した。

- (ア) リコンフィギャラブルロジックの配線構造(デバイス・アーキテクチャ)
- (イ) 低消費エネルギー化方式およびその設計手法(利用技術)
- (ウ) リコンフィギャラブルロジック向け EDA 技術(EDA ツール)

これらの3項目は図2に示すように相互に深く関係しているため、研究を遂行する上では同時進行しなければならない。本研究では各検討項目を並行して行ってきたが、説明が煩雑になるのを避けるために、個別に研究方法とその成果を説明する。これらの成果は最終的に統合されている。

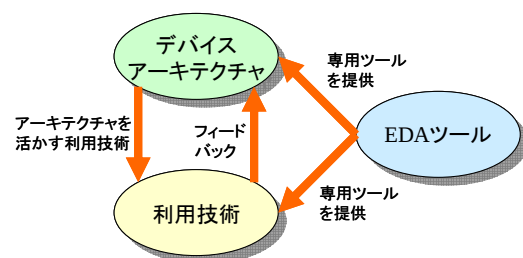


図2 研究の進め方

4. 1 リンコンフィギャブルロジックの配線構造

FPGA に代表されるプログラマブルロジックは、アプリケーションに応じて回路構成を自由に変更可能な LSI である。そのため、特定用途向け計算機システムの高速度性と汎用計算機システムの柔軟性とを両立できるデバイスとして注目を集めている。しかし、現在使用されている FPGA には様々な問題が指摘されている。FPGA は柔軟性を実現するためにチップ面積の実に 80% から 90% の面積が配線資源によって占められている。それゆえに、ASIC 等の専用ハードウェアに比べ、回路の実装効率が著しく低い。さらに、製造プロセスの微細化によって新たな問題も発生している。FPGA 内部で発生する主な遅延は、主として論理ブロック遅延、スイッチ遅延、ワイヤ遅延の 3 つがある。従来の製造プロセスにおいては、論理ブロック遅延とスイッチ遅延が総遅延の大半を占めていたため、ワイヤ遅延はあまり問題にされなかった。しかし、CMOS Process が 100nm 以下のディープサブミクロンプロセスにおいては、トランジスタの小型化により論理ブロック遅延やスイッチ遅延は減少する。それに対して、単位長あたりの配線抵抗と配線容量が増加するため信号線の遅延は著しく増加する。その結果、今度は配線遅延が総遅延の大半を占めるようになる。したがって、システム LSI に搭載されるリコンフィギャブルロジックには、配線資源と配線遅延の削減が重要な課題となる。図3に代表的な Island-Style 型 FPGA の構成を示す。Island-Style 型 FPGA は、Logic Block、Switch Block、Connection Block をそれぞれ2次元マトリクス状に配置し、論理ブロックを取り囲むように信号線が引かれている。その外周には外部と入出力信号を接続するための I/O Pad が配置されている。

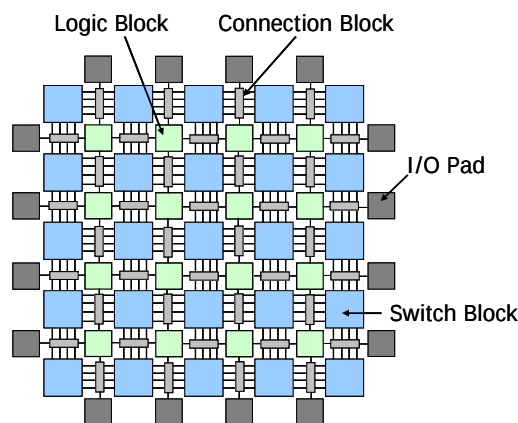


図3 Island-Style 型 FPGA の構成

配線抵抗と配線容量が増加するため信号線の遅延は著しく増加する。その結果、今度は配線遅延が総遅延の大半を占めるようになる。したがって、システム LSI に搭載されるリコンフィギャブルロジックには、配線資源と配線遅延の削減が重要な課題となる。図3に代表的な Island-Style 型 FPGA の構成を示す。Island-Style 型 FPGA は、Logic Block、Switch Block、Connection Block をそれぞれ2次元マトリクス状に配置し、論理ブロックを取り囲むように信号線が引かれている。その外周には外部と入出力信号を接続するための I/O Pad が配置されている。

配線資源と配線遅延の問題を解決するために、本研究項目ではリコンフィギャブルロジックに用いられる配線構造の Small-World Network (以下 SWN を略す) 化を提案した。Small World は、元々社会心理学の分野で生まれた概念である。旅行先やパーティ会場といった場所で初対面の人と話していると、偶然にも共通の知人がいる事が分かり、「世界は狭いですね(It's a small world!)」と驚く経験をした人は多いだろう。これが Small World 現象である。Small World 現象を定式化すると、「世界中の任意の 2 人がどの程度の確率で共通の知人を持っているか」となる。Small World は、長年社会心理学の分野で研究が続けられてきたが、1998 年に Duncan J. Watts がグラフにおける特徴量として定式化して以来、計算機科学の分野でも急速に注目を集めるようになった。図4は、 β -Graph と呼ばれる Small-World Network のモデルである。図中の p はエッジを繋ぎ替える確率を表す。 $p=0(\%)$ の場合、全てのエッジは規則的に繋がれている事になり、これは Regular グラフとなる。 $p=1(\%)$ の場合は全てのエッジがランダム

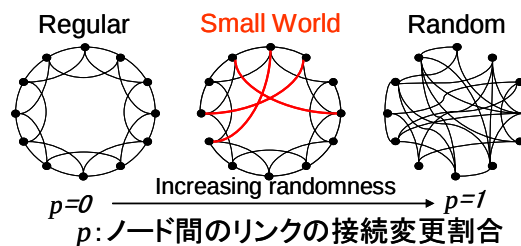


図4 Small-World Network の例

に繋がれている事になるため、これはランダムグラフとなる。SWN は、こうした Regular グラフとランダムグラフのちょうど中間に位置するグラフである。すなわち、SWN とは近くのノード間を繋ぐ規則的なエッジと、遠くのノード間を繋ぐランダムなエッジとが混在するネットワークである。SWN には、ランダムなエッジがあたかもショートカットのような役目を果たす事により、遠くのノードも短い距離で繋がれているという特徴がある。

図5に示したように配線構造の SWN 化は、SW ラインをショートカットパスとして用いることで、クリティカルパス遅延を削減させる。本研究項目では、FPGA 配線構造モデルの SWN 化を行うツールと、配置配線ツール VPR を SWN 化配線構造に対応させたものを用いて、SWN 化配線構造に対して実際に回路を配置配線する事で評価を行った。その結果、CMOS process 70nm、SWN 化率 $p=1(\%)$ の場合において、平均クリティカルパス遅延を最大約 10% 削減できた。また、SWN 化配線構造は Regular 構造に比べて速度性能を維持したまま約 11% 配線リソースが減少させることができた。よって、SWN 化配線構造は従来の配線構造より面積の点でも有利であると言える。

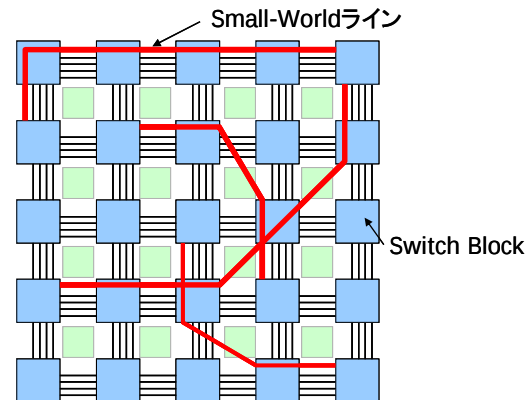


図5 配線構造の SWN 化

4. 2 低消費エネルギー化方式およびその設計手法

リコンフィギャラブルロジックは、FPGA などの従来のプログラマブルロジックから機能が大幅に拡張されている。前節は配線構造に着目したアーキテクチャ研究を説明したが、本節は論理ブロックの機能に着目した低消費エネルギー化手法について述べる。

図6にリコンフィギャラブルロジックの概要を示す。FPGA には無い新しい機能は大きく分けて3つある。第一の機能はマルチコンテキスト化である。コンテキストとは回路情報もしくは回路情報の一部を示し、これをデバイス内部に複数保持する。第二の機能は動的再構成機能である。FPGA は予め実行前に回路データをデバイス内にロード（コンフィギュレーション）しておかなければならないが、リコンフィギャラブルデバイスは実行時に何度でも再構成（リコンフィギュレーション）することができる。第三の機能は部分再構成機能である。デバイス上の一

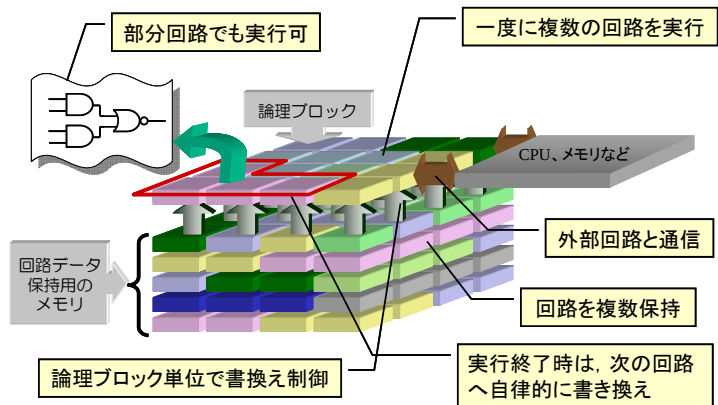


図6 リコンフィギャラブルロジックの概要

しい機能は大きく分けて3つある。第一の機能はマルチコンテキスト化である。コンテキストとは回路情報もしくは回路情報の一部を示し、これをデバイス内部に複数保持する。第二の機能は動的再構成機能である。FPGA は予め実行前に回路データをデバイス内にロード（コンフィギュレーション）しておかなければならないが、リコンフィギャラブルデバイスは実行時に何度でも再構成（リコンフィギュレーション）することができる。第三の機能は部分再構成機能である。デバイス上の一

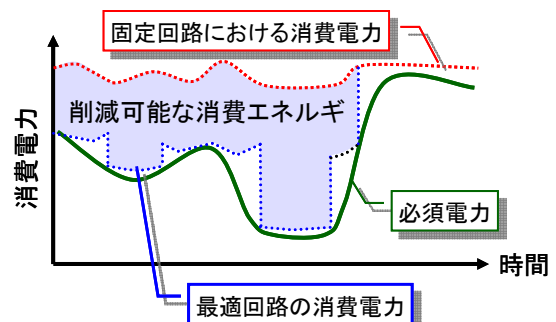


図7 消費エネルギー削減方式の概要

部分の論理ブロックを他に影響せずに再構成する機能である。本研究項目では、上記の3機能を用いて低消費エネルギー化方式を提案した。

一般にシステム LSI 中のリコンフィギャブルロジック領域に実装される回路は、ハードウェア化が必要なほどの演算量と時間的制約を持つ。しかしながら、そのシステム LSI が動作中のすべての時間で処理データが供給され、演算が行われるわけではない(待機時間が存在する)。また、たとえデータが供給されているとしても、入力データによって、処理内容が変化することが多い(常に最大電力を消費する演算ばかりではない)。すなわち、必要となる演算能力は時々刻々変化するに対して、これまでの固定的な回路は、最大演算能力を提供する必要から、常に余剰な演算能力を持つ。一方、リコンフィギャブルロジックの部分再構成機能は、回路が動作中に部分的な回路変更を可能とする。また、動作中のある瞬間には、そのときの入力データや処理内容に依存した最適な回路が存在し、最適な回路においては従来の固定的な回路と比較して、図7に示したように消費エネルギーを抑制することができる。言い換えれば、本研究の基本アイディアは、パフォーマンス-パワー-トレードオフを回路の書換えによって制御する点にある。

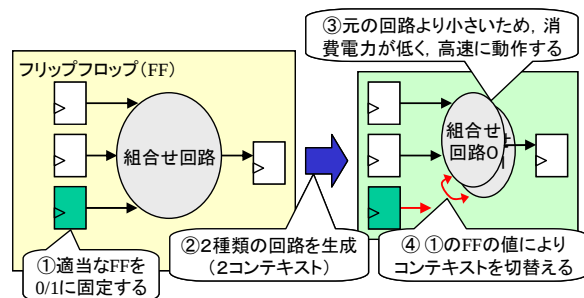


図8 低消費エネルギー化の原理

マルチコンテキスト機能を利用した低消費エネルギー化の原理を図8に示す。この例では、オリジナル回路の組合せ回路部分について、それに入力を与える1ビットのフリップフロップ (FF) の値を0および1に固定することにより2種類の回路(コンテキスト)生成する。その2つのコンテキストを固定したFFの値によってスイッチすることで動作する。個々のコンテキストは回路規模が縮小しているため、結果として消費する電力の低下と動作速度の向上が得られた。

4. 3 リコンフィギャブルロジック向け EDA 技術

従来のプログラマブルロジックは ASIC の EDA ツールを流用できたが、リコンフィギャブルロジックでは、図9に示したようにマルチコンテキスト化などのために複数の回路を生成する機能が必要である。また、複数の回路は論理合成、テクノロジマッピング、クラスタリングされた後、同一デバイス上に実装するために統合する必要がある。前節

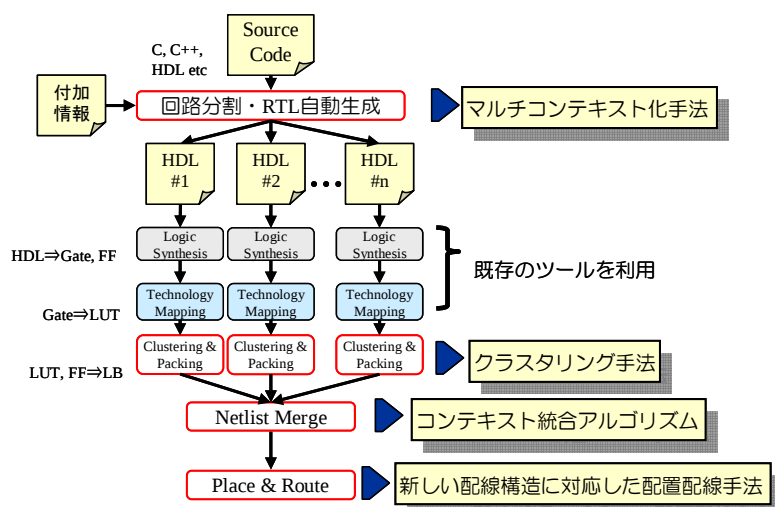


図9 リコンフィギャブルロジックの設計フロー

までに配線構造などのデバイス・アーキテクチャや低消費エネルギー化設計手法の提案し、必要

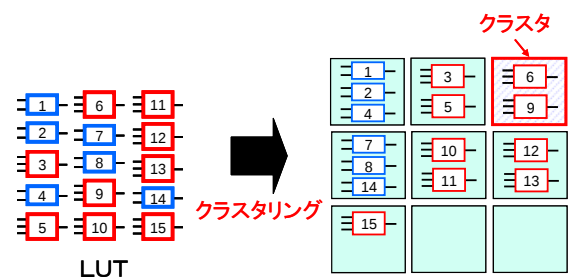
なツールの開発を行ってきた。しかし、これらの研究は個々の目標を達成してきているが、EDA ツールを含めデバイス全体として完成したものではない。そこで本研究課題は、これまでの研究成果を集大成すると共に統合 EDA ツールの開発に取り組んだ成果について報告する。

(1) マルチコンテキスト化手法

前節で述べたようにマルチコンテキスト化手法として、組合せ論理回路の入力フリップフロップ (FF) の値で決まるデータ依存回路を用いた。ここで問題は、複数ある入力 FF のどのビットを用いてマルチコンテキスト化するかと何ビットを固定してコンテキスト数をいくつにするかである。本研究項目ではゲート削減率、ファンアウト数、トグル率の3項目で最も低消費エネルギーになるも FF を探索した。また、コンテキスト数は FF を1ビット固定の場合は2コンテキストであり、2ビットの場合は4コンテキストになる。この2つのケースについて評価した。評価結果から、論理ゲート削減率やファンアウト数の値がより高い FF を固定すると、LUT 数がより多く削減し、その結果、消費エネルギーの削減効果も高いことがわかった。また、FF を2ビット用いた場合は、若干削減率が上がるが再構成頻度が増えることを考慮するとさほど有効でないことも確認された。

(2) クラスタリング手法

クラスタリング処理は従来の FPGA にもあり、リコンフィギュラブルロジック特有の処理ではない。図10に示したように、クラスタリングとは回路がテクノロジマッピングされた LUT (Look Up Table) を論理ブロックにまとめていく作業である。クラスタリングによって複数の LUT がまとめられた論理ブロックを論理クラスタと呼んでいる。クラスタリング処理における LUT の組合せ数は、LUT 数に対して指数関数的に増加する。そのため、最



＜クラスタリングにおける問題点＞

最適化問題

LUTの組合せ方によって性能が左右される

開発期間の問題

クラスタリングの効果が配置配線後まで分らない

図10 クラスタリング

適なクラスタリング処理を行うことは困難であり、所望の回路性能を満たすためにどのような最適化目標で処理を行うかを決めなければならない。一般に論理クラスタは、内部に高速なローカル配線を持っており、各 LUT をクラスタ内部で高速に接続することが可能である。また、効率の良い LUT のクラスタ化は、配線資源の削減にもつながるためシステム LSI 向けのリコンフィギュラブルロジックでは重要な処理といえる。

本研究項目では、SA (Simulated Annealing) を用いてクラスタリング処理を行った。その際、新しい評価指標を提案した。提案評価指標は、内部接続指標 I と配線性指標 C の組合せからなる。前者はクラスタ内部のローカル配線による接続に注目してクリティカルパスのクラスタリングを最適化するため遅延改善に効果が大きい。後者は配線リソース使用量を削減するためにクラスタ外部の汎用配線による接続に注目している。これにより、配線資源を最小化する。

図11 は、配線エリアとクリティカルパス遅延の結果を表している。それぞれ縦軸が評価項目を表しており、横軸がベンチマーク回路を表している。提案クラスタリング手法が既存のクラスタリングツール (T-VPack) よりも大きく配線エリアを縮小させることができていことがわかる。提案クラ

スタリング手法は最大で 40%、平均で 19%配線エリアを改善させることができた。クリティカルパス遅延に関して提案クラスタリング手法が T-VPack と同等以上の性能であるという結果が得られた。提案クラスタリング手法は最大で 13%、平均で 2%クリティカルパス遅延を改善させることができた。

5 自己評価:

本研究は、自律的に回路機能を再構成しながら動作するプログラマブル・ロジック・デバイスのアーキテクチャの確立を目指して研究を進めてきた。ここまでの研究成果から、リコンフィギュラブルロジックは有望な技術であり、将来性が期待されるデバイスであることが示せたのではないと思う。

当初の研究計画における目標は、回路の仮想化を実現する配線構造、自律的な再構成制御方式を確立、およびマッピング・ツール、配置配線ツール等の開発であった。デバイス・アーキテクチャとしては、新しい配線構造を提案・評価できたことから目標を達成できたと考えている。また、自律的な再構成制御方式については、マルチコンテキスト化、低消費エネルギー化と関連して研究の諸についたばかりであり、十分な成果を得るにはいたらなかった。しかし、自立再構成の実現に向けた足掛かりは築けた。そして、EDA ツール開発については、提案アーキテクチャ向け配置配線ツールの作成のみならず、クラスタリングツールの研究にも発展し、予想外の成果が得られた。

一方、本研究で着手できなかった項目も多く存在する。例えば、論理ブロックのアーキテクチャについては本研究では直接論じなかった。現在、従来の FPGA などが持つ細粒度方式と新しい粗粒度方式が次期主役を狙ってせめぎ合いをしている。さらに、最新の研究では論理ブロックの粒度を可変にするアーキテクチャも研究されている。また、EDA 技術も実用化に向けては課題が多い。検証技術や耐故障性に関する研究は未着手の領域である。

6 研究総括の見解:

飯田研究者はリコンフィギュラブルロジックのアーキテクチャとアプリケーションを開発するための設計手法について研究し、①リコンフィギュラブルロジックに用いられる配線構造の Small-World Network 化の提案、②低消費エネルギー化方式およびその設計手法の提案、③リコンフィギュラブルロジック向け EDA ツールの開発をおこない、効果検証によりその有効性を確認し

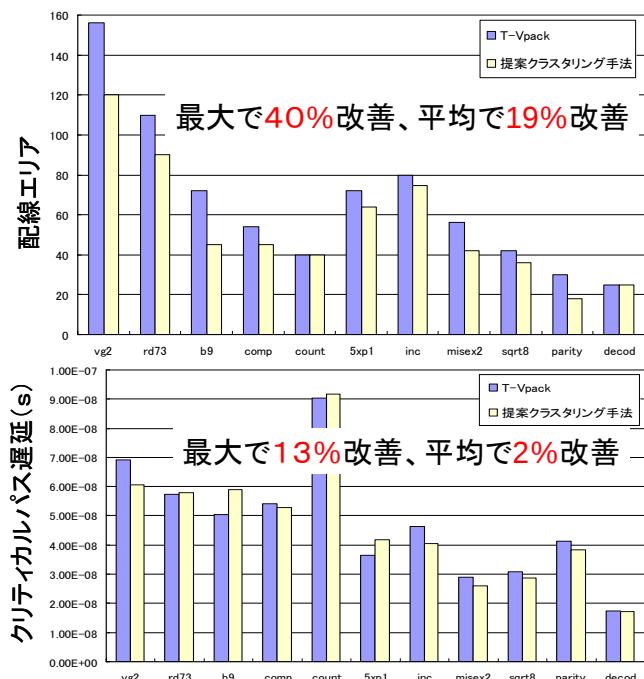


図11 配線領域とクリティカルパス遅延の評価

た。リコンフィギャラブルロジックは LSI ハードウェアに柔軟性を加える技術として大きな注目を浴びているが、日本は米国に比べ研究が遅れている感がある。また、まだ技術的に多くの課題が残されているように思われる。今後もこの研究を推進し、さらに大きな成果となることを期待している。

7 主な論文等:

論文

- (1) Hisashi TSUKIASHI, Masahiro IIDA and Toshinori SUEYOSHI : Applying the Small-World Network to Routing Structure of FPGAs, Proc. of 15th International Conference on Field Programmable Logic and Applications (FPL2005), pp.65-70, Aug. 2005.
- (2) Shigeki IMAI, Masahiro IIDA and Toshinori SUEYOSHI : A low power design method using multi-context dynamic reconfiguration, Proc. of The 20th Commemorative International Technical Conference on Circuits / Systems, Computers and Communications (ITC-CSCC2005), Vol. 2, pp.563-564, July 2005.
- (3) Masahiro IIDA, Shinya ABE, Hisashi TSUKIASHI, Ryoji OGATA and Toshinori SUEYOSHI : Adopting the Small-World Network in Routing Structure of FPGA, Proc. of International Workshop on Applied Reconfigurable Computing (ARC2005), pp.92-98, Feb. 2005.
- (4) 今井茂毅, 飯田全広, 末吉敏則 : RLD の動的再構成機能を利用した消費エネルギー削減手法, 第 12 回 FPGA/PLD Design Conference ユーザプレゼンテーション論文集, pp.57-64, Jan. 2005.
- (5) 阿部晋也, 飯田全広, 末吉敏則 : Simulated Evolution を用いた配置配線同時処理手法の開発, DA シンポジウム 2004 論文集, pp.225-228, Aug. 2004.

特許

- (1)特開 2005-158815, プログラマブル論理回路およびプログラマブル論理回路の配線構造, 飯田全広

受賞

特になし

招待講演

特になし

研究課題別評価

1 研究課題名: 思考支援とコミュニケーションのための3次元CG製作・利用技術の開発

2 研究者氏名: 五十嵐 健夫

3 研究の狙い:

計算機による3次元コンピュータグラフィクス(CG)に関する研究は長く行われてきているが、近年映画やコマーシャルフィルムやビデオゲームに大量に利用されるなど、単にプロダクトとして美しい映像や動画を提示する手法に関しては成熟期を迎えているといえる。一方で、CGのコンテンツ作成は依然として困難な作業であり、技術を習得したエキスパートが膨大な時間をかけて作成しているのが現状である。例えば、3次元アニメーションを生成する際には、各コマにおける3次元モデルの位置や姿勢を基本的にすべて明示的に指定していく必要がある。CG研究者らの間でもこのようなCG作成にかかる労力の軽減が大きな研究課題として認識されはじめており、国内外、特に米国において活発に研究活動が行われている。しかし、これらの研究の対象はあくまでCG制作を専門とする技術者の労力低減および作業の効率化を目的としたものである。我々の研究の目的は、これらの取り組みをさらに一歩進め、ワープロや電子メールのような日常的な知的生産活動の道具として利用することのできる3次元CGモデルやアニメーションの構築・利用環境を実現することである。

4 研究成果:

研究を進めるにあたっては、アルゴリズムの開発と並んで、インタフェースのデザインが重要な課題となる。研究にあたっては、新しい手法に基づくプロトタイプシステムを個別に作成した後、自分達や外部のユーザによるテストを繰り返すことによって最適なインタフェースの設計を行った。できあがったシステムは使いやすい形にして外部に公開し、成果を社会に還元するとともに、得られるフィードバックを元に改良を進めてきた。

具体的な成果としては、以下のようなものが得られている。

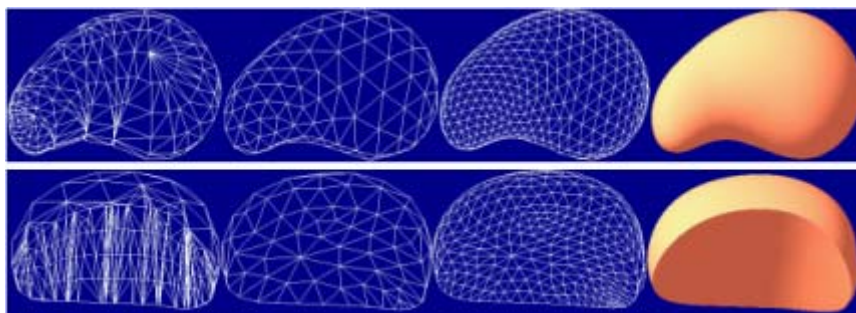
1). 形状を即座に表現する技術

これはいわゆる3次元モデリングに相当する項目である。

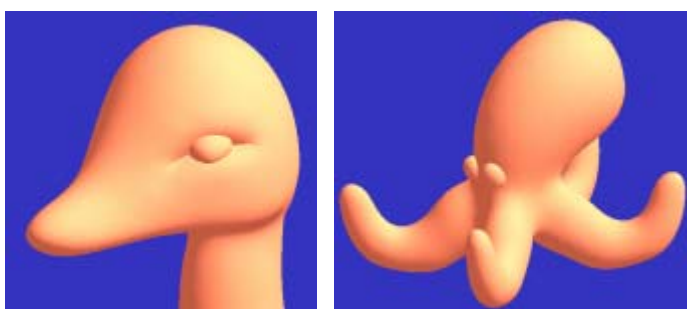
1-1) 手書きスケッチモデリングにおける滑らかな表面の表現

まず、提案者が過去に開発した手書きスケッチによるモデリングでは不完全であった滑らかで高品質なモデル表面の表現を追求した。これには、陰関数による表現などが有効と思われるが、単純な陰関数の利用では皺や尖った先端などが表現できないので、それらを表現できるような拡張を行った。また、元の手書きスケッチによるシステムでは、表現できる形状が限られていたので、皺やフィレットなど、より詳細な形状の表現が可能となるようにアルゴリズムおよびインタフェース

の拡張を行った。



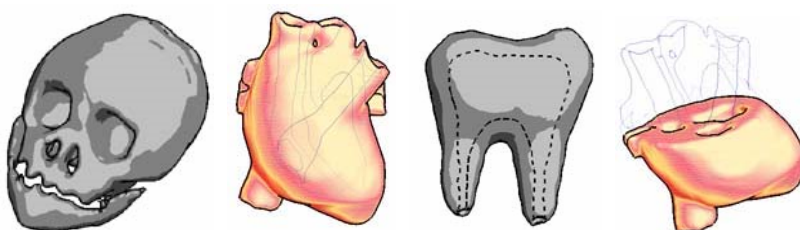
メッシュの生成プロセス。右から、初期生成、整形後、詳細化後、スムーズシェーディング



モデリング例

1-2) 内部構造を持った形状の表現

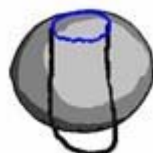
本研究では、内部構造を持つ物体をモデリングするためのスケッチベース手法を提案した。この手法では物体生成時に複数の輪郭線を定義したり、一時的な切断を行い、その断面にストロークを描きこんだりするなど、穴や空洞を持つ物体を定義するいくつかの操作が実装されている。また、ボリュームデータ構造を採用することにより、自己交差を起こすことなく物体のトポロジーを変化させることが容易に実現できる。また、エディット操作において必要な回転動作を自動化することによって、ユーザの操作が簡略化された。我々のシステムは、初心者にとっても非常に使いやすいものである。



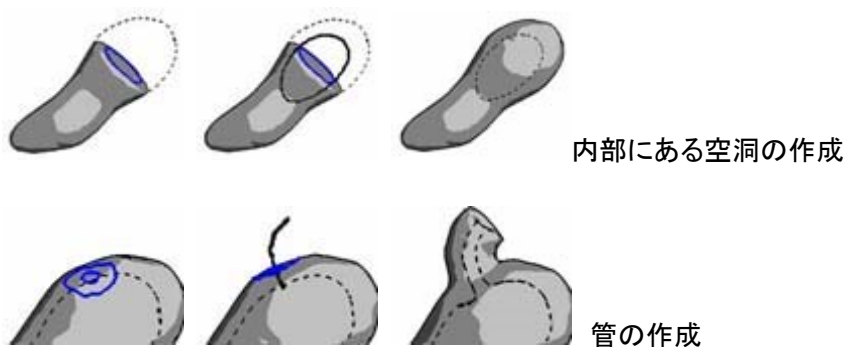
モデリング例



新規生成操作

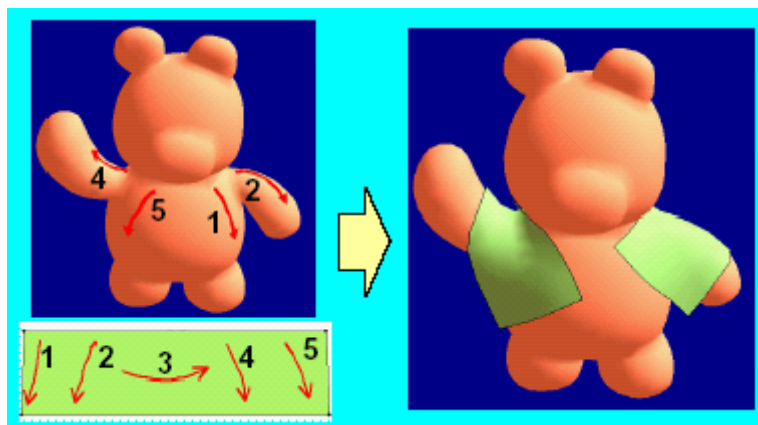


穴開け操作

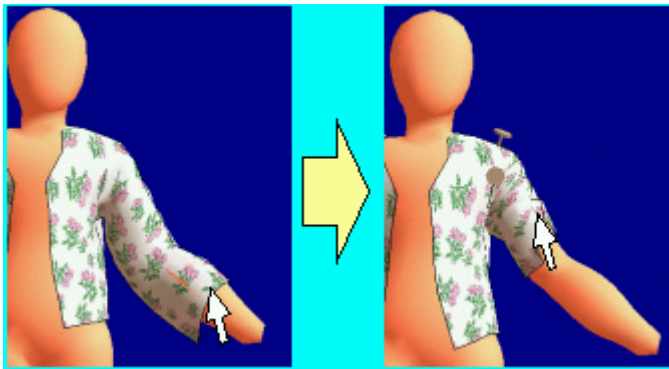


1-3) 衣服の形状表現

より複雑な形状表現の例として、衣服の形状表現についても研究を行った。現在、衣服の物理的なシミュレーションについては多くの研究が進められているが、ゼロから衣服の形状をデザインし、それを簡単に3次元CGキャラクタに着せつける、というインタフェースはいまだ未成熟であるので、この点についての技術開発を行った。これらは、CGキャラクタに手軽に服を着せるための道具として、あるいは実世界における衣装について議論する際のツールとしての利用が期待できる。具体的には2つの手法を提案している。第一の手法は2次元の衣服パターンを3次元キャラクタの上に着せるもので、キャラクタの表面と衣服の上に手書きの線を描くと、システムの方で対応する線同士が重なるように衣服をキャラクタの上に配置する。第二の手法は、着せた後の服の位置を調整するもので、服をつまんでキャラクタの表面上を移動することができる。通常の頂点のドラッグ操作とは異なり、マウスによる移動分をキャラクタの表面に沿って衣服全体に明示的に伝播することで、より大きな動きを実現することができる。



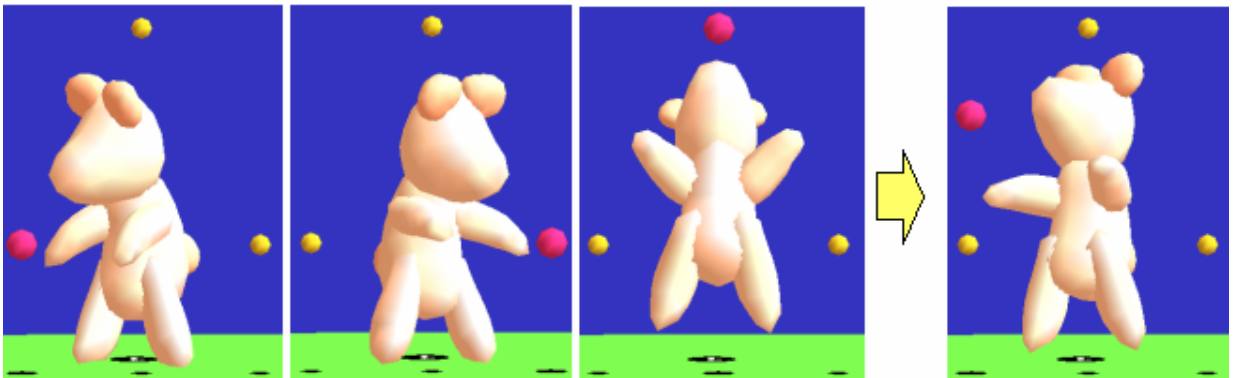
衣服の着せつけ



着衣後の衣服の操作

2) 動きを即座に表現する技術

これはいわゆるコンピュータアニメーションといわれる分野に関する研究である。現在、アニメーションの作成に用いられている手法としては、いくつかのポーズを指定して間を補完するキーフレーミング、詳細な物理モデルを元に計算を行う物理シミュレーション、実際の人間の動きを記録して利用するモーションキャプチャーなどがあるが、どれも、詳細な検討を元に時間と手間をかけて作成するための手法であり、手書きスケッチのようにアイデアをすぐに形にして表現するといった目的には適していない。本プロジェクトでは、動きについての表現を、手早く簡単に生成することのできる手法の開発を行った。具体的には、「対象オブジェクトを直接操作して、その様子をそのまま記録してアニメーションとする」という考え方を元に、それをサポートする手法群の開発を行った。その際に、多数の関節を持つ CG キャラクタをいかに操作するかという点が問題になるが、あらかじめ動きに関する情報をうまく与えることにより、リアルタイムで表情豊かな動作を表現することを実現した。

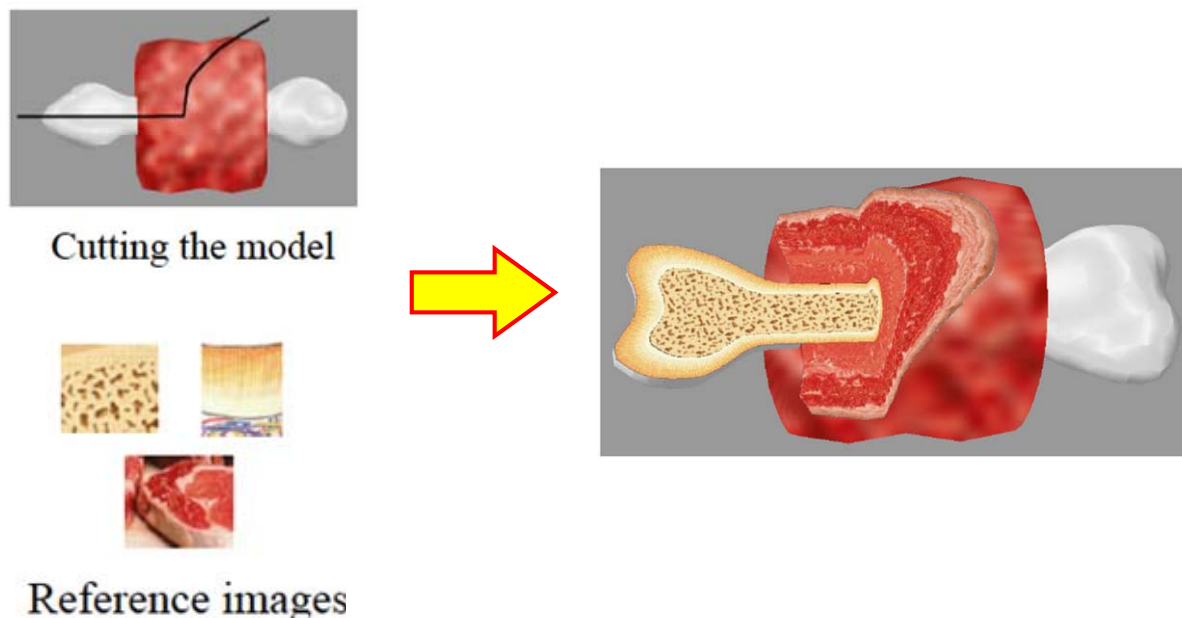


動きの設定例。左の3つがキーとなるポーズ。右の画像がキーのブレンドによるポーズ例。

3) 立体構造や中身の理解を助けるための技術

これは、外見上の形状だけでなく、内部に複雑な構造を持つ3次元モデルを作成、およびブラウジングするための手法である。複雑な情報の理解を助けるための手法として、大規模データの情報視覚化の研究が行われてきているが、複雑な3次元構造を説明用に作成し、かつ分かりやすく提示するといった研究はあまり行われていない。現状では、角度を変えて見る他は、パラメータを手作業で調整したり、あらかじめ用意されたシナリオに従って開いたり閉じたりする程度で、実世界でものを手にして自由自在に観察するといった行為に対応するような操作はあまり実現されてい

ない。本研究では、ただ単に一枚の絵として結果を提示するのではなく、ユーザの操作に対するシステムの返答といった一連の操作を通じて内容を理解させるという、よりダイナミックな表現を実現した。具体的には、自在に物体の一部を切り開いて中を観察したり、自由な場所で切断して断面図を得る手法を開発した。



断面画像の生成。ユーザが画像を切断すると、あらかじめ与えられていたサンプル画像を元に、断面のテクスチャを自動的に生成する。

5 自己評価:

当初の目標は、3次元 CG を身近に使えるようにするためのインタフェース技術を開発することであった。成果として様々なインタフェースを提案、実装し、3次元 CG の可能性を世に示したという点で一定の成果が挙げられたものと考えている。対外的な成果としても16編の国際会議論文、5件の新聞・雑誌報道などが得られている。また、当該研究テーマに関連した国際的なワークショップや、有名雑誌の特集が組まれるなど、学術分野において大きな反響が得られている。しかし、今回の研究期間中に開発したものはあくまでもプロトタイプシステムであり、実際に使えるソフトウェアを開発し、世の中で広く使われるようにする部分はまだ今後の課題として残されている。

6 研究総括の見解:

誰もが3次元 CG を表現手法として利用できるという独創的・画期的な研究をさらに進化させた。多くの国際会議における論文発表、また新聞・雑誌報道などにもたびたび取り上げられるなど、大きな反響が得られている。今後は、これまでさきがけプログラムで開発してきた基礎技術をさらに発展させるとともに、医療、デザイン、教育などの分野で、より実用化を目指した技術開発や実証実験を行い、真に誰もが広く3次元 CG を使えるような取り組みをしてもらいたい。

7 主な論文等:

論文

(1) Makoto Okabe, Shigeru Owada, Takeo Igarashi, "Interactive Design of Botanical Trees Using Freehand Sketches and Example-based Editing", Computer Graphics Forum, Vol. 24, Issue 3, (Eurographics 2005), Trinity College, Dublin, Ireland, Aug 29 – Sep 02, 2005.

(2) Takeo Igarashi, Tomer Moscovich, John F. Hughes, "As-Rigid-As-Possible Shape Manipulation", ACM Transactions on Computer Graphics, Vol.24, No.3, ACM SIGGRAPH 2005, Los Angeles, USA, 2005, pp. 1134–1141.

(3) Takashi Ijiri, Makoto Okabe, Shigeru Owada, Takeo Igarashi, "Floral diagrams and inflorescences: Interactive flower modeling using botanical structural constraints" ACM Transactions on Computer Graphics, Vol.24, No.3, ACM SIGGRAPH 2005, Los Angeles, USA, 2005.

(4) Shigeru Owada, Frank Nielsen, Makoto Okabe, Takeo Igarashi, "Volumetric Illustration: Designing 3D Models with Internal Textures", ACM Transactions on Computer Graphics, Vol.23, No.3, ACM SIGGRAPH 2004, pp.322–328, Los Angeles, USA, August 8–12, 2004.

(5) Takeo Igarashi, Tomer Moscovich, John F. Hughes, "Spatial Keyframing for Performance-driven Animation", ACM SIGGRAPH / Eurographics Symposium on Computer Animation, 2005.

特許

(1) 特願 2004–107691 (2004/3/31)

五十嵐健夫、岡部誠「3次元樹木形状生成装置、3次元樹木形状生成プログラム及び記録媒体」

(2) 特願 2004–165039 (2004/6/2)

五十嵐健夫、大和田茂「発明の名称:切断面画像生成装置、切断面画像生成プログラム及び記録媒体」

受賞

(1) 平成 17 年度科学技術分野の文部科学大臣表彰 若手科学者賞「計算機分野における使いやすい 3 次元 CG 作成利用環境の研究」文部科学省, 2005 年 4 月 13 日

(2) 日本 IBM 科学賞「スケッチ入力によるユーザインタフェースに関する研究」日本 IBM, 2004 年 11 月 4 日

招待講演

- (1) “3D Graphics for Everyone”, The 2004 Kyoto Prize Workshop, Future of Personal Computing and Education, November 12, 2004, Kyoto.
- (2) “Interactive Smart Computers”, Invited Talk, The International Conference on Creating, Connecting, and Collaborating through Computing, Shiran Kaikan, Kyoto University, Kyoto, Japan, Jan. 28–19, 2005.
- (3) “Freeform User Interfaces for Graphical Computing”, Keynote Talk, Eurographics Workshop on Sketch-based Modeling and Interface, Grenoble, France, Aug, 2004
- (4) “物体の堅さを表現した 2 次元形状の操作手法”, WISS 第 13 回 インタラクティブシステムとソフトウェアに関するワークショップ, 2005

研究課題別評価

1 研究課題名：柔軟なユビキタスカメラ環境の構築と広範囲対象追跡への応用

2 研究者氏名：浮田 宗伯

3 研究の狙い：

本研究では、分散配置されたカメラ集合（ユビキタスカメラ）により、一般的な広範囲環境を移動する多数対象を観測・追跡するシステムを実現するための諸問題を取り扱った。想定する環境を図1に示す。図に示したように、全てのカメラは有線・無線ネットワークにより結合されており、相互に通信可能である。各カメラは、撮影画像を解析して、その解析結果を他のカメラと交換し、その結果に基づいてシステム全体で協調的に動作しながら観測結果を統合する。現在のハードウェア技術で、こうした処理を全てカメラ単体に行わせることは困難であるため、実際には各カメラは計算機と一対一で構成され、全ての計算処理やネットワークを介した情報交換はこの計算機が行うように設計している。

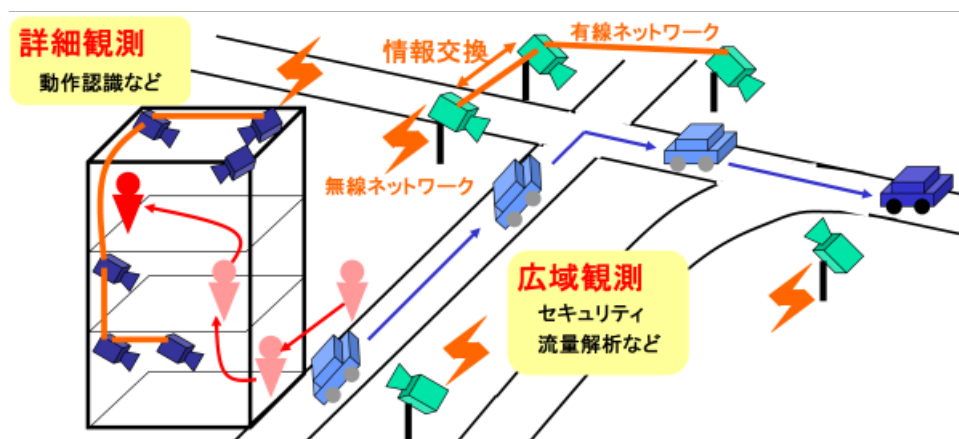


図1 ユビキタスカメラによる広範囲・多数対象追跡

こうしたユビキタスカメラによる環境観測は様々な特徴を備えるが、本研究では以下の2点に大別して研究を進めた：

詳細観測：部屋や広場などの局所空間において、複数カメラで対象を多方向から観測する。この多方向観測により、3次元情報計算、障害物による遮蔽を避けた継続観測、などが可能となる。さらに本研究では、首振り・ズーム可能な能動カメラを利用することにより、対象の高解像度画像撮影を可能とする。この高解像度画像は、画像解析に基づいたあらゆる手法（顔認識、ジェスチャ認識、形状復元など）の精度を向上させることができる。

広域観測：建物全体や道路交通網上に配置されたカメラ集合により観測された対象情報から、その対象の移動情報（軌跡、経路、時刻など）を推定する。広範囲にわたる対象の移動を継続的に追跡することができれば、セキュリティー目的の監視や交通計画のための流量観測の自動化などが実現できる。

4 研究成果：

本研究の成果全体と将来展望の関係を図2に示す。本稿では、対象追跡機能に焦点を当てて以下

の項目についてその概要を述べる：

観測画像からの対象領域検出 (4.1 章)： 広域・長時間にわたる観測において、画像中から対象領域を正確に検出する手法。

多数対象の同時追跡 (4.2 章)： 局所領域に設置された少数カメラを利用して、より多数の対象を協調的・効率的に追跡するためのシステム。

ユビキタスカメラの連結関係推定と広範囲対象追跡 (4.3 章)： 広域分散配置されたカメラ集合が観測する領域と移動対象の経路間を、観測画像集合から自動的に推定する手法。

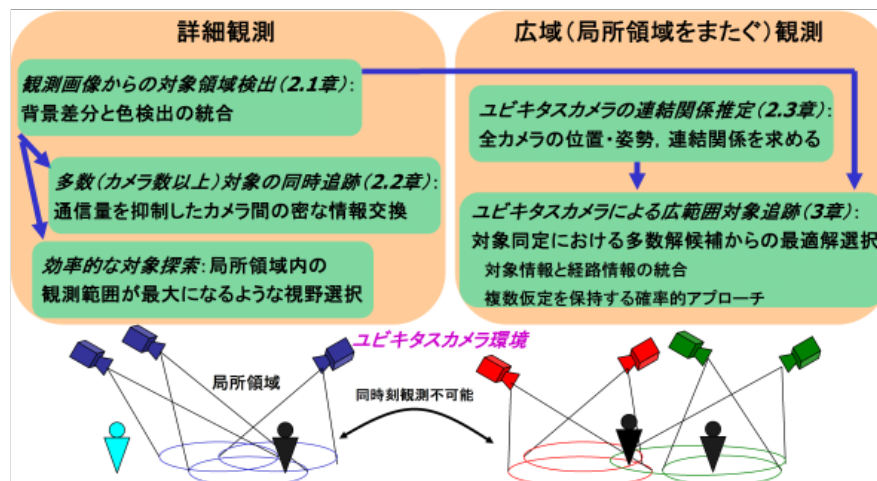


図2 研究項目全体の関連図

4. 1. 観測画像からの対象領域検出

観測画像中から背景外物体や移動物体を検出する手法は、数多くの視覚システムの最も基盤となる技術の一つであり、様々な手法が提案されている。その中で「背景画像と入力画像間の差分の大きな領域を検出する」背景差分は、ターゲットに関する事前知識を必要とせず任意の対象を検出可能であり、十分な背景情報を事前に学習可能な環境下であれば優れた結果を期待できる。しかし実環境で頑健に動作する背景差分を実現するためには、以下の技術的課題を解決しなければならない：

問題 1: 照明変化 照明変化や影による背景物体の見えの変化の誤検出。

問題 2: 非静止領域 背景内の非静止領域(葉や旗の揺らぎなど)の誤検出。

問題 3: 類似色 背景に似た色の対象検出が困難。

これらの問題が解決できていない場合、検出結果には誤検出・未検出が生じてしまう。背景差分に基づいた従来法では、(1)背景画像のモデル化(色モデル)における近似誤差、(2)背景情報のみから検出処理が行われる、という処理が原因となって上記問題を全て同時に解決することは難しい。これらの問題を解決するためには、(1)近似誤差を伴わない色値のモデル化、(2)背景色とターゲット色の両方を考慮した検出閾値の決定、が有効であると考えられる。そこで、最近傍識別を利用して非近似の背景色とターゲット色を記録・識別する実時間対象領域検出法を提案した。

この手法では、対象検出時に起こりうる背景変動を含んだサンプル画像を全て事前に観測・収集しておく。このサンプル背景画像から各画素の色を抽出し、画像座標・色を統合して表現した識別空間中に全て記録しておく(図3、左上→右)。図中の識別空間は、画像座標(x,y)と色情報(Y,U,V)により構成された5次元空間であり、色の類似性に加えて背景色の空間的な近接性も表現している。対象検出時には、まず通常の背景差分と同様、事前に学習した背景色との差分の大きな領域を検出する。さらに、検出された領

域中の色をターゲット色として識別空間中に記録する(図3, 左下→右). 以降, 入力画像中の各画素の色は, 識別空間中に記録された背景色とターゲット色との距離を評価し, 近いクラスに属する色として識別される.

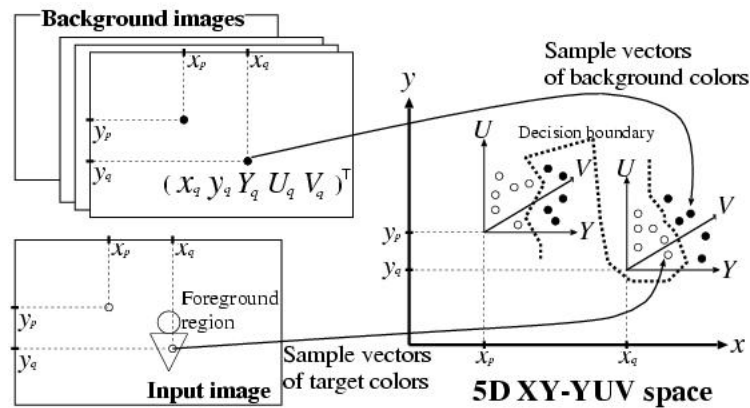


図3 xyYUV5次元空間による最近傍識別を利用した対象検出

実験結果を図4に示す. 下段の検出結果は, 明るい照明と暗い照明という異なる照明条件の結果を示しているが, いずれの条件においても提案法の結果が優れていることが確認できる.

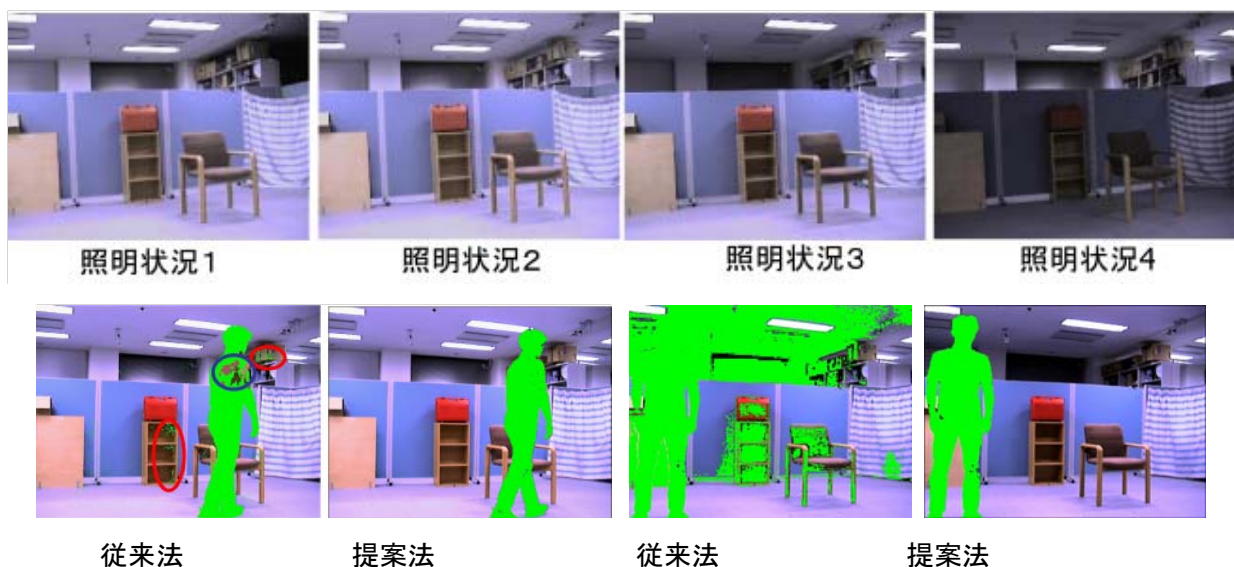


図4 上段:背景画像サンプル集合, 下段:検出結果

4. 2. 多数対象の同時追跡

対象検出と同様, 対象追跡に関する研究も数多く行われているが, 従来の研究ではシステムの特長・機能や観測する実世界に関して多くの制約がある(カメラ数, カメラの機能, 追跡可能対象数など). こうしたシステムの機能に関する制約は, 追跡システムの振る舞いの柔軟性・適応性を損ねるため, システムを適用可能なタスクや環境が制限されてしまう. そこで我々は, 様々なユーザの目的に適用可能, かつ複雑なシーンの動的状況に適用可能なシステムとして, 非同期アクティブカメラ群による複数対象の実時間協調追跡システムを提案している. このシステムでは, カメラ群が相互に検出対象や自身の状態に関する情報を実時間交換することにより, システム全体で複数対象を協調的に追跡することができた. しかし過去提案したシステムでは, ネットワーク負荷の抑制を目的として, カメラ間で交換する情報が最低限必要な

情報に限られていた。このため、せっかく検出された対象情報のいくつかは追跡に利用されないまま破棄されており、この結果、追跡成功率の低下が起こり、同時に追跡可能な対象数に上限が存在した。そこで、新たに「ネットワーク通信量を抑えたまま観測情報を効率的に交換する」ための協調追跡アーキテクチャ、およびプロトコルを提案した。

提案プロトコルには、動的に変化するシステムの構造を各カメラが把握し、検出対象情報を送受信する動的な情報交換ネットワークを高密度・柔軟化させることにより、追跡性能の安定化を実現するとともに同時追跡可能な対象数の制限を解消した。

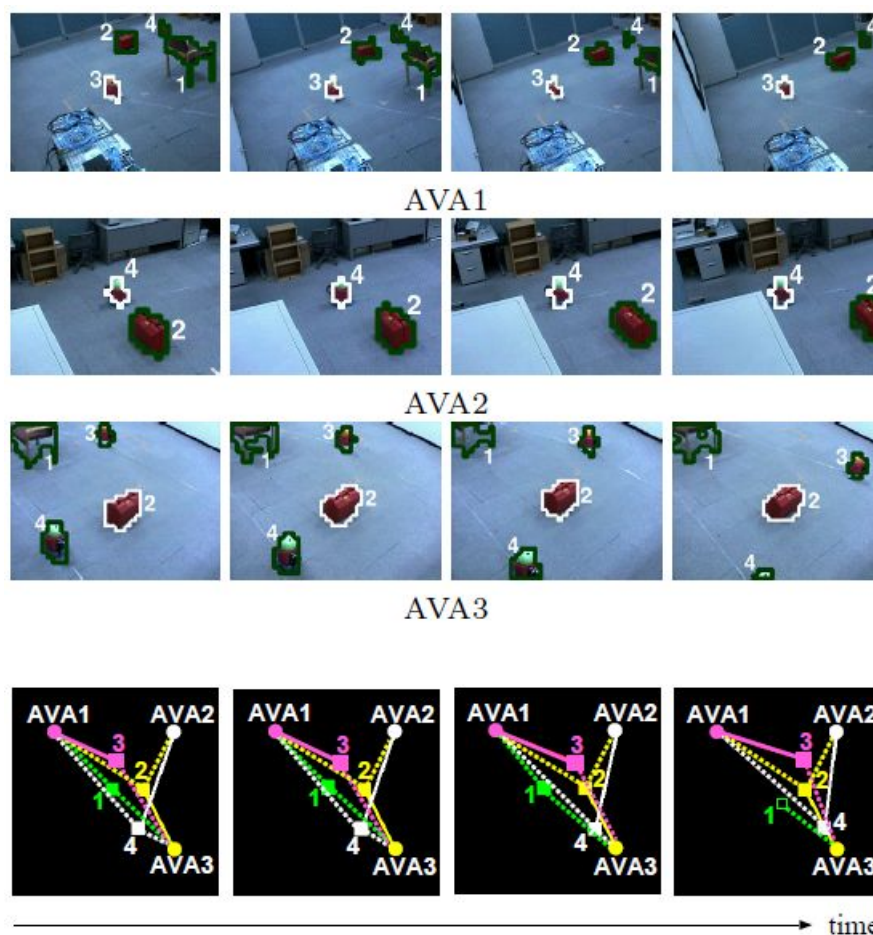


図5 上段:観測画像の一部(0.5 秒間隔), 下段:各瞬間のカメラ(図中の○:AVA1～3)と観測対象(図中の□:1～4)との間の注視関係を表す鳥瞰図。

図5が、システムの動作例を示す。図の下段から、各瞬間において各カメラが複数の対象の検出結果を提供した結果、システム全体として各対象の3次元座標が計算しながら観測視野中の全対象を継続的に追跡している様子が確認できる。

4. 3. ユビキタスカメラの連結関係推定

これまでの我々の研究も含めて、対象追跡に関する研究のほとんどは「視野に重なりのあるカメラ集合による追跡(図6左)」を取り扱っていた。こうしたシステムは、局所領域において対象を多方向から観測する詳細観測のためには有用である。しかし、この視野重畳型カメラシステムによって広範囲にわたる対象

の行動を解析するためには、全ての観測範囲をカメラ視野で覆うような非現実的なほど超多数のカメラ配置が必要となる。そこで、図6(右)に示すような視野に重なりが無い分散カメラ群による広域追跡が必要になる。

こうした不可視領域を含んだ対象追跡における複数カメラ間での対象同定は、視野の重なり領域における対象同定と比較して非常に困難な問題である。この問題に対処するため、多くの関連研究では画像情報による同定に加えて視野間の確率的な連結関係(例:どのカメラ視野間に対象経路が存在するか?その経路が使用される確率はどの程度か?その経路の通過時間はどの程度か?)を参照して同定精度を上げている。しかし、これらの研究では、この情報を手作業により与えている。連結関係が単純であれば手作業も可能であるが、観測範囲の拡大とカメラ数の増加にともない視野間の連結関係は急激に複雑化する。そこで、人間の手作業ではなく、自動的に視野間の連結関係を推定できるキャリブレーション法を提案する。

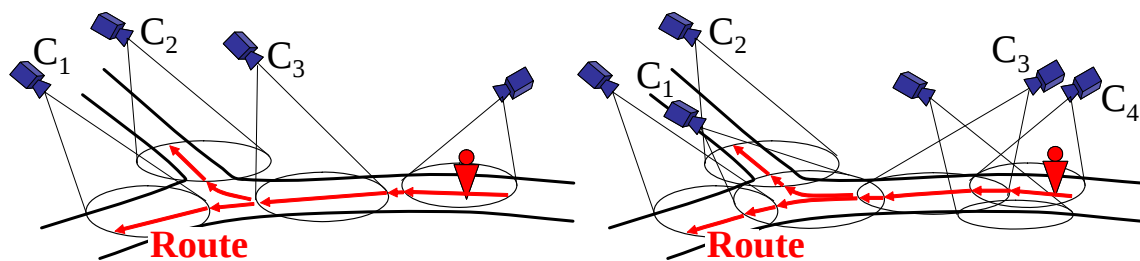


図6 分散カメラシステムの視野:(左)重畳視野,(右)孤立視野

提案手法の特徴は、画像認識によるカメラ間の対象対応付けを必要としない点である。まず各カメラで独立に観測画像中に入出入りする対象群を検出・追跡して、画像中で各対象を最初と最後に検出した各瞬間の画像座標と時刻の集合を獲得する。各カメラで観測された全獲得データは、その検出時刻以前に観測された全カメラにおける全獲得データと仮に対応づけられる。これらの対応付けデータを、両座標および観測時刻の差を類似性に基づいて分類すると、誤対応を除いた実在の経路に相当する対応付けデータへの分類が可能となる。この分類結果に基づき、カメラ視野間の確率的連結関係(視野の重なりや視野間経路の有無の有無、入出の生じる画像座標と経過時間の確率的表現、および各経路の使用確率)が得られる。また、連結関係を推定する過程で観測対象群のオフライン追跡も行うことができることも可能である。

実験環境を図7に示す。実験は、12台のカメラを分散配置した屋内環境下で行った。観測対象は全て歩行者で、各カメラの観測画像系列において検出された対象の入出数は、C1～C12の順に7238, 7910, 11789, 13782, 12376, 6792, 7067, 7856, 8178, 12574, 12456, 12786,であった。この入出情報から、114(57の双方向経路)の経路が検出された。検出経路の例を図8に示す。楕円と矢印がそれぞれ検出経路の始点や終点の位置・分散と始点終点の対応付けを表す。図中、実際には全経路の始点終点はそれぞれ別個に求まっているが、近接する始点終点は一つの楕円で示されている。また、全観測シーケンスの中から対象の視野間移動をランダムに300だけ抽出し、経路検出時に得られた対象追跡結果と比較したところ、追跡失敗は2つだけ存在した。以上の結果から、提案手法が実際の分散カメラ群の連結関係推定を実現可能であることが確認できた。

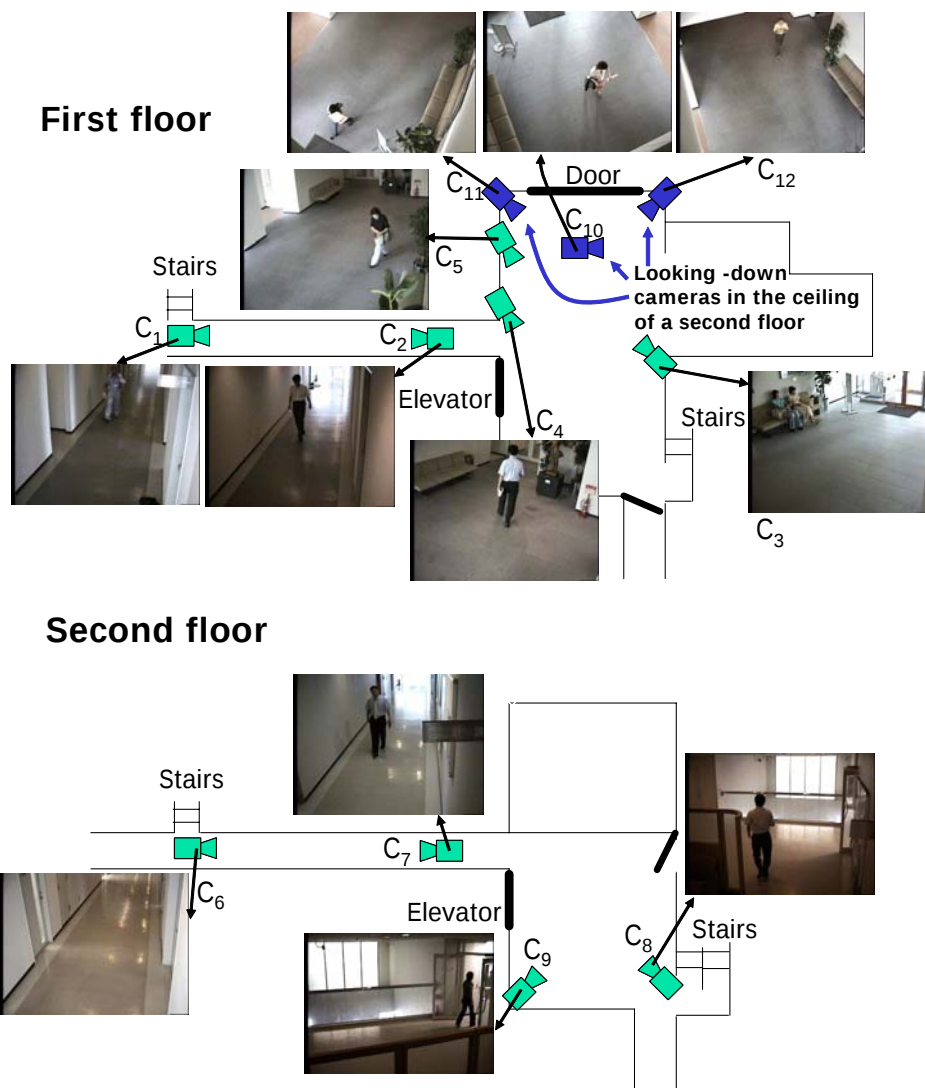


図7 実験環境:(上段)1階,(下段)2階

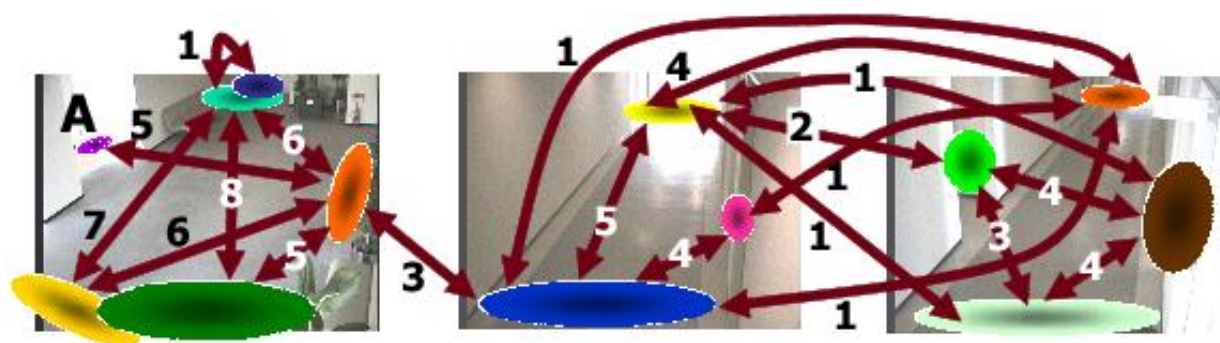


図8 推定された経路情報の例:楕円は経路の始点・終点の位置・分散, 矢印は経路の始点・終点の連結関係, および矢印上の数字はその経路の平均通貨時間を示す.

5 自己評価:

柔軟なユビキタスカメラ環境の構築 ユビキタスカメラ環境に要求される「多数カメラ間の大量ネットワーク通信に耐えうる効率的な情報交換方式」を開発した。また、各カメラ(およびその制御計算機)が動的に動作開始・停止しても継続的に動作できて、かつ旧来のアナログカメラ・最新のデジタルカメラ・固定カメラ・各種アクティブカメラなどが混在しても動作する基盤システムも構築できた。これらの技術により、ネットワークング、耐故障性、使用カメラタイプなどの点で高い柔軟性を実現することができたと考える。

多数・広範囲対象追跡 場所や照明の変化に頑健な対象検出、追跡対象数に制限のないフレームワーク、効率的な広域観測のために視野の重畳・非重畳が混在したカメラ配置にも適用できるカメラキャリブレーション法、が実現できた。この結果、「実験のために用意した数分・数時間程度の実験画像」を対象とするのではなく、大学構内で数日にわたって実際の人の活動状況を観測し続けてシステムの有効性を確認できた。従来の類似研究では様々なステップで人間による処理が入っており、そのまま大規模システムに適用することは導入・メンテナンスの観点から困難であった。しかし、我々の研究成果ではすべての処理は自動的になされており、ユビキタスカメラシステムの柔軟性とあわせてこれまでに無い多数・広範囲追跡システムの基盤が実現できたと考える。

研究課題名にも挙げた上記二点の実現できたことから、本さがけ研究の主な目標は達成することができたと考える。

6 研究総括の見解:

分散配置されたカメラ集合により、広範囲を移動する多数対象の移動状況を特定し、また必要に応じて各対象の行動を精査するために能動カメラ制御による詳細画像観測に関する研究を行った。これらの機能を実現するために、場所や時間に影響されず観測画像から対象を検出・追跡する技術、カメラ集合間で観測対象情報を交換して協調的に対象追跡を行う技術、広範囲にわたる継続的な対象追跡に有用な対象経路情報を自動的に獲得する技術などを提案し、実環境で実証した。セキュリティ目的の監視や交通計画のための流量観測の自動化などの応用が期待できる。更に、実時間での広範囲・多数対象追跡システムなど新たな目標に向けて研究を発展させ、来るユビキタスメディア社会における重要な社会インフラへと成長していくことを期待している。

7 主な論文等:

論文

(1) Norimichi Ukita: ``Real-time Cooperative Multi-target Tracking by Dense Communication among Active Vision Agents,`` International Journal of Web Intelligence and Agent Systems, (Conditional acceptance).

(2) 浮田宗伯: ``能動視覚エージェント群の密な情報交換による多数対象の実時間協調追跡,`` 電子情報通信学会論文誌, Vol. J88-DI, No.9, pp.1438-1447, 2005 年

(3) 北島利浩, 浮田宗伯, 木戸出正継: ``スティックと楕円の統合モデルによる外見的特徴の少ない非剛体群の時系列位置・姿勢推定法,`` 電子情報通信学会論文誌, Vol. J88-DII, No.2, pp.334-346, 2005 年

(4) Norimichi Ukita and Takashi Matsuyama: ``Real-time Cooperative Multi-target Tracking by

Communicating Active Vision Agents,” Computer Vision and Image Understanding, Vol.97, No.2, pp.137-179, 2005.

(5) 浮田宗伯, 松山隆司: “能動視覚エージェント群による複数対象の実時間協調追跡,” 情報処理学会 CVIM 研究会論文誌, Vol.43, No. SIG11, pp.64-79, 2002 年

特許

(1) 浮田宗伯:

“広域分散カメラ間の連結関係推定法および連結関係推定プログラム,”

特許出願: 2005-249549, 出願日: 2005 年 8 月 30 日

(2) 満上育久, 浮田宗伯, 木戸出正継:

“投影装置, 投影装置の制御方法, 複合投影システム, 投影装置の制御プログラム, 投影装置の制御プログラムが記録された媒体,”

特許出願: 2005-013288, 出願日: 2005 年 1 月 17 日

(3) 浮田宗伯:

“画像処理装置, 画像処理方法, 画像処理プログラムおよびそのプログラムを記録した記録媒体,”

特許出願: 2004-214920, 出願日: 2004 年 7 月 22 日

国際出願番号: PCT/JP2005/012282, 出願日: 2005 年 6 月 28 日

(4) 浮田宗伯, 木戸出正継:

“リモート観測装置, そのプログラムおよび記録媒体,”

特許出願: 2003-192146, 出願日: 2003 年 7 月 4 日,

特許公開: 2005-27166, 公開日: 2005 年 1 月 27 日

招待講演

(1) N. Ukita and T. Matsuyama: “Real-Time Cooperative Multi-Target Tracking by Communicating Active Vision Agents,” Proc. of 6th International Conference on Information Fusion, Jul., 2003.

研究課題別評価

1 研究課題名：制御フローコードとアドレス計算コードの分離による新しいプロセッサアーキテクチャの研究

2 研究者氏名：吉瀬 謙二

3 研究の狙い：

動作周波数と並列性の向上により、年率55%という高いプロセッサの性能向上が数十年に渡って維持されてきた。今後も同様の性能向上を維持するためには、10億個を超えるトランジスタという豊富なハードウェア資源を利用して、動作周波数と並列性をバランスよく向上させる努力が必要となる。現在の数GHzという動作周波数は、パイプライン段数を増やすことにより、高々2倍程度にしか向上しない。一方で、命令レベルあるいはスレッドレベルの並列性を利用することで従来の性能向上率を維持するためには、10年後にはサイクル当たり50個の命令を並列に実行する必要がある。一般的なサーバ計算機において汎用アプリケーションを走らせた際の命令レベル並列性は2程度であり、命令レベル並列性50を達成するためには約25倍の並列性を抽出しなければならない。

近年、プロセッサ性能の向上を目指してデータ値予測などのさまざまな投機技術による性能向上が報告されている。これらの努力に加えて、命令レベル並列性50を達成するためには、より根本的な所から、その土台を形成する新しいアーキテクチャを検討することが重要な意味を持つ。現在のスーパースカラプロセッサの主要な要素を大別すると、メモリからデータを取得して必要とするレジスタにデータを供給するメモリデータフロー、分岐命令による命令列の分断を解決しながら必要とされる十分な命令を実行機構に供給する制御フロー、データ授受のタイミングを取りながら高速に処理を進めるレジスタデータフローという3つの領域に分けることができる。高い命令レベル並列性を達成するために、分岐予測やキャッシュといった部分的な議論に加えて、これら3つの流れ（フロー）を効率良く扱う新しいプロセッサアーキテクチャを検討することが本研究のねらいである。特に、3つの流れを効率良く処理するために、従来の命令セットの枠組みにとらわれることなく、独自の命令形式を駆使したプロセッサアーキテクチャを検討する。

4 研究成果：

本研究の成果は、プロセッサ基盤ツールSimCore、分岐予測器の高性能化、カスケードALU (arithmetic logical unit)を用いることによる並列性の向上、独自の命令形式を用いる高性能プロセッサに大別できる。それぞれに関してまとめる。

4. 1 プロセッサ基盤ツールSimCore

本研究を進めるための基盤ツールとして、プロセッサシミュレータSimCore Version 2.0を開発した。本ツールは、高速で、可読性が高く扱いやすいプロセッサシミュレータの実現を目指して設計・実装をおこなった。主な特徴は次のとおりである。(1)豊富な機能を提供する。(2)基本となる機能レベルシミュレータはC++で記述して、2800行というコンパクトな実装により実現する。(3)グローバル変数を排除して可読性と機能の向上を図る。(4)豊富な動作検証の機能を提供する。

SimCoreに施した高速化の有効性を確認するために、分岐予測あるいはデータキャッシュを組み込んだシステムのシミュレータを構築し、これらのシステムのシミュレーションにおいて、プロセッサコアの処理時間が大きな割合を占めること、プロセッサコアとしてのSimCoreの高速化がシステムシミュレーションの高速化に有効となることを確認した。機能レベルのシミュレータおよびクロックレベルシミュレータの一部はフリーソフトウェアとして公開しており、国内外の複数の大学で利用されている。本研究で取り組んでいるプロセッサ高速化のための要素技術の評価、独自の命令形式を用いるプロセッサの検討などにおいてもSimCoreが利用されている。

4.2 分岐予測器の高性能化

命令発行幅の増大と命令パイプライン長の増大により、プロセッサ性能に与える分岐予測器の重要性が増している。予測精度の向上を目指して、新しい分岐予測方式の検討をおこなった。まず、極端な偏りのある分岐命令が存在することを示し、極端な偏りのある分岐命令を区別する方式を提案した。次に、方式をBimode分岐予測器に組み込む新しい分岐予測器としてBimode-Plus予測器を提案した。Biasテーブルと呼ばれるテーブルに、それぞれの分岐命令の過去の分岐方向が全て成立または不成立であるという情報を保存する。この情報を利用することで、ハードウェアのシンプルさを保ちながら、極端な偏りのある分岐命令の方向を高い精度で予測する。

SPEC、マルチメディア、サーバの領域を含むベンチマークプログラムを用いて、コンテキストスイッチと分岐予測精度の関係を評価した。予測精度は、機能レベルのソフトウェアシミュレータを利用した。これらの評価結果から、コンテキストスイッチが発生する実際のプロセッサの環境においても、Bimode-Plus予測器は、Bimode予測器に対して、6.1%から8.5%の予測ミスを削減できることを明らかにした。SPEC CINT2000の10本のプログラムを利用して、予測精度の向上とプロセッサの処理性能向上の関係を検討した。プロセッサ性能は、ソフトウェアシミュレータを用いて計測している。保守的な構成のBASEモデルと、大規模なハードウェア構成を想定するWIDEモデル(サイクル当たり8命令のフェッチ、デコード、完了をおこない、命令ウィンドウのサイズを約512エントリに設定)を定義し、それぞれのモデルにおける分岐予測器の影響を評価した。評価結果から、従来手法のBimode分岐予測器と比較して、WIDEモデルでは、Bimode-Plus分岐予測器により平均で3.2%、最大で8.5%の速度向上を達成できることを明らかにした。

4. 3 カスケードALUを用いることによる並列性の向上

レジスタデータフローにおける高速化として、カスケードALUの可能性の検討をおこなった。データ値予測を利用することで、真のデータ依存関係により生じるクリティカルパスを短縮することができる。同様に、演算をおこなうデータのビット長に注目し、短いビット長の命令が連続した場合に、これらの命令をカスケード接続されたALUを用いて高速に処理することで、クリティカルパスに必要となるサイクル数を短縮できる。理想的な命令レベル並列性(Oracle IPC)の検討をおこない、命令ウィンドウのサイズを大きくすることで、抽出できる並列性が向上すること、また、カスケードALUを利用することで、利用しない場合と比較して、13%から19%の並列性が向上することを明らかにした。

4. 4 独自の命令形式を用いる高性能プロセッサ

分岐命令や分岐条件を計算するためのコードを制御フローコードと呼ぶことにする。また、制御フローコードを形成する個々の命令を制御フロー命令と呼ぶことにする。高い命令レベル並列性を達成するための土台となるアーキテクチャの構築を目指して、制御フローコードを分離する新しいプロセッサアーキテクチャの検討をおこなった。新しいプロセッサアーキテクチャの内部では、命令パイプラインの早い段階で制御フローコードを、それ以外の命令(データフローコード)と分離する。その後、制御フローコードは、それを専用に処理するハードウェアにより高速に処理される。制御フローコードを優先的に処理することで、分岐予測ミスのペナルティを軽減する。また、制御フローコードとそれ以外のコードとを分けることにより、それぞれの処理の流れに適した最適化を選択できるという利点が生じる。

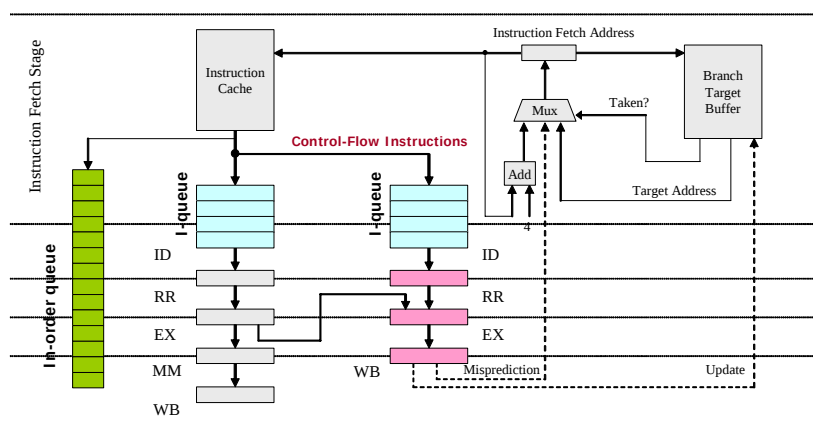


図 1 第1世代の制御フローコードを分離するプロセッサ

第1世代の制御フローコードを分離するプロセッサ(Super Instruction-Flow)の構成を図1に示す。命令フェッチのステージにおいて、制御フローコードかどうかの判定をおこない、適切な命令キューに挿入される。その後、それぞれのフローの特徴に適したパイプラインにおいて高速に命

令が実行される。プロセッサのアーキテクチャセットは、主に、R0からR31までの整数レジスタセット、F0からF31までの浮動小数点レジスタセット、C0からC31までの制御フローレジスタセットから構成される。機械的に、オペランドとして制御フローレジスタを利用する命令が制御フローコードと判別される。幾つかのベンチマークプログラムを利用して、手作業で制御フローコードを分離するプロセッサのアセンブラを構築し、その性能を評価した。評価には、クロックレベルのソフトウェアシミュレータを利用している。この結果から、典型的な5ステージのスカラプロセッサと比較して、制御フローコードを分離するプロセッサが26%の速度向上を達成することを明らかにした。

図1に示した第一世代の構成では、1つのプログラムカウンタおよび命令キャッシュを想定していたために、それぞれのフローの先見能力が制限されてしまう。この弱点を克服するために、第2世代のスーパー命令フローアーキテクチャ(図2)の検討をおこなった。この構成では、プログラムを制御フローコード、メモリ参照のためのアドレス計算をおこなうアドレス計算コード、それら以外のデータフローコードに分離する。また、それぞれのフローを格納する個別の命令キャッシュを持つ。また、個別のプログラムカウンタを有し、必要に応じてフローをフォーク、ジョインする。ベクトル積などのベンチマークプログラムを用いた検討から、この方式の高い性能を確認している。一方、大規模なアプリケーションを用いた詳細評価は今後の課題である。

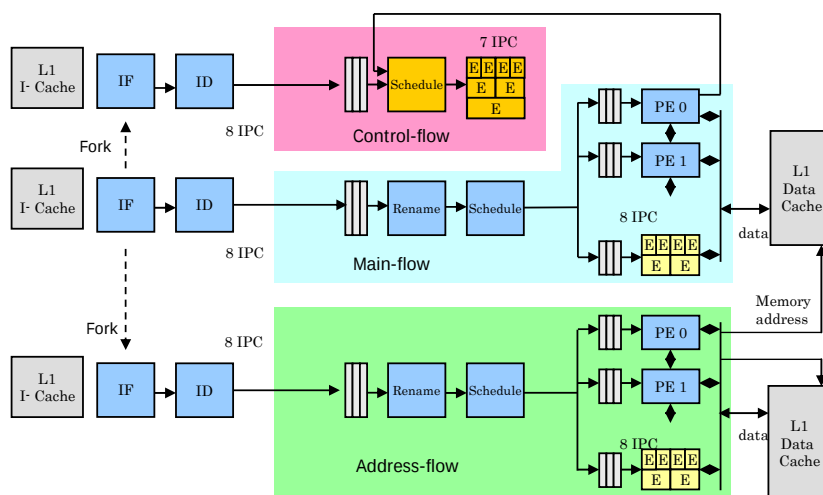


図 2 第2世代の制御フローコードを分離するプロセッサ

5 自己評価:

本研究では、高い命令レベル並列性の利用を目指して、要素技術の開発および、独自の命令形式を採用し、制御フローコードとメモリフローコードとに命令流を分離するアーキテクチャの検討をおこなった。プロセッサ基盤ツールSimCoreは、国内外の幾つかの大学において利用されている実績がある。今後も、プロセッサ要素技術やアーキテクチャを評価するための共通インフラのひとつとして開発を続けていく。分岐予測器の性能評価に関しては、予測精度の向上とそれによる

プロセッサ性能の向上を明らかにすることができた。しかしながら、今後の高性能プロセッサでは、1サイクル当たり多数の予測をおこなう現実的な方式の開発、トレースキャッシュとの融合などが不可欠となる。これら、異なる視点からの研究を積極的に進めていく必要がある。高い命令レベル並列性を達成するための基盤技術の確立を目指して、独自の命令形式を用いるスーパー命令フローアーキテクチャの検討をおこなった。第1世代、第2世代のアーキテクチャを提案し、その可能性を示すことができた。一方、その有効性を明確にするためには大規模なアプリケーションを対象とする詳細評価が必要となる。また、本アーキテクチャに適したコンパイラ技術に関して十分な検討が必要となる。本研究課題では、高い命令レベル並列性を抽出するプロセッサアーキテクチャの開発を目指して、研究を進めてきた。しかしながら、プロセッサシミュレータの開発および、分岐予測器の開発といった部分に予定以上の時間を費やしたことで、新しいプロセッサアーキテクチャの評価を十分におこなうことができなかった点は残念である。提案したスーパー命令フローアーキテクチャという土台をしっかりとしたものへと育て、その上にいくつもの技術を積み上げていくことで高い命令レベル並列性の利用を実現することが今後の課題である。

6 研究総括の見解：

命令レベル並列性50に挑戦するために、その土台となる新しいアーキテクチャについて研究した。具体的にはプロセッサ基盤ツールSimCore、分岐予測器の高性能化、カスケードALUによる並列性向上など要素技術の開発とその効果確認、および独自の命令形式をもち制御フローコードとメモリフローコードとに命令流を分離する新しいスーパー命令フローアーキテクチャを提案とその可能性の提示などの成果を挙げた。また、コンピュータアーキテクチャに関する権威ある国際学会 ACM SIGARCH シンポジウムにおいて独創的な分岐予測器Bimode-Plusを提案し、その性能コンテストにおいて優秀な成績を収めた。研究期間の制約からすべての評価を終えることができなかったようだが、今後の研究の進展を大いに期待している。

7 主な論文等：

論文

1. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「Bimode-Plus分岐予測器の提案」 情報処理学会論文誌コンピューティングシステム, Vol.46, No. SIG 7(ACS 10), pp.85-102, 2005 年 6 月
2. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「SimCore/Alpha Functional Simulatorの設計と実装」 電子情報通信学会論文誌, Vol. J88-D-I, No.2, pp. 143-154, 2005 年 2 月
3. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「PCクラスタを用いたN-queens問題の求解」 電子情報通信学会論文誌レター, Vol. J87-D-I, No.12, pp. 1145-1148, 2004 年 12 月
4. Kenji Kise, Takahiro Katagiri, Hiroki Honda, and Toshitsugu Yuba, 「A Super Instruction-Flow Architecture」 International Symposium on Low-Power and High-Speed Chips (COOL Chips VII), pp. 279-290, April 2004
5. Kenji Kise, Hiroki Honda, and Toshitsugu Yuba, 「SimAlpha Version 1.0: Simple and Readable

Alpha Processor Simulator」Lecture Note in Computer Science (LNCS), Vol. 2823, pp. 122-136, Springer-Verlag, September 2003

6. 吉瀬謙二：特集 新世代マイクロプロセッサアーキテクチャ, 「タイルプロセッサ」(解説記事), 情報処理, Vol. 46, No. 10, pp. 1131-1137, 2005 年 10 月
7. Kenji Kise, Takahiro Katagiri, Hiroki Honda, and Toshitsugu Yuba, 「Toward A Common Emulation Infrastructure with Large-Scale FPGA」, Workshop on Architecture Research using FPGA Platforms (WARFP2005), February 2005
8. Kenji Kise, Takahiro Katagiri, Hiroki Honda, and Toshitsugu Yuba, 「The Bimode++ Branch Predictor」IWIA-2005, IEEE Computer Society Press, January 2005
9. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「極端な偏りを利用するBimode++分岐予測器の提案」情報処理学会研究報告 2005-ARC-161, pp. 57-62, 2005 年 1 月
10. Kenji Kise, Takahiro Katagiri, Hiroki Honda, and Toshitsugu Yuba, 「The SimCore/Alpha Functional Simulator」Workshop on Computer Architecture Education (WCAE-2004) held in conjunction with the ISCA-31, pp. 128-135, June 2004
11. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「SimCore/Alpha Functional Simulatorの設計と評価」, 情報処理学会研究報告 2004-ARC-156, pp. 31-36, 2004 年 2 月
12. Kenji Kise, Takahiro Katagiri, Hiroki Honda, and Toshitsugu Yuba, 「A Super Instruction-Flow Architecture for High Performance and Low Power Processors」IWIA-2004, IEEE Computer Society Press, January 2004
13. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「Bimode-Plus分岐予測器の提案」電子情報通信学会技術研究報告CPSY-2003-10, pp. 25-30, 2003 年 8 月
14. 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣, 「制御フローコードを分離するプロセッサアーキテクチャの提案」情報処理学会研究報告 2002-ARC-150, pp. 101-106, 2002 年 11 月

特許

1. 発明者: 吉瀬謙二, 発明の名称: 「不安定状態を利用する予測器, プロセッサ」, 出願人: 電気通信大学, 出願日: 2004 年 12 月 3 日
2. 発明者: 吉瀬謙二, 発明の名称: 「極端な偏りに基づく分岐予測器, それを組み込んだプロセッサ及びハードウェア予測器」, 出願人: 科学技術振興機構, 出願日: 2003 年 7 月 7 日
3. 発明者: 吉瀬謙二, 発明の名称: 「制御フローコードの分離によるプロセッサの実現方法及びそれを用いたマイクロプロセッサ」, 出願人: 科学技術振興機構, 出願日: 2002 年 11 月 20 日

受賞 なし

招待講演 なし

研究課題別評価

1 研究課題名: 命令列の多重入出力構造を利用した演算高速化

2 研究者氏名: 中島 康彦

3 研究の狙い:

一般ユーザにとって、プロセッサの性能向上は当然、かつ、バイナリ非互換は論外である。この厳しい制約条件の下で、演算および主記憶アクセスをいかに減らすかについて、様々な可能性を追求し、解決方法を提示する。関連研究には、値再利用と投機的マルチスレッド実行がある。しかし、1) 既存オブジェクトを高速化できない; 2) より大規模な再利用区間を認識できない; 3) 入力の変動変化に対応できない; 4) 主プロセッサの実行機構に投機的要素を残している; 5) 高速化機構を意識したプログラミングができない; など多くの問題点がある。これに対し、本研究は以下をねらう。

【ABI(Application Binary Interface)を利用した再利用区間の大規模化】 命令レベルではなく、関数やル

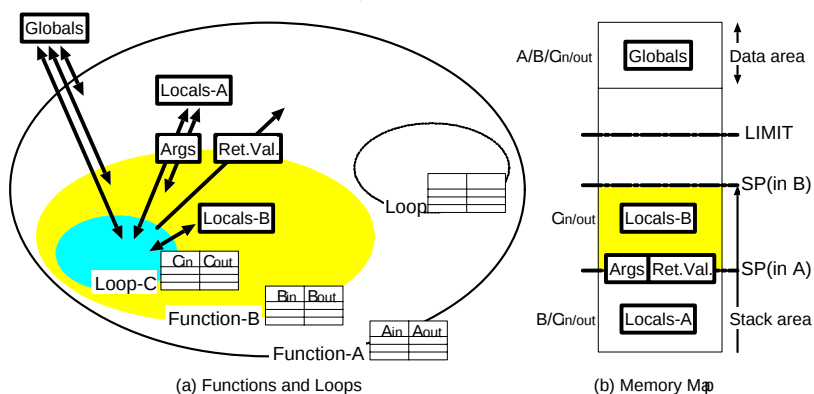
ープを再利用区間とし、またABIを利用することにより、再利用区間における大量のレジスタ/主記憶参照から、局所的なレジスタ/主記憶参照を排除する。この結果、専用命令を追加することなく、より大規模な再利用区間を確保するとともに、再利用の可

否検査に必要なレジスタ/主記憶参照を必要最小限(関数やループが意図する本質的な入出力)に抑える。

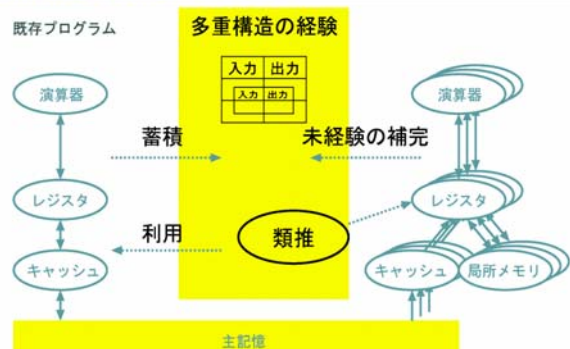
【多重再利用機構による入れ子構造への対応】 関数やループが入れ子になった構造において、各レベルに局所的ではないレジスタ/主記憶参照を上位レベルの入出力としても多重に登録することにより、各レベルの本質的な入出力を把握し、入れ子構造を1度だけ実行した場合においても各レベルの再利用を可能にする。大規模な再利用が不可能であっても、より小規模な再利用により補完できる。

【主プロセッサから投機的要素を排除することによる見通しのよい事前実行】 主プロセッサ(MP)

とは別に設けた副プロセッサ(SP)に、再利用区間(関数やループ)の事前実行を行わせることにより、主プロセッサがはじめて遭遇する演算パターンについても、実行結果の検証を行うことなく、命令実行を完全に省略する。主プロセッサの命令実行機構に投機的要素が全く含まれない点が、既存研究とは大きく異なる。



多重構造を「経験と類推」に写像



【既存のプログラミングスタイルから意識可能な高速ハードウェア機構】 従来の命令レベル再利用機構では、粒度が小さすぎて、プログラマがその存在を意識したり明示的に利用することが困難である。これに対し、関数やループの挙動は、プログラミング時にある程度意識することができる。従来ハッシュなどを利用して検索処理を関数呼出しの形に記述することにより、関数実行時における再利用表の高速検索を利用した直接的な高速化を図ることができる。従来のプログラミングの枠組みの一部がハードウェアにより高速処理されることは、従来のベクトル機構を意識したプログラミングと同様に、新たな刺激になると考える。

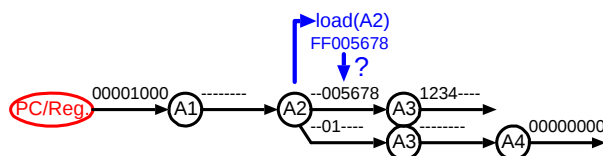
4 研究成果:

4. 1 命令区間の入出力を動的に把握する仕組みを考案(特開 2004-258905、355397)

- 命令区間において、WRITE前にREADされるレジスタ／主記憶アドレスは入力
- WRITE後のREADは入力ではない
- レジスタ／主記憶アドレスへのWRITEは出力
- 以上を把握するには全てのWRITEを記録する必要があるが、局所変数領域については入出力とはなり得ないため記録から除外できる

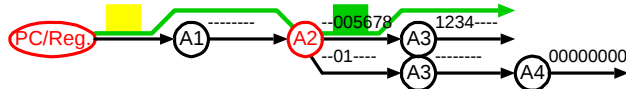
4. 2 複数組の入力系列を効率よく格納する仕組みを考案(特開 2005-92354)

- マスクが値固有のためハッシュ不可
- マスクと値を木構造の枝に格納
- 節には次に参照するアドレスを格納



4. 3 入力列が一致するパスを効率よく探す仕組みを考案(特願 2004-176140、266056)

- 枝をマスク付きCAM(各図の左側)、枝に続く節をRAM(各図の右側)に格納
- 内容が変更されない主記憶アドレスは比較を省略できる
- 具体的には、木構造に分岐がなく、後続節の内容が全て登録時のまま(ストアされていない)であれば、後続節および枝の検索が不要(左図)
- 登録後に内容が変更された場合、該当アドレスに対応する節に枝を追加して、その部分だけを比較(右図)
- 木構造を分割して複数の枝を同時に検索することによる高速化も可能



PC/Reg.	Cache		Adr.	UP	Alt.	DN
00						
01	FF	01	E	A1	FF	
02						
03	01		E	A2	01	
04						
05	--005678	03	E	A3	03	
06						
07	1234----	05	E		05	

Select Output

PC/Reg.	Cache		UP	DN
00				
01	FF	01	A1	FF
02				
03	01		C	A2
04	--01----	03	A3	03
05	--005678	03	E	A3
06				
07	1234----	05	E	05

Store -> A2

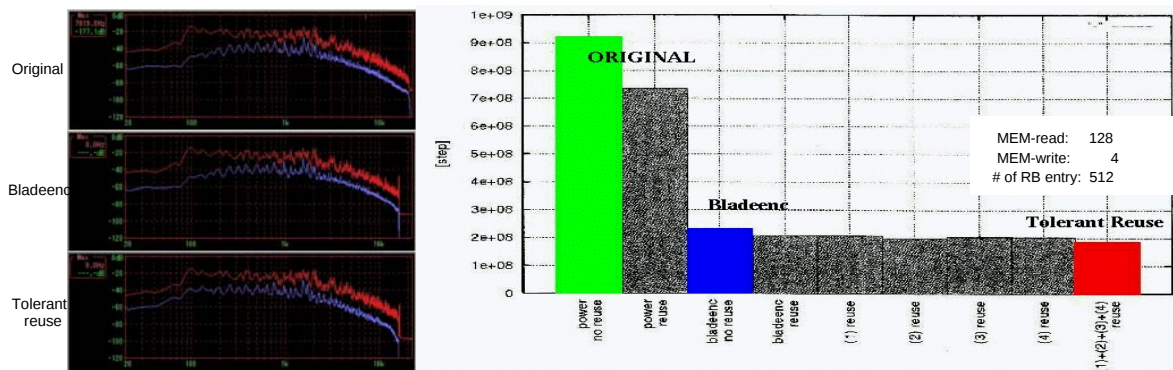
Select Output

4. 4 計算を曖昧化しても精度が落ちにくいマルチメディア処理への応用(ソース書換え)

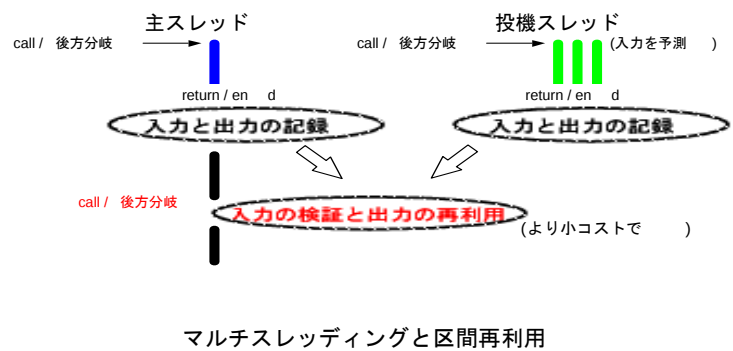
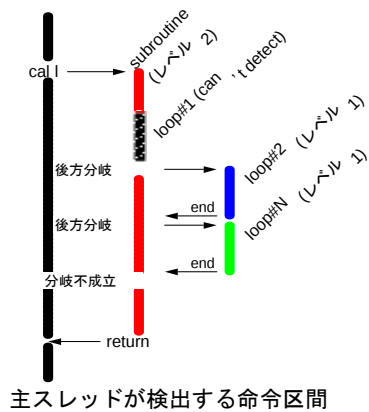
- 差分計算の精度を落とした曖昧再利用により、ステレオ画像処理を2倍以上高速化



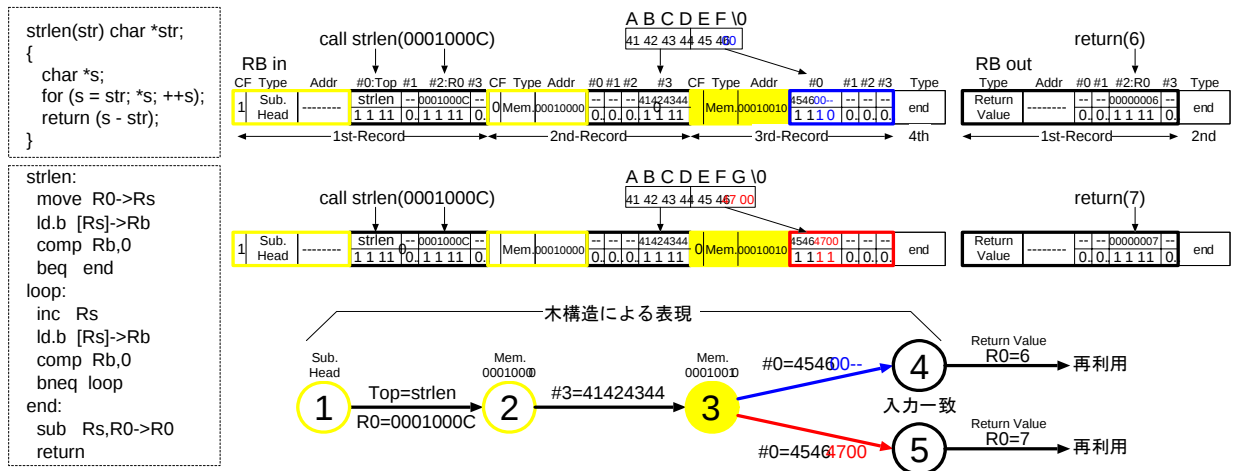
- 関数計算の精度を落とした曖昧再利用により、MP3圧縮処理を4倍以上高速化



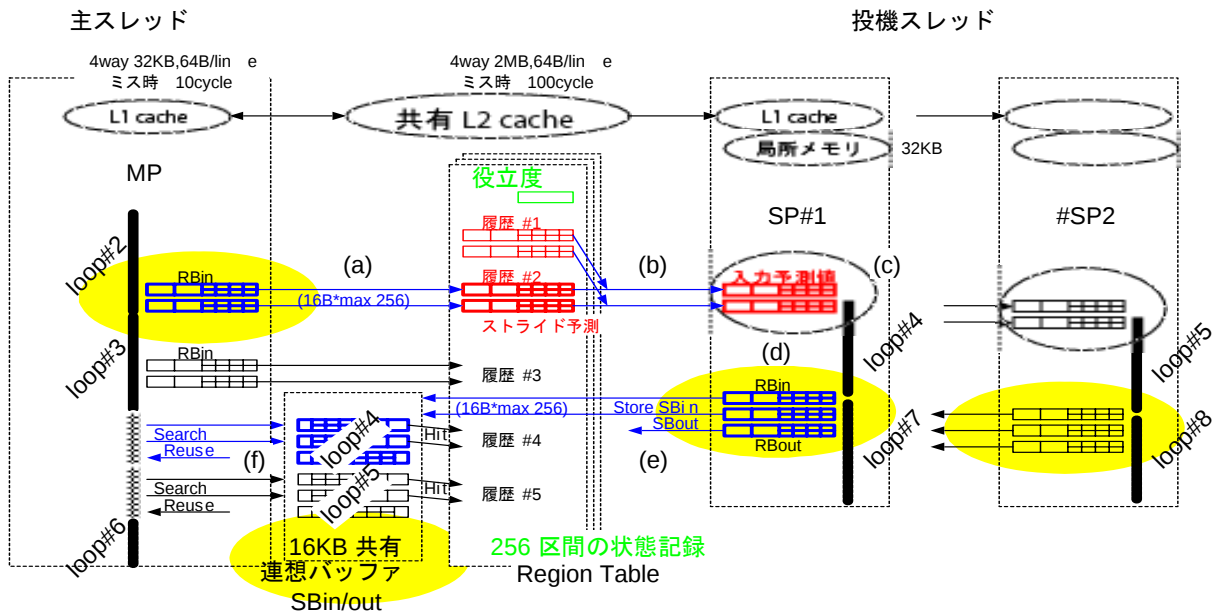
4. 5 再利用／事前実行の仕組みを既存プログラムに適用



各スレッドごとに命令区間の入出力をリスト(16バイト×64レコード×6レベル)に記録し、区間終了時に木構造として共有連想バッファ(16Kバイト)に集積するモデル



- 「入力履歴⇒予測⇒投機実行⇒記録⇒主スレッドが再利用」の連携による高速化



4. 6 シミュレーションによる実行モデルの評価

- 大容量CAMによるアクセラレータ(写真)を開発して本機構が正しく動作することを確認するとともに、シミュレーション速度を60倍高速化

	spec95	spec2k	
1 スレッド最大/平均	28/ 3%	52/ 6%	高速化
4 スレッド最大/平均	158/28%	150/20%	高速化
多重区間の投機実行が有効	20%	7%	改善
比較削減機構が有効	11%	13%	改善
コスト評価機構が有効	8%	9%	改善
数百命令規模の命令区間が高速化に寄与する			
二次キャッシュミスの低減効果を兼ね備えることを確認			



4. 7 SP間待ち合わせ機構によるSPパイプライン機構と連想バッファのブロック化

- SP間のデータ依存関係を参照アドレスの履歴/値の履歴/ストア回数に基づいてハードウェアが調停する機構を考案(特願 2004-324348、347124)
- 連想バッファを分割して各ブロックの高速化と省電力を図る機構を考案(特願 2005-234806)
- ブロック分割しても再利用効率の低下が軽微であることを確認

Base: 2-waySS SPARC

1K-MW: 連想バッファ(16KB) 3台の SP 間待ち合わせ機能付き

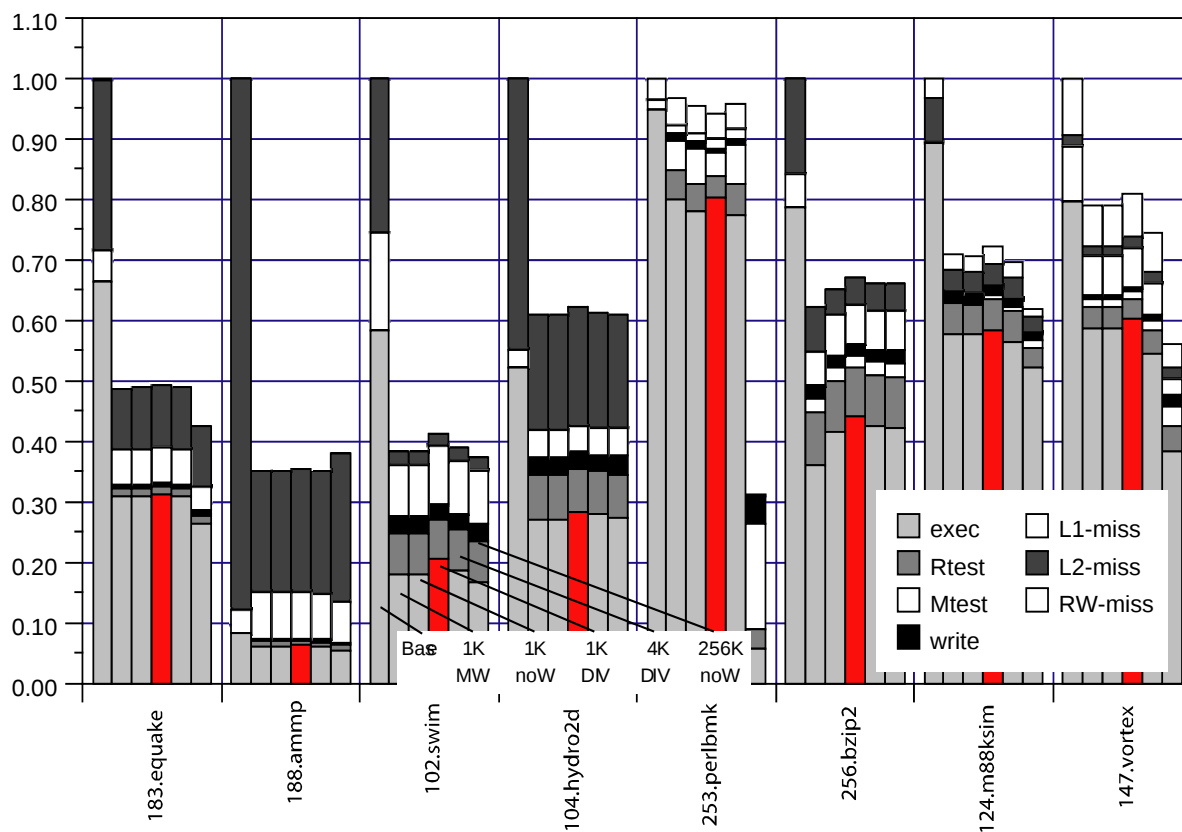
1K-noW: 連想バッファ(16KB) 待ち合わせ無しの従来方式【参考】

1K-DIV: 連想バッファ(16KB) 64 行×16 ブロックに分割(赤色部分)

4K-DIV: 連想バッファ(64KB) 256 行×16 ブロックに分割

256K: 連想バッファ(4M) 分割無しの従来方式【参考】

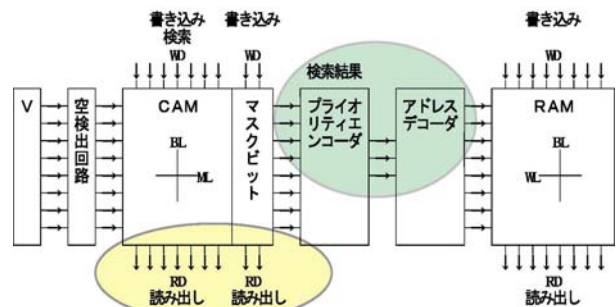
縦軸は、再利用なしの通常実行を1とした場合のサイクル数



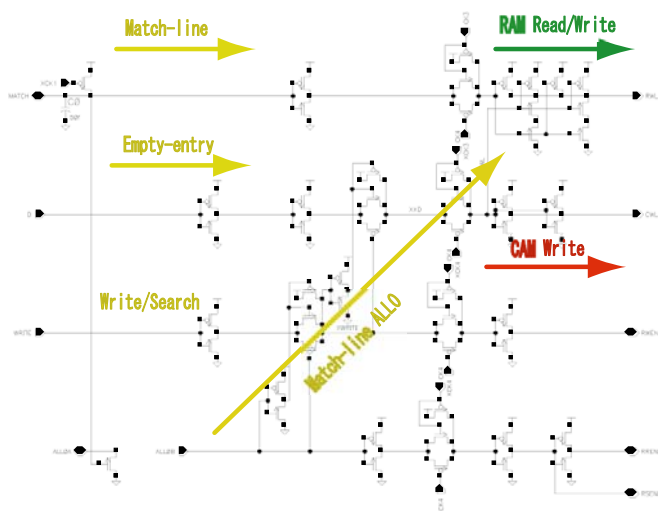
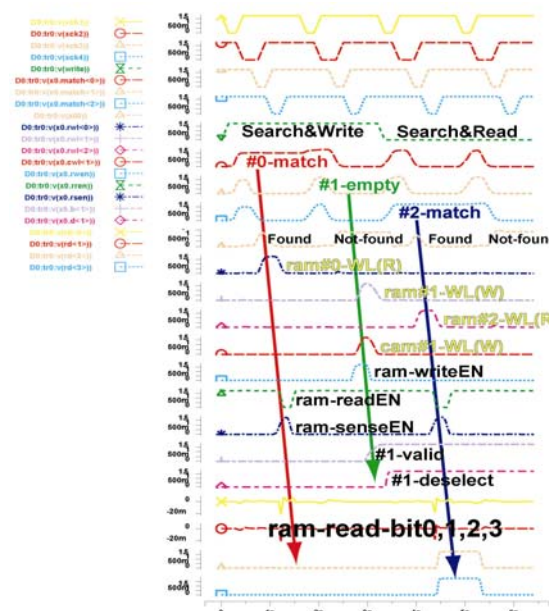
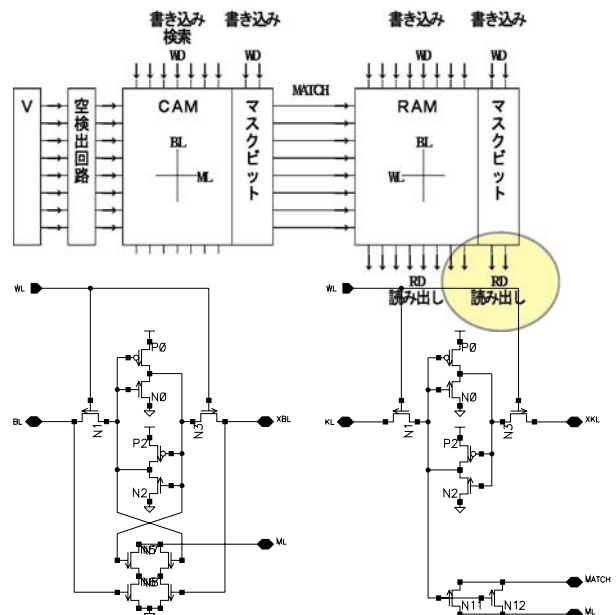
4. 8 連想バッファの高速化(特願 2005-234806)

- 汎用CAMでも再利用機構を実現できたが、もっと高速化できるはず
- 書き込む前に検索することで、検索の結果アサートされるマッチラインをただか1本に保障できるならば、プライオリティエンコーダやアドレスデコーダを省略できる
- 命令区間の入力登録に必要な「検索 & 書き込み」は、R/W 用ビットラインと Comparand 用ビットラインを共有することにより、高速化可能
- 命令区間の実行履歴の生成に必要な「検索 & 読み出し」は、CAMのマスクビット部分をRAM側にも持たせることで、高速化可能
- 検索結果に従って、直ちにCAM+RAM書き込みまたはRAM読み出しを行う機構を考案
- 共有連想バッファ 1K 行(16KB)を 64 行×16ブロックに分割した各々をトランジスタレベル設計(0.18um)しHSPICEでサイクルタイム1.6ns動作を確認

【汎用CAM】検索と書き込みは別サイクル、検索と読み出しは別サイクル



【専用CAM】検索と書き込みが同時サイクル、プライオリティエンコーダが不要
RAMのマスクビットを読み出すことにより、検索と読み出しを同時サイクルに可能



5 自己評価:

研究計画書に記載した当初の研究構想に対する達成状況を列挙する。

【関数およびループを対象とする区間再利用に必要な様々な機構および性能の評価】 スタックポインタを用いる多重区間再利用機構や、命令区間評価機構によるスレッド投機との連携を柱とする様々な関連機構を考案し、定量的な評価を行った。論文6件、口頭発表3件、特許9件を報告した。十分な成果をあげたと考えている。

【本機構を前提としてプログラミングを行う場合の適用範囲と効果の評価】 画像圧縮、音声圧縮、ステレオ画像処理、音声認識などのアプリケーションを対象として、特に曖昧再利用に着目したプログラミングを追及し、メディア命令を用いる場合とあわせて評価を行った。論文5件、口頭発表4件を報告した。曖昧再利用に関する研究はまだ少なく、十分な成果をあげたと考えている。

【回路レベルの実現方法の検討および評価】 実用化の鍵となる、極めて高速な Search&Write および Search&Read 機能のための回路構成を考案し、トランジスタレベル設計を併用する性能評価を行った。口頭発表3件、特許1件を報告した。論文は現在投稿中である。

【CAM内蔵型FPGAを用いた試作と回路規模の評価】 CAM内蔵型FPGAは容量が極めて小さいため、汎用大容量CAMの導入を決定し、FPGA-CAM混載PCIボードの設計および評価を行った。インタフェース仕様書策定、ドライバ作成、動作検証、様々な障害回避手段の考案と適用を行い、安定動作にこぎつけた。実CAMによる論理確認ができたことは意義深いと考えている。口頭発表3件を報告した。

以上、当初の目標は十分に達成できたと考えている。今後は、SPARCアーキテクチャに依存しない一般的な手法として改良を重ね、組み込み用プロセッサなどに対しても適用可能な技術として育てていきたい。

6 研究総括の見解:

プロセッサと主記憶の速度比が拡大し、従来の命令レベル並列処理方式が限界に近づきつつある状況において、命令区間の再利用性および予測可能性を利用して、既存プログラムをさらに大幅に高速化する基本技術である。バイナリアノテーション(ロードモジュールの静的解析に基づく付加情報の埋め込み)や再コンパイルを必要とすることなく、既存プログラムをそのまま使うことができるため、早期の実用化が可能と思われる。独創性の高い研究であり、数多くの特許も出しており新規性、進歩性にも優れていると認められる。今後は本研究成果の実用化のために努力されることを期待している。

7 主な論文等:

論文

- (1) 木郁真, 池内康樹, 津邑公暁, 中島康彦, 中島浩: “再利用によるGAの高速化手法”, 情報処理学会論文誌:コンピューティングシステム, ACS12, pp.129-143, Nov. (2005).
- (2) 中島康彦ほか: “外部連想バッファを備えるSpMTモデルの分析”, 先進的計算基盤システムシンポジウムSACIS2005 論文集, pp.397-406, May. (2005).
- (3) 津邑公暁, 清水雄歩, 中島康彦ほか: “ステレオ画像処理を用いた曖昧再利用の評価”, 情報処理学会論文誌:コンピューティングシステム, ACS3, pp.246-256, Sep. (2003).

- (4) 中島康彦ほか: “動的命令解析に基づく多重再利用および並列事前実行”, 情報処理学会論文誌:コンピューティングシステム, ACS2, pp.1-16, Jul. (2003).
- (5) 中島康彦ほか: “関数値再利用および並列事前実行による高速化技術”, 情報処理学会論文誌:ハイパフォーマンスコンピューティングシステム, HPS5, pp.1-12, Sep. (2002).

特許

- 中島康彦: “データ処理装置”, 特願 2005-234806 (H17. 8. 12)
- 中島康彦: “データ処理装置, データ処理プログラム, およびデータ処理プログラムを記録した記録媒体”, 中華民国出願番号 094109781 (2005. 03. 29)
- 中島康彦: “データ処理装置”, 特願PCT/JP2005/005591 (H17. 3. 25)
- 中島康彦: “データ処理装置, データ処理プログラム, およびデータ処理プログラムを記録した記録媒体”, 特開 2004-258905 (H15. 9. 12)
- 中島康彦: “データ処理装置, データ処理プログラム, およびデータ処理プログラムを記録した記録媒体”, 特開 2005-92354 (H15. 2. 25)

受賞 なし

招待講演

- 中島康彦: “コンピュータ・アーキテクチャに関わったこれまでの20年, これからの20年”, 奈良先端科学技術大学院大学 特別講演会, Feb. (2006).

研究課題別評価

1 研究課題名: ハードウェアアルゴリズムの進化的合成に関する研究

2 研究者氏名: 本間 尚文

3 研究の狙い:

近年, マルチメディア信号処理やセキュリティ情報処理に要求される演算能力は増加の一途をたどっており, 多種多様なデータパスの設計が必要とされている. データパスの大部分を占める算術演算回路の性能は, デバイスレベルや論理レベルでの最適化のみならず, 算術演算のハードウェアアルゴリズム(算術アルゴリズム)に大きく依存する. 今後, VLSI システムに対する要求の著しい多様化に伴い, 最適な算術アルゴリズムを設計する必要性はますます高まると予想される. しかし, 現在の EDA(Electronic Design Automation)技術は論理回路の記述や検証を基本として発展しており, 算術アルゴリズムの設計に対して十分な設計環境が整っていない. 従来のハードウェア記述言語(HDL: Hardware Description Language)では論理式によって回路を記述するため, 算術演算を基本とする算術アルゴリズムを直接記述することは難しい. また, 2進数系以外の算術アルゴリズムを記述・検証するためには, 2値論理信号に基づいた低水準の構造が必要となる. 論理式の簡単化に基づく汎用の論理合成では, 算術アルゴリズムの自動合成までは原理的に困難である.

本研究では, このような設計問題の本質的ブレークスルーのためには, データパス設計を本質的なアルゴリズムレベルで行う新しい設計パラダイムが必須であるとの観点から, 算術アルゴリズムの記述・検証・合成技術の開発をおこなった. その中心となる着想が, 2進数と非2進数を統合した数系・数式による算術アルゴリズムの表現手法である. 提案する表現手法は, ①算術アルゴリズムを整数方程式により形式的に記述可能, ②非2進数系を含む任意の重み数系を記述可能, ③アルゴリズムの正当性を数式処理等により静的に検証可能, ④正当性の証明された算術アルゴリズムを従来の論理式に変換可能などの特長を有する. さらに, 高信頼な算術アルゴリズムライブラリの構築や, 算術アルゴリズムの自動合成への応用が期待できる.

4 研究成果:

本研究では, 2進数と非2進数を統合した算術アルゴリズムの高水準な設計技術を実現するため, 以下の3項目について研究を実施した.

- ① 算術アルゴリズム記述言語およびその言語処理系
- ② 加算アルゴリズムの統一的なデータ構造
- ③ 進化的グラフ生成手法に基づく算術アルゴリズムの自動合成

以下ではそれぞれについて説明する.

① 算術アルゴリズム記述言語およびその言語処理系

本研究で提案する表現手法に基づく算術アルゴリズム記述言語 ARITH とその言語処理系を開発した(図1)。

ARITH では、算術演算回路の構造を数系と整数方程式によって階層的に表現する。ARITH で扱う数系とは、重みベクトルと桁集合ベクトルの二項組によって与えられる任意の重み数系である。例えば、従来の符号なし2進数系は、重みを2のべき乗、桁集合を{0,1}で与えられる。ARITH で用いる信号は、全て整数信号であり、属性として数系と取り得る桁の範囲をもつ。一方、整数方程式は整数信号および整数定数を加算、減算、乗算で結合して得られる式である。本研究で開発した言語仕様では、各種加算器、加算器ネットワーク、乗算器、積和演算器およびそれらの複合データパスを設計することができる。

提案する ARITH 記述は、数系を記述するための型定義ブロックと算術アルゴリズムの機能と内部構造を記述するためのモジュール定義ブロックから構成される。型定義ブロックでは、重みベクトルと桁集合ベクトルを宣言することで、非2進数系を含む任意の重み数系を定義する。一方、モジュール定義ブロックでは、型定義ブロックで定義された数系と整数方程式を用いて算術アルゴリズムの機能を記述する。以上の手法で記述された算術アルゴリズムは、シミュレーションなどを用いることなく、形式的に検証される。本研究で開発した ARITH 言語処理系では、従来の検証手法に加えて、数式処理を用いた検証を可能とする。それらの検証手法を組み合わせることにより、ARITH 記述を高速に検証できることを実験的に確認している。

本研究では、ARITH の応用として算術演算器モジュールジェネレータを開発した。ARITH で記述された算術アルゴリズムをデータ形式として用いることで、ジェネレータ内部の演算器ライブラリの信頼性を向上させることができる。開発したモジュールジェネレータは、(i) ARITH/HDL コードジェネレータ、(ii) ARITH 処理系、および(iii) BDD 等価性チェッカーから構成される(図2)。まず、ARITHコードジェネレータは、与えられた設計仕様に従い ARITH 記述を生成する。次に、生成した算術アルゴリズムに応じて、ARITH 処理系および BDD 等価性チェッカーにより ARITH 記述を形式的に検証する。最終的に、それぞれの検証結果を合わせることで、アルゴリズムレベルで完全に機能の保証された演算器モジュールを生成する。

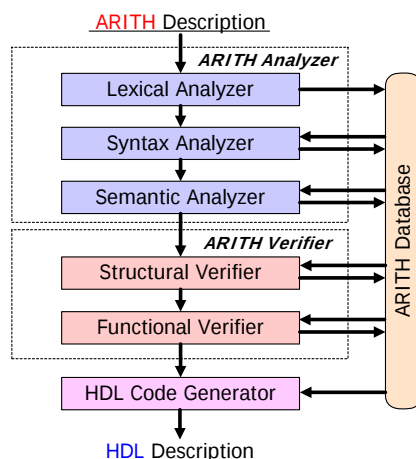
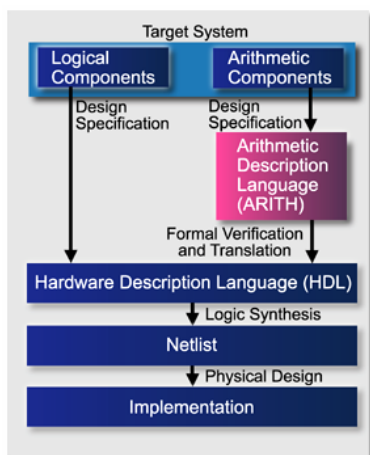


図1左: ARITH を用いたシステム設計フロー(算術アルゴリズムは ARITH により記述され、数学的な正当性を検証される。その後、HDL コードに変換され、システムに組み込まれる)
図1右: ARITH 言語処理系の構成

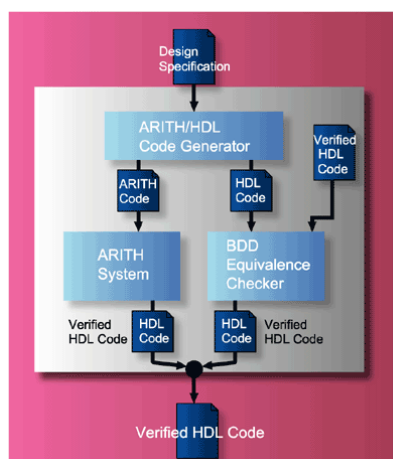


図2: ARITH を用いた乗算器モジュールジェネレータ
 入出力の数表現2種類(Unsigned, Two's complement),
 部分積生成器2種類(PPGs with/without Radix-4 Booth
 encoding), 部分積加算器8種類(Array, Wallace tree,
 Balanced delay tree, Overturned-stairs tree, Dadda
 tree, (4;2) compressor tree, (7,3) counter tree,
 Redundant binary addition tree), 最終段加算器11種
 類(Ripple carry adder, Carry look-ahead adder,
 Ripple-block carry look-ahead adder, Block carry
 look-ahead adder, Kogge-Stone adder, Brent-Kung
 adder, Han-Carlson adder, Conditional sum adder,
 Carry select adder, Carry skip adder(2 type))の組み
 合わせが選択できる。

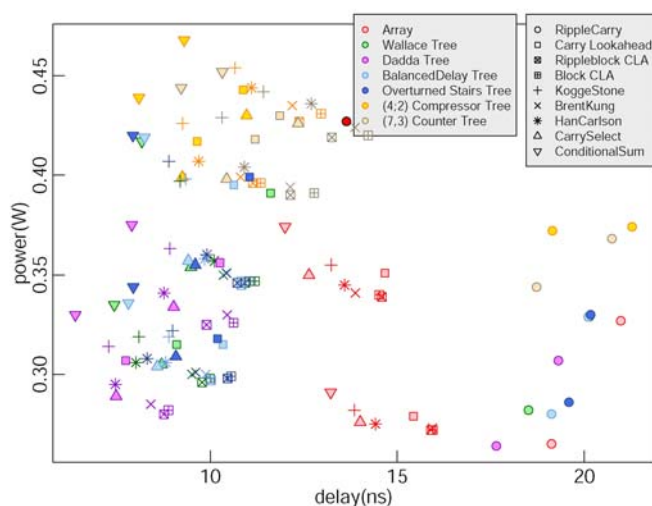


図3左: 乗算器モジュールジェネレータにより生成された乗算器の性能
 (Rohm 0.35 μ m CMOS プロセスの例)

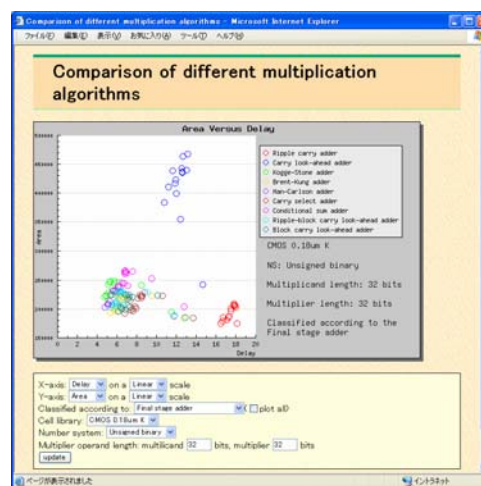


図3右: Web 上に公開された性能評価システムのインターフェース

本研究で開発したジェネレータは、並列乗算アルゴリズムを生成の対象とする。ここでは、乗算アルゴリズムを部分積生成アルゴリズム、部分積加算アルゴリズム、最終段加算アルゴリズムの3つに分け、それぞれの算術アルゴリズムを組み合わせることで設計仕様を決定する。各種の数系(非2進数系を含む)に基づく算術アルゴリズムを ARITH によって系統的にライブラリ化しており、352種類の乗算器を任意の語長で生成可能である。生成される乗算器モジュールは、ARITH 処理系の形式的な検証により、アルゴリズムレベルでの機能を完全に保証される。

現在、Web 上(<http://www.aoki.ecei.tohoku.ac.jp/arith/mg/>)にて、開発したジェネレータを公開している。利用者は、設計仕様の入力フォームから、入力信号幅、数系および乗算アルゴリズムを指定することで、所望の乗算器を得ることができる。また同システムでは生成されたモジュールの性能評価を提供しており(図3)、これをアルゴリズム選択の指標として参照することができる。公開したシステムには、2004年秋以降8000件を越える利用がある。

② 加算アルゴリズムの統一的数据構造

加算アルゴリズムを統一的に表現するデータ構造として Counter Tree Diagram (CTD)を開発した。

一般に、算術演算回路は幾つもの単純な基本演算回路から構成され、その中心となるのが加算器もしくはカウンタと呼ばれる回路である。現在までにさまざまな高速加算アルゴリズムが独自の手法により開発されているが、種々の数系に基づく加算アルゴリズムを統一的に取り扱う設計理論は存在しなかった。提案する CTD は、加算機能を抽象化したカウンタノードから構成され、さまざまな抽象度レベルにおける加算器・カウンタのネットワークを表現する。例えば、CTD により、冗長 2 進加算器、Signed-Digit 加算器、Positive-Digit 加算器、Binary Carry-Save 加算器およびその加算器やカウンタによって構成される加算木全般を取り扱うことが可能である。

CTD は、カウンタノードと呼ばれるノードの集合とノード間を結ぶ有向辺の集合からなる。カウンタノードは、加算機能（カウンタ機能）を抽象的に表現する。一方、有向辺は、オペランド同士の依存関係を表現する。すべての有向辺はオペランドの定義域として重みつき区間を持つ。CTD は、カウンタノードのネットワークとして、加算アルゴリズムをさまざまな抽象度レベルで表現する（図 4）。分解・結合と呼ばれる操作により抽象度を自由に変更することで、さまざまな加算アルゴリズムの解析や設計に CTD を利用できる。

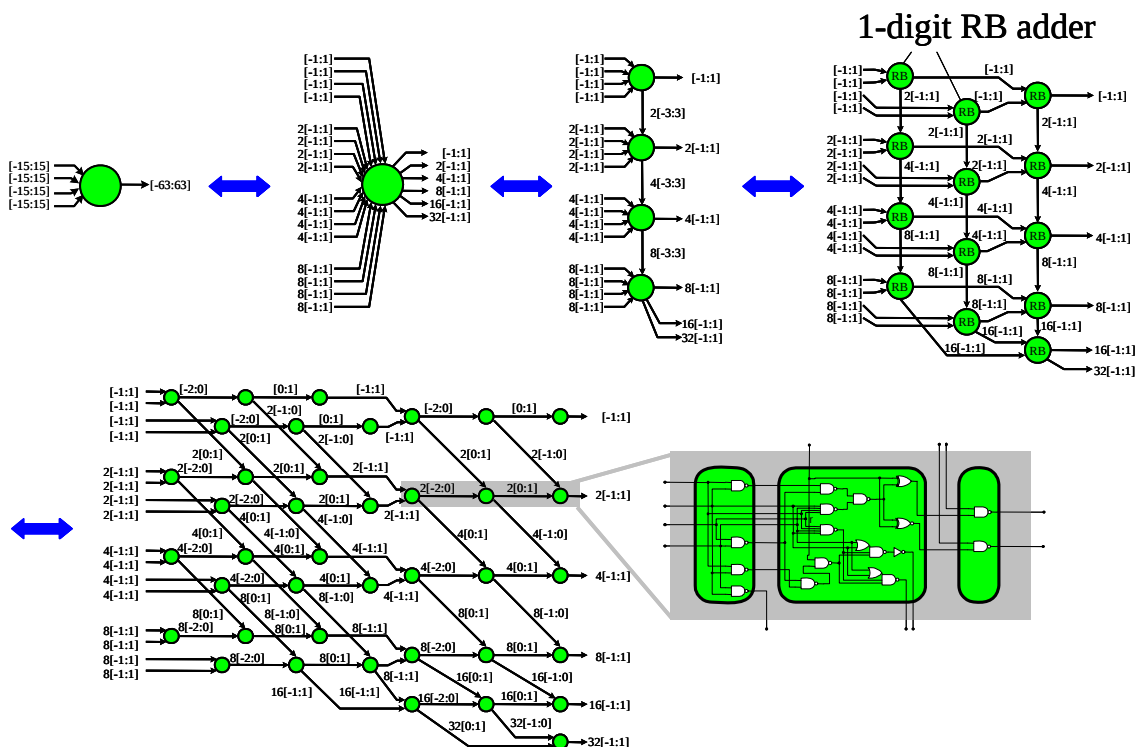


図4: Counter Tree Diagram による冗長加算アルゴリズムの表現
(冗長 2 進加算アルゴリズムの例)

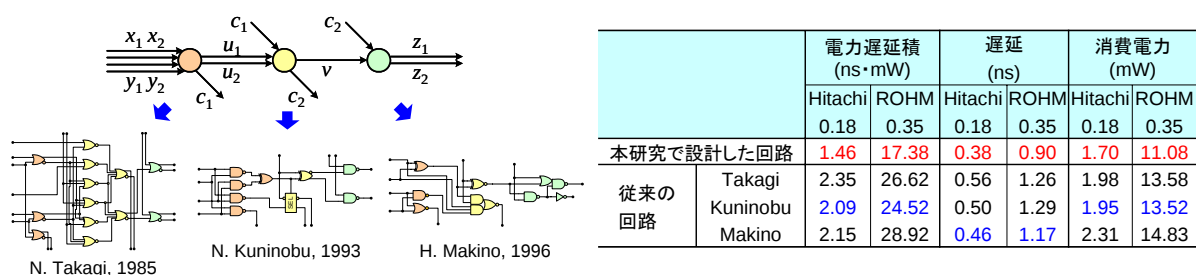


図5: Counter Tree Diagram による冗長加算器の解析とその最適設計への応用
(冗長2進加算器の例)

本研究では、CTD の応用として高速な冗長加算器の解析をおこなった。冗長数系を用いることで桁上げ伝搬の制限された高速な加算器を実現できることは広く知られている。しかし、その設計はこれまで冗長数系に関する専門的な知識を持った設計者により経験的に行われてきた。これに対して、CTD を用いることで、算術演算アルゴリズムに関する専門的な知識を用いることなく、冗長数系に基づく高速加算アルゴリズム(多段構造のCTD)を代数的に導出することができる。解析の結果、従来の冗長加算器構造は全てCTDの一つとして解釈できることが明らかになった(図5)。開発した解析手法は、任意の冗長加算アルゴリズムに適用が可能であり、今後の冗長加算器を設計する上でも有用であると考えられる。

さらに本研究では、例として冗長2進加算器を取り上げ、CTD に基づく冗長加算器の設計手法の有効性を確認した。冗長加算アルゴリズムを表現するCTDに対応する論理関数を得るには、まず、整数値をとるCTD変数上での加算表(機能表)を決定する。次に、CTD変数を2値に符号化し、機能表から真理値表(論理関数)に変換する。そのため、機能表とCTD変数への符号化の組み合わせにより多様な回路構造が得られる。実験として、冗長2進加算器を網羅的に設計し、得られた加算器の性能を従来の加算器と比較した。その結果、機能表およびCTD変数の符号化を変更することにより、多様な回路構造を系統的に得られることを実証した。また、テクノロジーに応じた最適化が可能となり、従来よりも30～40%程度性能の優れた構造が得られることを確認した(図5)。

③ 進化的グラフ生成手法に基づく算術アルゴリズムの自動合成

算術アルゴリズムの自動合成技術として進化的グラフ生成システム(EGG)のフレームワークを開発した。EGGは、本研究者が提案する回路合成に特化した進化的計算手法であり、回路構造を模したグラフによる個体モデルとその構造操作を有する。

本研究では、まず、単一コンピュータでの実装を前提としていたEGGのプロトタイプシステムを並列化して、複数のプロセッサ上で動作する並列EGG処理系を開発した。ここでいう並列EGGは、いわゆるアイランドモデルのように、複数のクライアント(アイランド)上で、それぞれ異なるパラメータによる構造進化を行い、適切なタイミングで個体データを交換(移民)することにより、全体としてグラフ構造の多様性を維持しつつ協調的な進化を実現する。これにより、メモリおよび計算速度の観点から単一プロセッサ上では実装不可能であったような多数の個体を用いた進化プロセスが

実現され、生成される演算回路の質と収束速度を大幅に改善できた。

次に、並列 EGG システムの実現に特化した50ノードの PC クラスタを構築し、開発した並列 EGG を実装した。並列 EGG システムはゆるやかに協調する複数の EGG プロセスから構成されるため、プロセッサ間の通信バンド幅を低く抑えることが可能である。このため、商業ベースの off-the-shelf PC によって構成される PC クラスタ上における効率良い実装が可能である。開発した並列 EGG では、分散処理される各プロセス間の通信(個体集団の移民プロセス)に厳密なスケジューリングが不要なため、汎用のイーサネットとスイッチングハブを用いても十分な台数効果を達成できる。

構築した PC クラスタ上において、多様な演算回路の創生成成実験を実施した。CTD に基づく算術アルゴリズムを種々の抽象度レベルで合成し、EGG の有する本質的な探索能力を明らかにした。具体的には、トランジスタレベルでのアナログ演算回路やワードレベルでの FIR デジタルフィルタ向け乗算器ブロックを合成対象とした。本研究では、それらの合成結果から EGG の動作について理論的考察をおこない、基本となるデータ構造および操作を定義したオブジェクト指向フレームワークを開発した。現在、Web 上にて、開発したフレームワークを広く公開している(<http://www.aoki.ecei.tohoku.ac.jp/egg/>)。

5 自己評価:

本研究では、算術アルゴリズムの高水準な設計環境を実現するため、その記述・検証・合成に関する基盤技術を開発した。最終的には、当初計画していた算術アルゴリズムの進化的合成の他にも、算術アルゴリズムの記述や検証において期待以上の大きな成果が得られた。開発した算術アルゴリズムの表現手法により、これまで個別に設計されてきた算術アルゴリズムを統一的に設計することが可能となる。また、提案する算術アルゴリズム記述言語 ARITH を用いて開発した乗算器モジュールジェネレータは、350種類を超える算術アルゴリズムに対応しており、世界でも他に類を見ない規模に達している。

一方で、現在提案する表現手法は、算術式で表現される算術アルゴリズムのみを対象としている。今後は、任意の論理演算を含む算術アルゴリズムへの拡張が課題となる。まず、ARITH の言語拡張では、算術演算と論理演算の混在表現を実現する必要がある。これまでの ARITH のデータ形式を用いて論理演算と算術演算を統一的に記述・検証するためには、論理演算を算術演算として取り扱う枠組みが必要不可欠である。この問題に対して、現在ブール代数特有のべき等律に着目することで論理演算を算術演算とみなす方式を検討している。次に、CTD の拡張では、論理演算に伴う制御信号などを取り扱う必要がある。これは、CTD 変数に媒介変数を導入することで実現可能であると予想される。

今後、拡張した ARITH や CTD を用いて、正当性を100%保証する記述で算術アルゴリズムをライブラリ化し、必要に応じてデータパス設計に利用することが可能になれば、従来の CMOS デバイスのみならず次世代デバイス(単電子デバイス、分子デバイス、スピントロニクスデバイス等)の演算回路設計環境を実現する上で重要なブレークスルーを与えられる。

6 研究総括の見解:

本間研究者は、算術アルゴリズムの高水準な設計環境を実現するため、その記述・検証・合成に関する基盤技術を開発した。本研究の数系・数式表現により、これまで個別に設計されてきた算術アルゴリズムを統一的に設計することが可能となった。具体的には、算術アルゴリズム記述言語 ARITH およびその言語処理系の開発、加算アルゴリズムを統一的に表現するデータ構造として Counter Tree Diagram の開発、進化的グラフ生成手法に基づく算術アルゴリズムの自動合成などにおいて期待以上の大きな成果を挙げた。研究成果は乗算器の生成と性能評価など極めて実用的なものであり、Web 上で公開された算術演算器モジュールジェネレータには数多くの利用があり、多くの実績を残している。今後さらに研究を進め、大きく発展することを期待している。

7 主な論文等:

論文

- (1).Naofumi Homma, Takafumi Aoki, and Tatsuo Higuchi, "Multiplier block synthesis using Evolutionary Graph Generation," The IEEE Computer Society Press in the Proc. of the 2004 NASA/DoD Conference on Evolvable Hardware, pp 79--82, June 2004.
- (2).Naofumi Homma, Jun Sakiyama, Taihei Wakamatsu, Takafumi Aoki, and Tatsuo Higuchi, "A systematic approach for analyzing fast addition algorithms using Counter Tree Diagrams," Proc. of the 2003 IEEE International Symposium on Circuits and Systems, pp. V-197--V-200, May 2004.
- (3).本間尚文, 崎山淳, 若松泰平, 青木孝文, 樋口龍雄, "Counter Tree Diagram に基づく冗長加算器の系統的設計手法 — 冗長 2 進加算器設計の例 —," 情報処理学会論文誌, Vol. 45, No. 5, pp. 1279--1288, May 2004.
- (4).Naofumi Homma, Masanori Natsui, Takafumi Aoki, and Tatsuo Higuchi, "VLSI circuit design using an object-oriented framework of Evolutionary Graph Generation system," Proc. of 2003 Congress on Evolutionary Computation, pp. 115--122, December 2003.
- (5).Jun Sakiyama, Naofumi Homma, Takafumi Aoki, and Tatsuo Higuchi, "Counter Tree Diagrams: A unified framework for analyzing fast addition algorithms," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E86-A, No. 12, pp. 3009--3019, December 2003.

特許

- (1).加算回路合成装置, 加算回路合成方法, 及び加算回路合成プログラム 特開 2005-250704.

受賞

- (1).第 7 回 LSI IP デザイン・アワード完成表彰部門 IP 賞受賞, May 2005.

招待講演等

- (1).Naofumi Homma, Yuki Watanabe, Kazuya Ishida, Takafumi Aoki, and Tatsuo Higuchi, “A multiplier module generator based on arithmetic description language,” Proc. of the IP Based SoC Design Conference & Exhibition, December 2005. (招待講演)
- (2).Takafumi Aoki, Naofumi Homma, and Tatsuo Higuchi, “Evolutionary synthesis of arithmetic circuit structures,” Artificial Intelligence in Logic Design, Edited by S. N. Yanushkevich, Kluwer Academic Publishers, pp. 39—72, 2004 (Reprinted from AI Review, Vol. 20, Nos. 3–4, 2003). (共著)
- (3).Naofumi Homma, Masanori Natsui, Takafumi Aoki, and Tatsuo Higuchi, “A graph-based approach for synthesizing arithmetic circuits,” Proc. of 13th International Workshop on Post-Binary ULSI Systems, pp. 25—32, May 2004.(招待講演)
- (4).Takafumi Aoki, Naofumi Homma, and Tatsuo Higuchi, “Evolutionary synthesis of arithmetic circuit structures,” Artificial Intelligence Review, Kluwer Academic Publishers, Vol. 20, Nos. 3–4, pp. 199—232, December 2003.(招待論文)