

情報担体とその集積のための材料・デバイス・システム  
2021 年度採択研究代表者

2022 年度  
年次報告書

川上 哲志

九州大学 大学院システム情報科学研究院  
准教授

単一磁束量子を用いた雑音駆動型超低電力計算機基盤の創成

## 研究成果の概要

本研究では、既存計算機の低電力化の律速要因であった雑音限界を突破すべく、単一磁束量子デバイスに基づいた雑音を回路動作のメカニズムとして活用するデバイス技術の確立を目指す。さらに、この雑音駆動型素子を前提として、可逆論理ゲートに基づく演算回路を構築し、クロック駆動型回路と融合した計算機システムアーキテクチャを開発することで、超低電力コンピューティング基盤を創出することを目的とする。2022年度においては、①ランダムウォーク回路の動作検証、②可逆論理ゲートの一つである Hub ゲートの再検討、③可逆論理演算回路のための消費エネルギーのエスティメータの開発、④可逆ゲートによるメモリ回路構築を実施した。まず、①に関しては昨年度検討したランダムウォーク回路を SPICE シミュレーションによって動作検証した。1次元ランダムウォークにおいて  $t$  ステップ後の信号位置は平均0分散  $t$  のガウス分布に従うことが判明しているため、シミュレーション結果をフィッティングすることにより、提案回路がランダムウォーク挙動をしていることを検証した。②に関して、本研究の Hub ゲートは  $\Delta$  構造によって三叉路機能を実現しているが、SPICE シミュレーションした結果、磁束量子が  $\Delta$  構造から抜け出す可能性があることが判明した。したがって、本問題を解決するための  $\Delta$  型周回電流回路を検討した。③に関して、昨年度作成した可逆回路の性能エスティメータをベースとして、消費エネルギーも見積もり可能なツールを開発した。具体的には、回路のネットリストと各種パラメータを入力とし、遷移過程の可視化と計算ステップと消費エネルギーを出力するエスティメータを Python で実装した。④に関して、昨年度構築した半加算器に加えて計算機に不可欠なレジスターを作成した。また、本研究提案の雑音駆動型 SFQ 回路の優位性を定量的に比較すべく、RFSQ 回路によって実装された基本演算回路の検討・設計も実施した<sup>1)</sup>。

### 【代表的な原著論文情報】

1) Ikki Nagaoka, Ryota Kashima, Masamitsu Tanaka, [Satoshi Kawakami](#), Teruo Tanimoto, Taro Yamashita, Koji Inoue and Akira Fujimaki, "50-GFLOPS Floating-Point Adder and Multiplier Using Gate-Level-Pipelined Single-Flux-Quantum Logic with Frequency-Increased Clock Distribution" in the IEEE Transactions on Applied Superconductivity, vol. 33, no. 4, pp. 1-11, June 2023.