

革新的コンピューティング技術の開拓
[2019年度]年度採択研究者

2021年度 年次報告書

鯉淵 道紘

情報・システム研究機構 国立情報学研究所
准教授

耐故障並列計算と高速ロシー結合網の協調

§ 1. 研究成果の概要

本研究の目的はふたつある。ひとつはデータの欠損をある程度許容することで高速処理するロシー通信技術開発であり、もうひとつはロシー通信への十分な耐故障性をもたせた Algorithm Based Fault Tolerance (ABFT)を並列計算アプリケーションに導入するフレームワークの実現である。ふたつは相互に支えあう技術であり、同時に成立することが重要である。この目的達成のために、次の3つの要素技術の研究を行った。

(1) ロシー結合網の設計

最先端のオンボード・シリコンフォトニクスランシーバーを搭載したカスタム FPGA ボード間の 100Gbps 通信において、光アンプの出力を抑えることで生じるビット誤り率を測定した。その結果、物理的にはランダムエラーが発生しているにも関わらず、64B67B ラインコードにより、アプリケーション層では一部 64 ビットのバーストエラーとして処理されることが確認された。そのため、ラインコード内にバーストエラー防止用の簡便なエラー検出訂正符号を持つ方式を提案し、近似処理の統計的手法が応用できるように検討した。さらに、通信データにルーティング情報を含まずにデータ転送する方式を提案し、FPGA 間通信においてビット誤りによるシステムが停止する確率を抑制した[1]。

ABFT 支援については、通信データの非可逆圧縮の改良を行い、再送頻度を抑制するようにパケット全体の圧縮率を調整する技術に発展させた[2]。

(2) ロシーネットワークシミュレータ

昨年度に引き続き、SimGrid シミュレーターを ABFT 用に拡張した。SimGrid において、MPI で記述された並列プログラムの通信データの任意の位置にビット化けを発生させる機能を用いて、本研究において提案しているロシー結合網の評価を行うことができる。

(3) ABFT 設計

独自命令の追加により、FPGA クラスタ上でシリコンフォトニクスランシーバー経由の通信を用いる並列処理動作を可能とした。

【代表的な原著論文情報】

1) Kien Trung Pham, Truong Thao Nguyen, Hiroshi Yamaguchi, Yutaka Urino, Michihiro Koibuchi, Scalable Low-Latency Inter-FPGA Networks, Scalable Low-Latency Inter-FPGA Networks, the 28th IEEE International Parallel & Distributed Processing Symposium (IPDPS22) フルペーパー, 採録決定

2) Yao Hu, Michihiro Koibuchi, Accelerating MPI Communication Using Floating-point Compression on Lossy Interconnection Networks, the 46th IEEE Conference on Local Computer Networks (LCN), pp. 355-358, 2021, ショートペーパー