

革新的コンピューティング技術の開拓
2018 年度採択研究者

2020 年度 年次報告書

鬼沢直哉

東北大学電気通信研究所
准教授

エッジ型学習用ハードウェア実現に向けたインバーティブルロジックの創成

§ 1. 研究成果の概要

人工知能, 特にニューラルネットワークの高速・省エネルギー学習用ハードウェア実現に向けて, 3年次は2年次に行った提案インバーティブルロジックを小規模な学習処理例である Binary perceptron へ適用した結果を拡張させ, より大規模なニューラルネットワークである2層 Binarized Convolutional Neural Networks(BCNN)の学習処理ハードウェアの実現に取り組みました. また, 対象となるニューラルネットワークが大規模化するに従い, インバーティブルロジックの設計コストが増大することが判明したため, 自動設計ツールの構築にも同時に取り組みました.

2年次に構築した設計手法では, 線形計画法によって予め作成したハミルトニアンライブラリを用いることで, 仕様からインバーティブルロジックへの自動変換を実現していたが, 変換用スクリプトを仕様ごとに変更する必要があるため, 半自動の設計手法に留まっていました. 今年度構築した自動設計ツールにより, 任意の関数(仕様)をハードウェア記述言語で設計することで, インバーティブルロジックへの自動変換を実現しました. これにより, 提案インバーティブルロジックの設計・評価にかかる時間を大幅に削減することが可能になり, さまざまな学習処理への適用が可能になりました.

学習処理への適用例として2層 BCNN を対象に, 従来方式である誤差逆伝播法との性能比較を行いました. 提案方式をFPGAを用いてハードウェア実装した結果, 従来方式と比較して同等の認識精度を保ちつつ, 約1/130の消費電力と約40倍の高速化が達成されました. これにより, ニューラルネットワーク全体への学習が可能であることを示しただけでなく, 実用規模のニューラルネットワークにおける学習処理の高速化・低消費電力化の可能性を示すことに成功しました.

【代表的な原著論文情報】

- 1) N. Onizawa, K. Nishino, S. C. Smithson, B. H. Meyer, W. J. Gross, H. Yamagata, H. Fujita, and T. Hanyu, “A Design Framework for Invertible Logic,” *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 40, no. 4, pp. 655-665, Apr. 2021.
- 2) M. Kato, N. Onizawa, and T. Hanyu, “Design Automation of Invertible Logic Circuit From a Standard HDL Description,” *Journal of Applied Logics*, 2021 (to appear)
- 3) N. Onizawa, S. C. Smithson, B. H. Meyer, W. J. Gross, and T. Hanyu, “In-Hardware Training Chip Based on CMOS Invertible Logic for Machine Learning,” *IEEE Trans. on Circuits and Syst. I Reg. Papers*, vol. 67, no. 5, pp. 1541-1550, May 2020.
- 4) D. Shin, N. Onizawa, W. J. Gross, and T. Hanyu, “Training Hardware for Binarized Convolutional Neural Network Based on CMOS Invertible Logic,” *IEEE Access*, vol. 8, pp. 188004-188014, Oct. 2020