

革新的コンピューティング技術の開拓
2019 年度採択研究者

2019 年度 実績報告書

鯉渕 道紘

国立情報学研究所アーキテクチャ科学研究系
准教授

耐故障並列計算と高速ロシー結合網の協調

§ 1. 研究成果の概要

半導体の微細化が徹底追求された現在、従来通りのエラーが生じない高性能通信ハードウェアの設計は、現実的なコストという厳しい条件のもとでは改良を行うことが難しくなっている。

そこで、本研究では、アルゴリズムレベルで高い耐故障性を有する並列計算アプリケーションと、耐故障性に関する機能を最小限に留める高速結合網に関する協調設計技術を創出することで、高性能クラウド並列計算基盤の実現を目指す。

本研究で対象とするエラーは、物理的なハードエラーではなく、ビット化けや紛失などの一時的なエラーであるソフトウェアエラーを指す。ソフトウェアエラーが生じた場合でも、実行プログラムが必ず停止するわけではない。ただし、間違った計算結果が生じてしまう。これは、従来、「並列計算機システム内の通信ではエラーが生じない」前提で並列計算アプリケーションやプログラムが設計されてきたことに起因する。

そこで、本研究の初年度にあたる 2019 年度は、プログラマが通信障害を想定して、耐故障性を有する並列計算アプリケーションを開発する方法を探求した。この方法は、行列計算を対象にして、行と列にチェックサムを挿入し、検算を行うことで誤りを発見する。そして、誤りがあった場合、その誤った計算のみを再実行する。これは Algorithm Based Fault Tolerance (ABFT)に基づく実装である。64 台の計算ノードを 4 次元トラスで相互結合して構成された並列計算機システムにおけるプロセス間通信のビットエラー率と実行時間の関係を計算機シミュレーションによって評価した。その結果を図 1 に示す。ビット誤り率が 10^{-4} よりも悪化した場合、行列計算の実行時間が大きくなってしまふ。よって、この行列計算の場合、結合網は、耐故障性を多少犠牲(ビット誤り率 10^{-5})にして高速化を目指す設計が効果的となる。今後、このようなアプローチで協調設計を進めることで、新しい高性能コンピューティング技術を切り拓くことを目指していく。

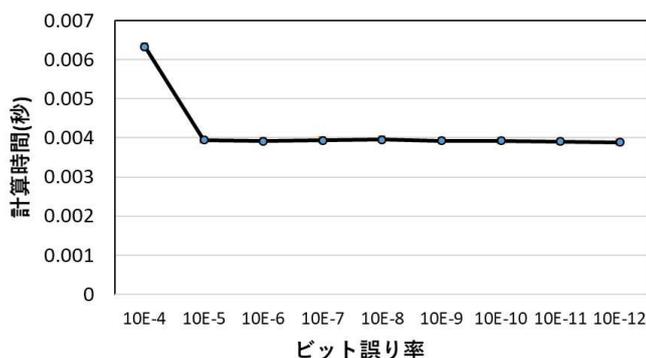


図 1 ビット誤り率と計算時間の関係