

2024 年度年次報告書

情報担体とその集積のための材料・デバイス・システム

2022 年度採択研究代表者

栗野 皓光

京都大学 大学院情報学研究科

准教授

極低温 CMOS コンピューティング技術の開拓

研究成果の概要

本研究では 4K や 77K 程度の極低温まで CMOS 集積回路を冷却することで、その限界性能を引き出し、微細化に依存しないコンピューティング能力の拡充を目指している。3 年次目となる本年は、昨年度までの基礎的な測定結果を踏まえ、DNN 推論器の回路方式開発と実装に取り組んだ。また、極低温での回路性能を引き出すべく、ダイナミックフリップフロップセルの設計も進めた。

(i) 事前計算を用いた“乗算不要な”AI アクセラレータ

CMOS 回路を冷却することでリーク電流は大幅に削減できる。一方で、ダイナミック電流は殆ど削減できない。従って、低温における CMOS 回路の性能を追求するには活性化率が低くリーク電力が支配的なメモリを効率的に使い、ダイナミック電力が支配的な組み合わせ回路を削減することが重要である。そこで、今年度は事前計算された値をメモリに格納しておき、推論時には入力に対する計算結果をルックアップテーブルから探索することで、計算をメモリアクセスに置き換えた AI アクセラレータを検討した。推論時には入力を2分木によって LUT のアドレスへと変換し、LUT の格納値を内積結果の近似値として返すことで積和演算を近似する。商用 22nm でレイアウト設計を進め、ポストレイアウトシミュレーションを実施したところ、176TOPS/W の電力効率を達成できる見込みであることが明らかとなった。当該成果は EDA 関係のトップカンファレンスである Design Automation Conference (DAC) に採択されている。

(ii) ダイナミックフリップフロップの TEG 設計

極低温下ではトランジスタのリーク電流が大幅に減少するため、ダイナミック回路を活用することで電力性能を高められることが期待される。そこで、単相クロックで動作するダイナミックフリップフロップのレイアウトを設計し、その特性を詳細に測定する TEG を試作した。試作セルはファブが提供している標準的な DFF と比較してレイアウト面積を 33%削減することが出来た。当該 TEG には低電圧での動作特性を測定するためにレベルシフタや VCO 等の周辺回路も搭載している。試作チップの納品後、詳細な特性測定を進める予定である。

【代表的な原著論文情報】

- 1) Hiroto Tagata, Takashi Sato, Hiromitsu Awano: “Double MAC on a Cell: A 22-nm 8T-SRAM-Based Analog In-Memory Accelerator for Binary/Ternary Neural Networks Featuring Split Wordline,” IEEE Open Journal of Circuits and Systems, vol. 5, pp. 328-340, 2024.