

2023 年度年次報告書

情報担体とその集積のための材料・デバイス・システム

2021 年度採択研究代表者

川上 哲志

九州大学 大学院システム情報科学研究所

准教授

単一磁束量子を用いた雑音駆動型超低電力計算機基盤の創成

研究成果の概要

本研究では、既存計算機の低電力化の律速要因であった雑音限界を突破すべく、単一磁束量子デバイスに基づいた雑音を回路動作のメカニズムとして活用するデバイス・回路・計算機システムアーキテクチャ技術の確立を目指す。

2023 年度においては、(1)ランダムウォーク回路の機能性検証、(2)提案回路の性能・電力比較評価、(3)スケーラビリティ改善のための回路最適化手法の開発を実施した。まず、(1) に関しては昨年度 SPICE ベースで動作を確認したランダムウォーク回路の統計検定を実施し、SFQ 位置が正規分布に従うことを確認した。これによりシミュレーションによるランダムウォーク性が証明された。今後はチップ試作による低ランダムウォーク回路の原理検証を予定している。(2) に関して、提案原理に基づいた回路を複数(Half adder, Ripple carry adder, Register)を設計し、昨年度までに構築したエスティメータを用いて遅延時間と消費エネルギーの評価を実施した。その結果、提案回路は遅延時間の増加を抑えつつ極めて大きく低電力化できることが判明した。具体的には、HA で同 CMOS 回路と既存 SFQ 回路と比較し、各々約 75000 倍・約 1200 倍の低エネルギー化を達成し、かつ、遅延時間に関しても CMOS 回路と同程度であることを確認した^{1,3)}。(3) に関して、提案回路をカスケード接続し大規模化することを考えると、最悪実行時間の累積により非現実的なほど大きな遅延時間となることが懸念される。この問題を解決するために、冗長化による回路最適化手法を検討した。その結果、本手法は性能・電力のトレードオフを改善できることを確認した。特に、RCA では冗長度にかかわらず EDP を維持しつつ性能を柔軟に設計可能であり、Register では冗長度により EDP 自体を改善できることが判明した²⁾。

【代表的な原著論文情報】

- 1) S. Kawakami, Y. Ohtsubo, K. Inoue and M. Tanaka, "Late Breaking Results: Single Flux Quantum based Brownian Circuits for Ultra-Low-Power Computing", In Proceedings of Design, Automation & Test in Europe Conference & Exhibition (DATE), 2024. [to appear]
- 2) S. Kawakami, "Next-Generation Computer System Architecture with Emerging Devices: Challenges and Opportunities", Yonsei University, 12th Dec. 2023. [Invited talk]
- 3) M. Tanaka, I. Nagaoka, S. Kawakami, T. Tanimoto, T. Ono, K. Inoue and A. Fujimaki, "Demonstration of a Superconductor 8-Bit Microprocessor Based on High-Throughput Single-Flux-Quantum Logic Circuits", The East Asia Symposium on Superconductor Electronics, Mar. 2023.