

2008年12月8日
ULP領域公開シンポジウム

ソフトウェアとハードウェアの協調による 組込みシステムの消費エネルギー最適化

高田広章
名古屋大学 大学院情報科学研究科
附属組込みシステム研究センター
センター長／教授

本研究の目標と特徴

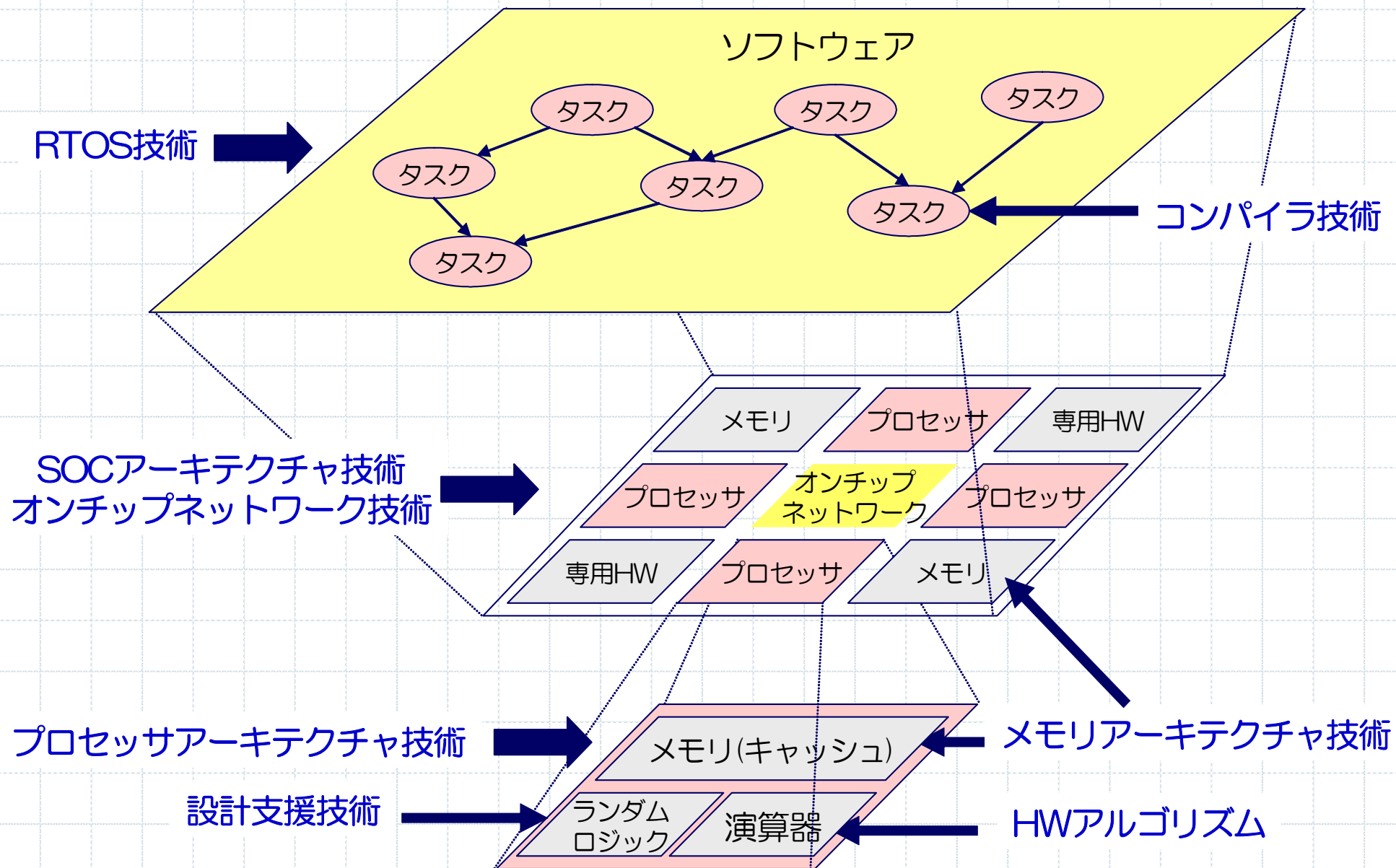
◆ 本研究の目標

- ソフトウェアとハードウェアの協調により、アプリケーションに必要なQoS（性能，計算精度，信頼性など）を保証しつつ，組み込みシステム（扱う範囲はプロセッサとメモリシステム）の消費エネルギーを60分の1に低減する技術を開発
- 研究実施の過程で，アプリケーション特化のアルゴリズム最適化を研究スコープから外したことで，数値目標を100分の1から60分の1に変更

◆ 本研究の特徴

- 対象は組み込みシステムの設計技術
 - ◆ アプリケーションはわかっているものとし，その性質を最大限に活用
- 広範囲な設計階層に跨る統合的・体系的な最適化
 - ◆ 設計階層を跨ぐことで最適化の可能性が拡大
 - ◆ ソフトウェア設計からハードウェアの回路設計まで
- 必要なQoSを保証しつつ消費エネルギーを最小化
 - ◆ QoSと消費エネルギーの関係の理論的・実践的解析

設計階層を跨る統合的最適化



研究体制 (2008年12月現在)

名古屋大学

ソフトウェア技術

- ・RTOS
- ・コンパイラ
- ・アルゴリズム

九州大学

ハードウェア技術

- ・アーキテクチャ
- ・回路技術

東芝

応用技術
実用性評価

◆ 名古屋大学

- 教授 高田広章
- 准教授 富山宏之
- 助教 中村一博
- 特任助教 曾剛
- 研究員 横山哲郎
- 学生

◆ 九州大学

- 准教授 石原亨
- 特任教授 佐藤寿倫
- 特任准教授 Maziar Goudarzi
- 学生

◆ 東芝

- グループ長 深谷哲司
- 主任研究員 片岡欣夫
- ほか5名

研究プロジェクトの方針と流れ

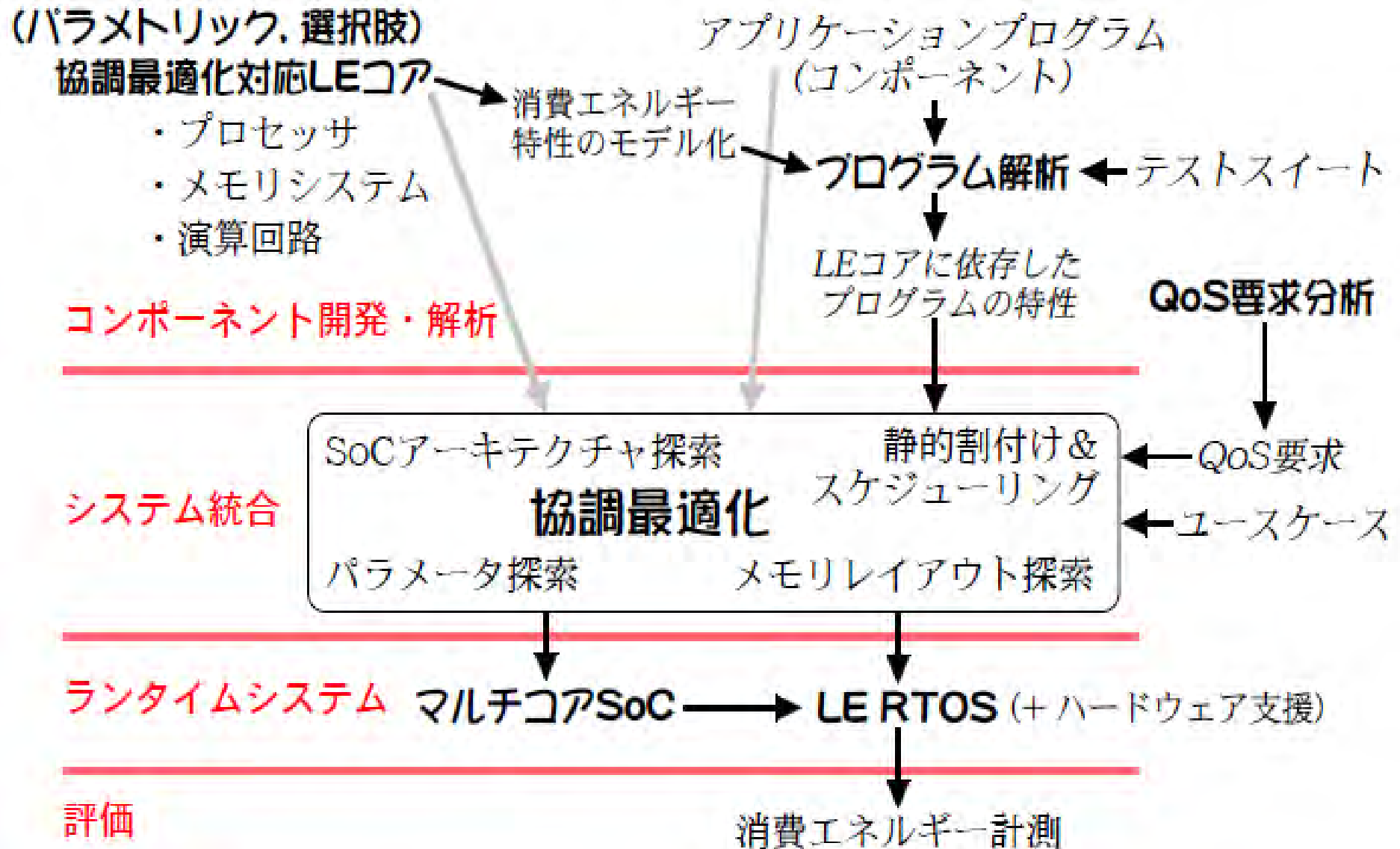
◆ 研究プロジェクトの方針・進め方

- 実用指向の研究（理論研究であっても近い将来に実用化可能なもの）を行う
- リアルタイム性を保証しながら、平均消費エネルギーを最小化する
- 目標達成のためには、様々な技術の動員が必要
 - ◆ 前半で様々な要素技術を個別に開発し、後半でそれらを統合する

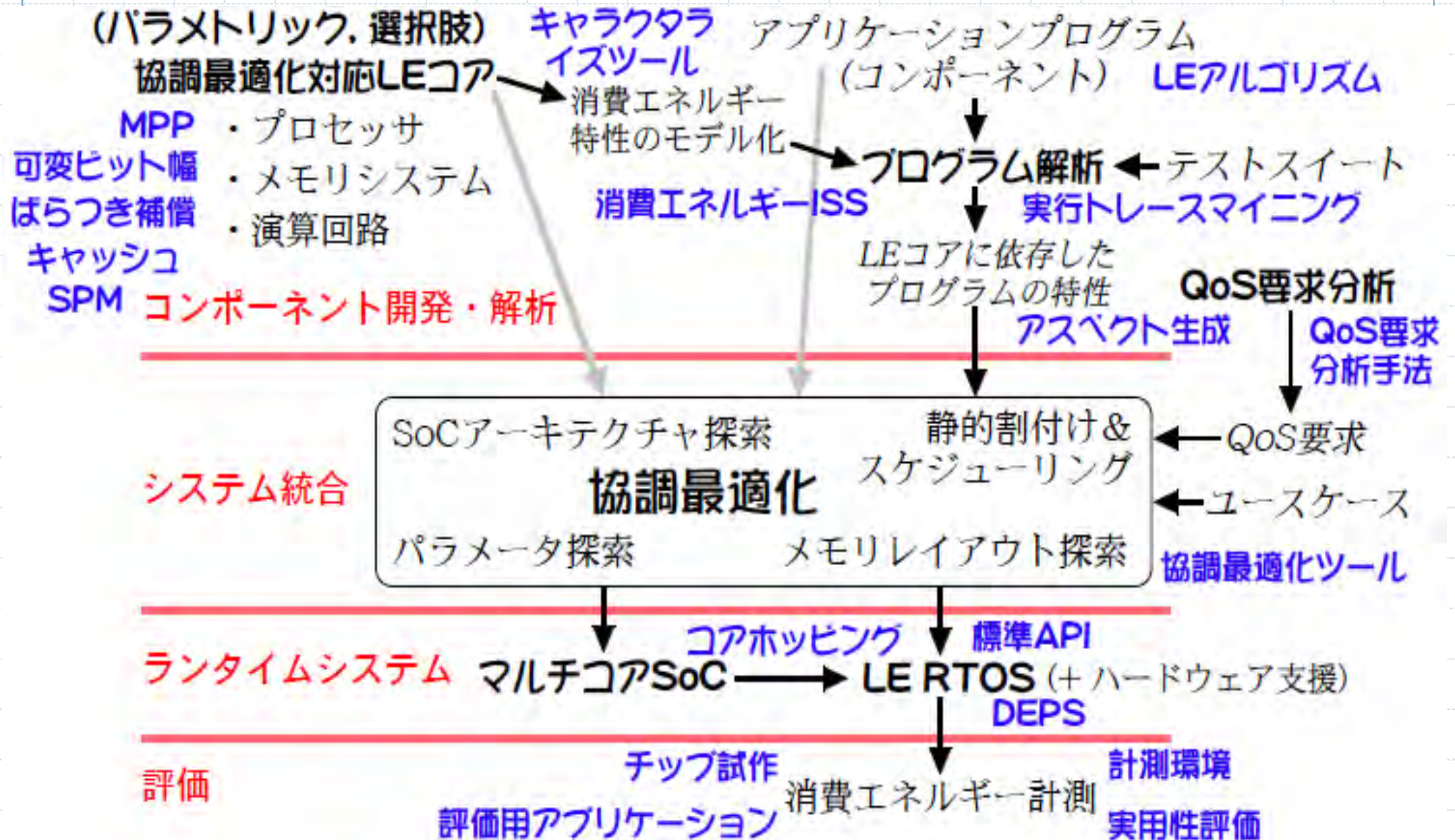
◆ 研究開発する技術の基本的な流れ

- ソフトウェアの性質にあわせて性能と消費エネルギーをトレードオフさせることができるハードウェア技術とIPコア（協調最適化対応LEコア）
- アプリケーションソフトウェアの性質を機械的に調べる技術とツール（実行トレースマイニング等）
- それらを用いた静的最適化技術とツール（メモリレイアウト最適化、静的割付け&スケジューリング等）
- それらを用いた動的最適化技術とリアルタイムOS（DEPS）

研究プロジェクトの全体像

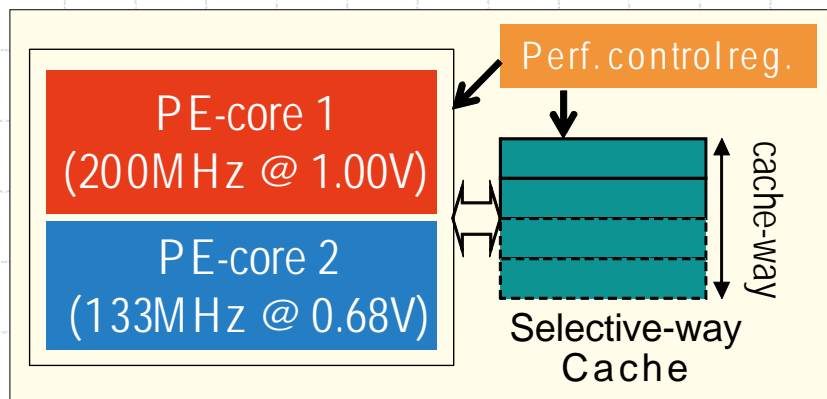


研究プロジェクトで取り組む要素技術



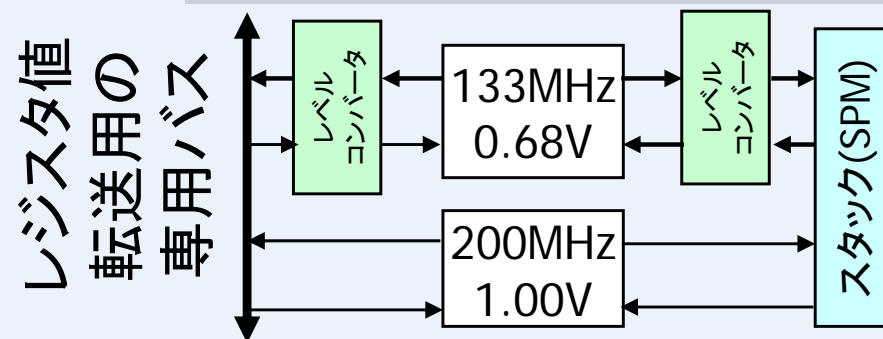
プロセッサの省エネルギー化 (1/2)

マルチパフォーマンスプロセッサ(MPP)コア

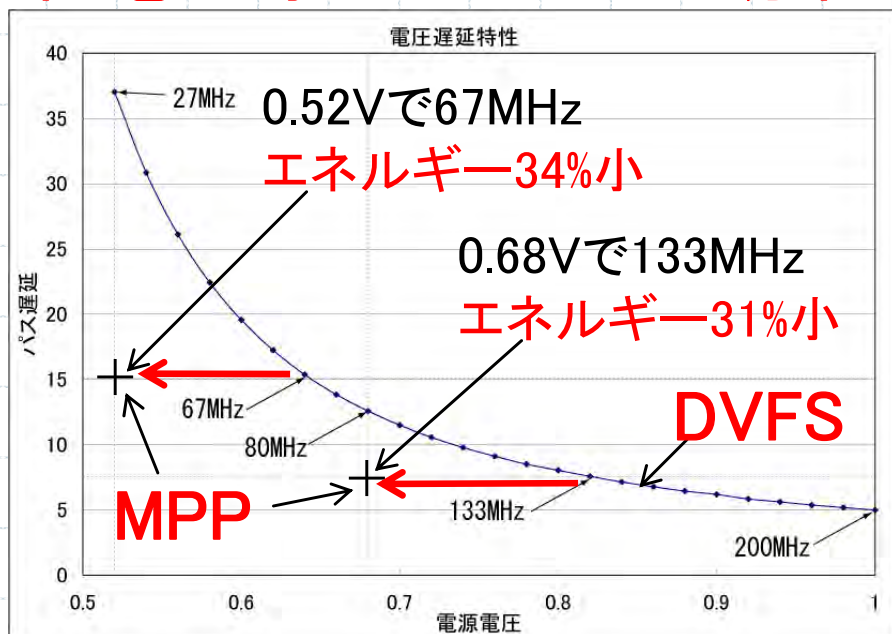


提案手法

切替オーバーヘッド $1 \mu s / 10 nJ$



低電圧時のエネルギー効率



既存手法(DVFS)

プロセッサ	DPMソフト	切替時間
AMD Mobile K6 [1]	PowerNow!	200 μsec
StrongARM SA-2 [2]	組込みLinux	150 μsec
Transmeta Crusoe [3]	LongRun	> 20 μsec

- [1] AMD, "AMD PowerNow! Technology – Dynamically Manages Power and Performance"
 [2] "Compaq iPAQ H3600 hardware design specification ver.0.2f"
 [3] M. Fleischmann, "Reducing x86 operating power through LongRun" IEEE 12th Hot Chips Symposium, August 15, 2000

プロセッサの省エネルギー化 (2/2)

開発したMPPコアの特長

- ◆ 性能の切換えのオーバーヘッド(時間・エネルギー)をDVFSより2桁削減
- ◆ ヘテロジニアスマルチコアのタスクマイグレーションより1桁削減
- ◆ PEコアを特定の電圧に最適化 → エネルギー効率をDVFSより30%改善
- ◆ ロジック部だけにDVFSを適用 → SRAMの信頼性を確保

今後の展開

- ◆ エネルギースケラビリティを向上
 - ▶ パイプライン段数の選択など
- ◆ コンパイラやRTOSによる最適制御
 - ▶ コード配置とキャッシュ連想度の同時最適化
 - ▶ 電圧・周波数の最適割り当て
- ◆ チップ試作(65nm)による評価

Intel Asia Academic
Forum 2008
Best Research Award

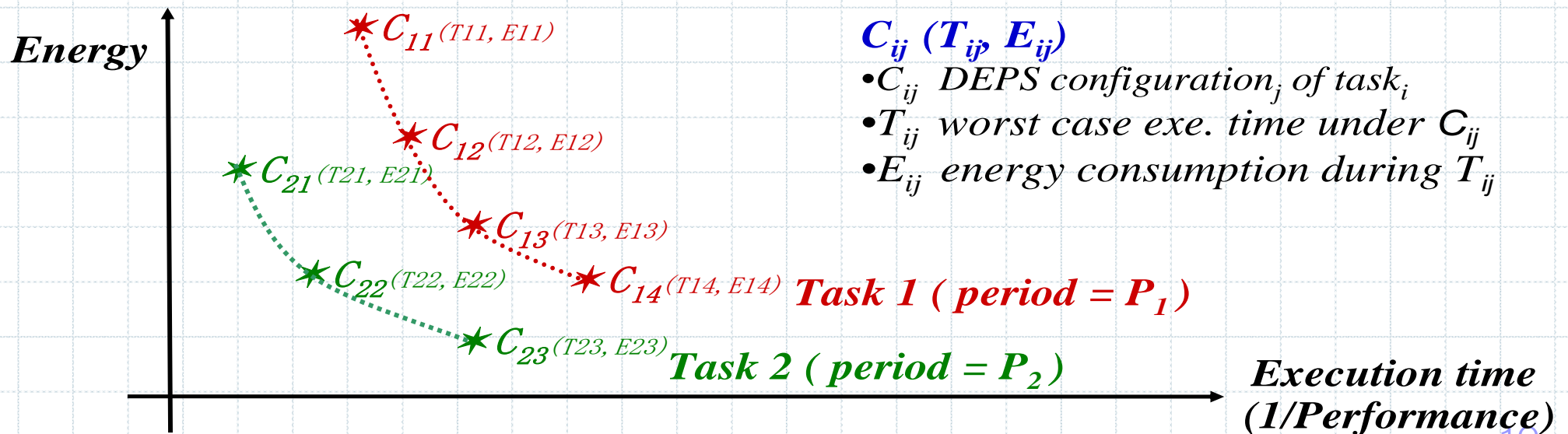
第10回LSI IPデザイン・アワード
MeP賞



DEPS (1/2) = Dynamic Energy/Performance

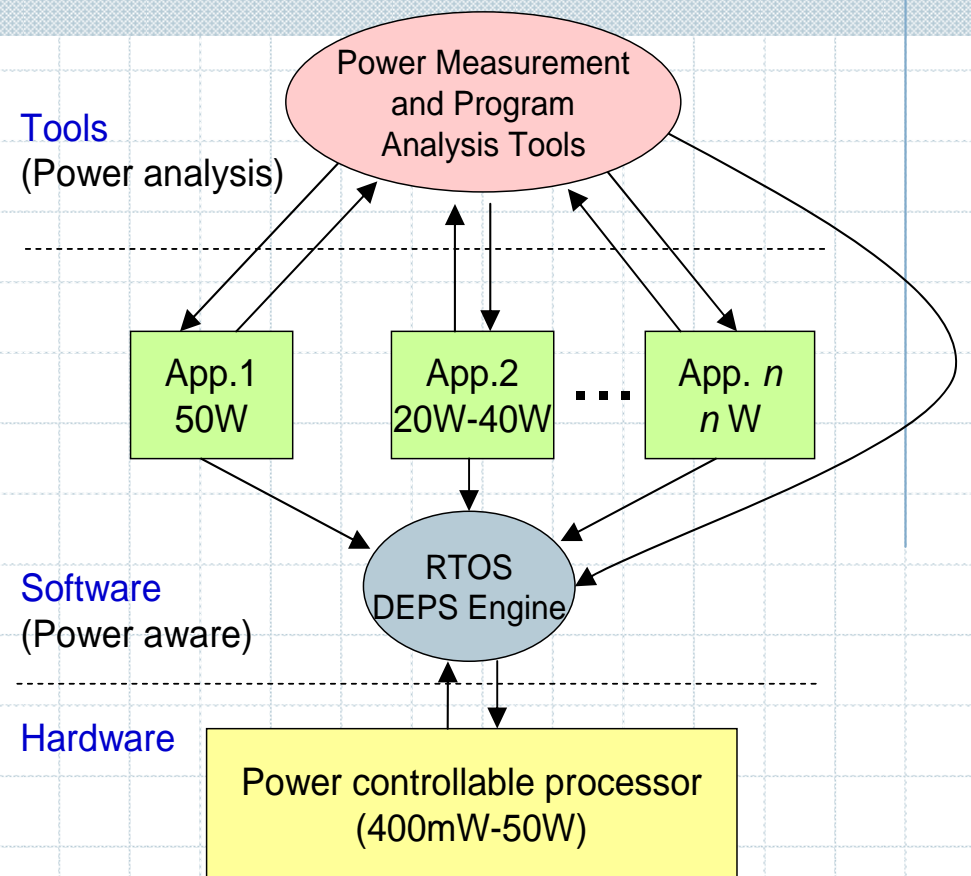
Scaling

- ◆ DVFS (Dynamic Voltage/Frequency Scaling) の一般化
- ◆ RTOSが消費エネルギーと性能のトレードオフを最適化
 - リアルタイム制約を満たす最小のエネルギーでアプリケーションを実行
- ◆ 以下の技術を統合的に適用
 - 動的電力管理 (DPM: Dynamic Power Management)
 - ◆ 使っていないHWコンポーネントの電源をこまめにオフにする
 - 動的電圧制御 (DVFS: Dynamic Voltage/Frequency Scaling)
 - ◆ 時間の余裕がある場合は低い電圧でゆっくり動かす
 - 動的ハードウェア再構成 (DHRC: Dynamic Hardware Reconfiguration)
 - ◆ アプリケーションに応じてHW構成 (キャッシュサイズなど) を変える



DEPS (2/2)

- ◆ シングルプロセッサに対する評価
 - 消費エネルギーを66%削減（プロセッサのスケラビリティの3/4を活用）
 - 現在のMPPコア（&カナリアFF）に対して適用すると，50%のエネルギー削減
- ◆ 今後：マルチプロセッサへの拡張
- ◆ ISOCC 2008 LG Electronics Best Paper Award

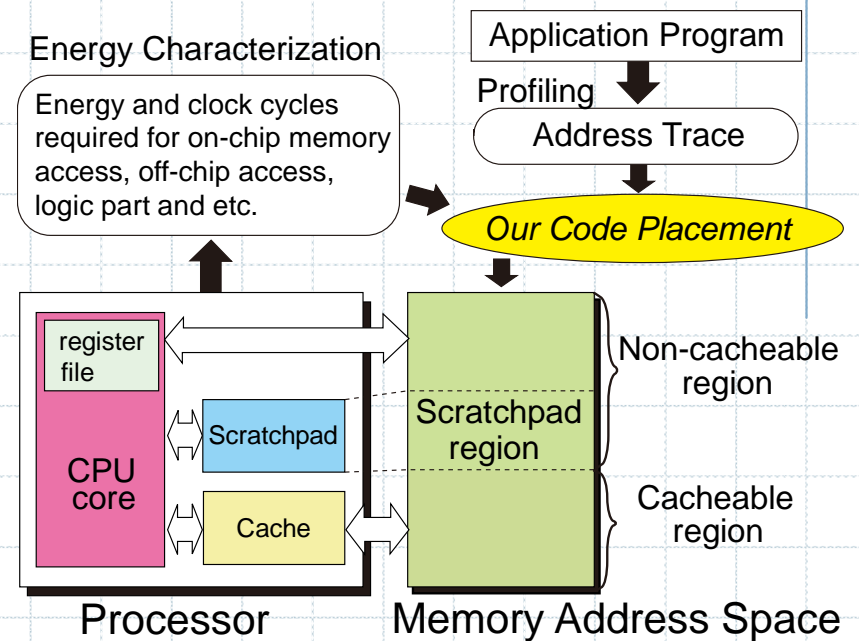


	Static VFS		DVFS alone		DHRC alone		DEPS	
	Cache	Speed	Cache	Speed	Cache	Speed	Cache	Speed
sha	8K	220	8K	160	2K	280	2K	160
v42	8K	220	8K	160	8K	280	8K	160
engine	8K	220	8K	220	4K	280	4K	220
g3fax	8K	220	8K	160	2K	280	2K	160
Energy	72.25 mJ		60 mJ		75.89 mJ		52.03 mJ	
power	180.6 mW		150 mW		189.7 mW		130.1 mW	
Reduction	53.1 %		61 %		50.7 %		66.2 %	

メモリシステムの省エネルギー化 (1/3)

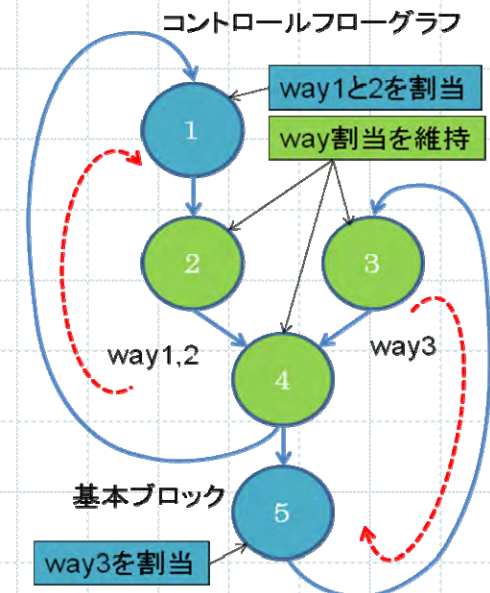
コード・データ配置最適化

- ◆ キャッシュ向き, SPM向き, キャッシュバイパス向きのコード, データを最適に選択
- ◆ オンチップメモリのエネルギーを50%削減, オフチップメモリのエネルギーを10%削減
- ◆ 全体としてエネルギーを23%削減
- ◆ 今後: SDRAMなどのHWとの協調最適化



キャッシュウェイセレクション

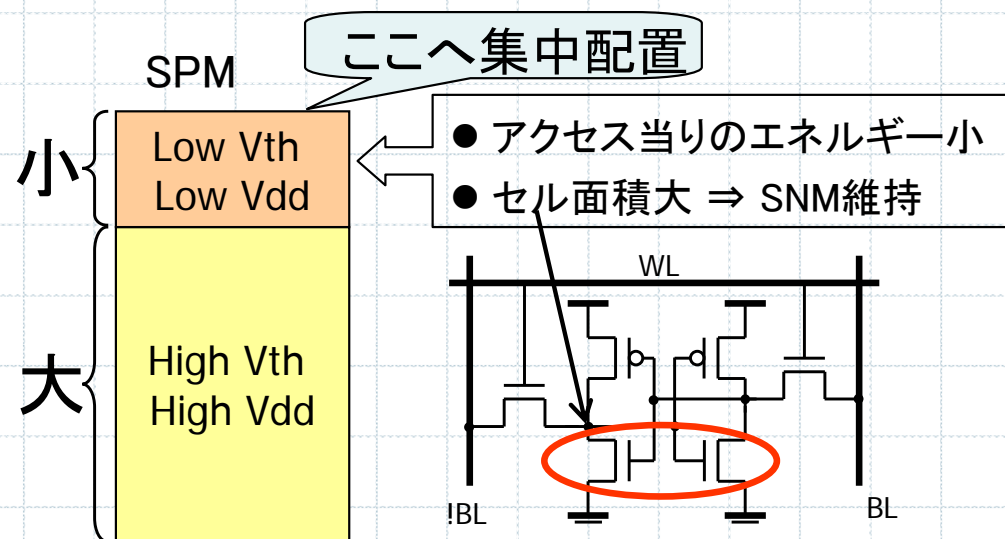
- ◆ アプリケーションの基本ブロックに対して明示的にキャッシュウェイ(1wayだけとは限らない)を指定
- ◆ 見かけ上の連想度を劣化させずに稼動するキャッシュウェイ数を削減
- ◆ 全体としてエネルギーを10%削減
- ◆ 今後: アルゴリズムの改良



メモリスシステムの省エネルギー化 (2/3)

ハイブリッドメモリ

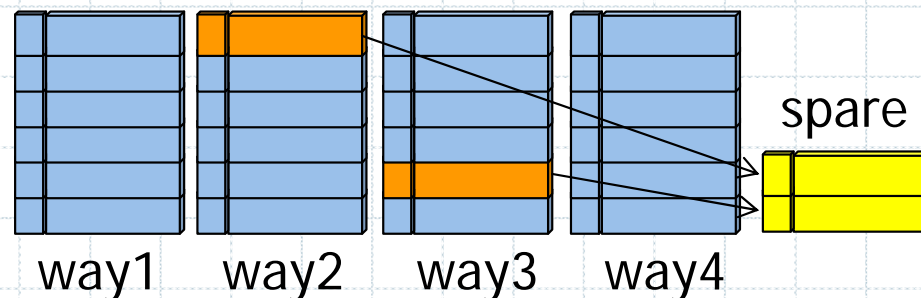
- ◆ コード・データ配置を最適化すると SPMとキャッシュの電力費は約7:3
- ◆ 右図の小領域によく使うコードを集中配置→SPMの電力49%削減
- ◆ メモリのエネルギーを約35%削減
- ◆ 今後: キャッシュへの適用



製造ばらつき考慮

- ◆ SRAMの異常リーク抑制
 - リークの小さい論理値にセット
 - リークを最大84%削減→メモリの45%削減(45nmでは54%がリーク)
- ◆ スペア付きキャッシュ
 - L1\$ 25%削減, L2\$ 50%削減
 - 今後: ロジック部への展開

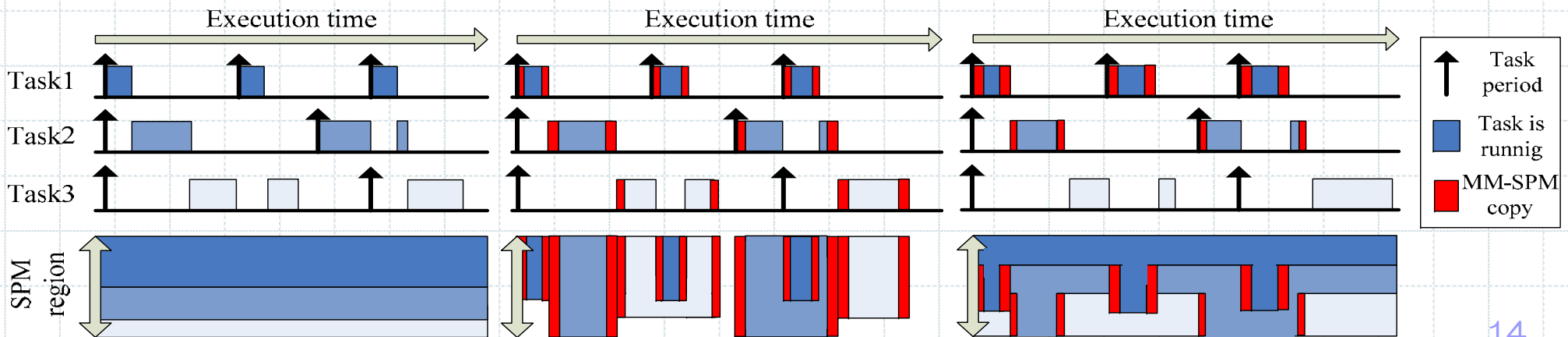
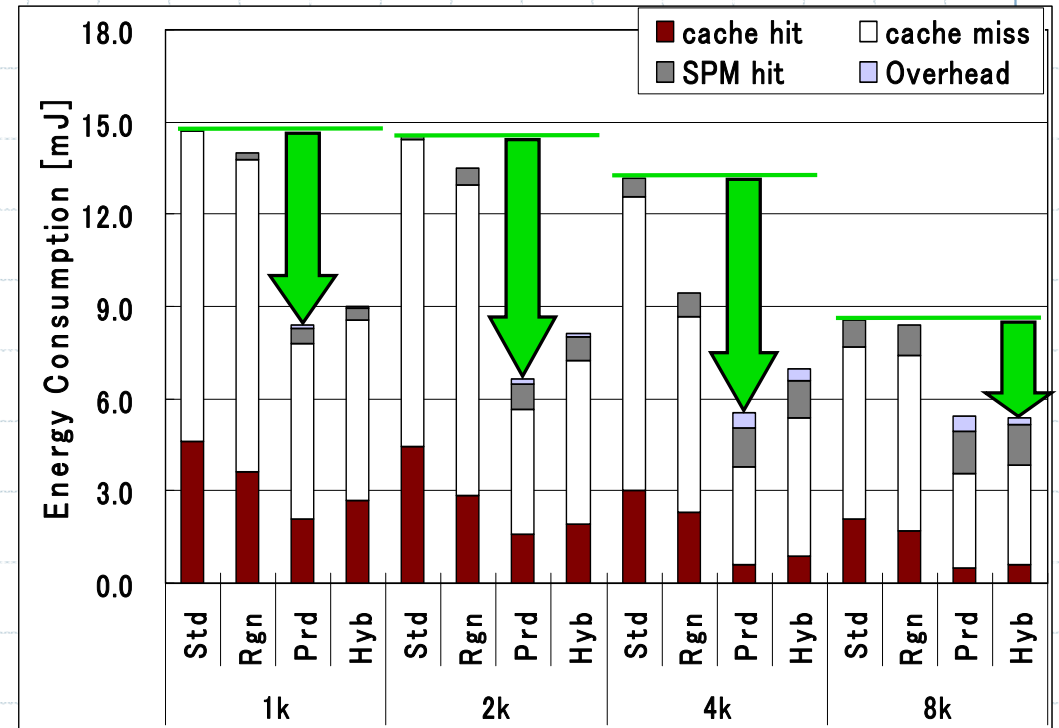
- 遅延の大きいラインをスペアで置き換え
- Low Power プロセスでも最悪ケースの性能維持⇒L2-Cacheのエネルギー50%削減



メモリシステムの省エネルギー化 (3/3)

マルチタスク環境でのスクラッチパッドメモリ (SPM) の活用

- ◆ マルチタスク環境でのSPM活用戦略
 - 領域分割法 (Rgn)
 - 時間分割法 (Prd)
 - 混合分割法 (Hyb)
- ◆ タスクの起動周期などを考慮しない場合と比較して, 命令メモリの消費エネルギーを平均40%削減
 - メモリ全体で考えると20%削減
- ◆ 情報処理学会CS領域奨励賞, SLDM優秀論文賞, SLDM優秀論文学生賞



アルゴリズムレベルの最適化（1/2）

◆ 消費エネルギーの小さいアルゴリズムとは？

目標：必ずデッドラインまでに実行を終えるという制約下で，平均消費エネルギーを最小化するアルゴリズムは？

- リアルタイム制約を守るためには，最悪実行サイクルが重要
- 平均消費エネルギーを下げるためには，平均実行サイクルが重要
- DVFSを効きやすくするのは，早期に残り実行サイクルが減少することが重要

◆ ケーススタディー：エネルギー消費最適化が有効な混合整列法

- 混合整列法＝クイックソート（平均は高速）＋ヒープソート（最悪を抑制）
- 実行早期に残り最悪実行サイクルが減少する分割法

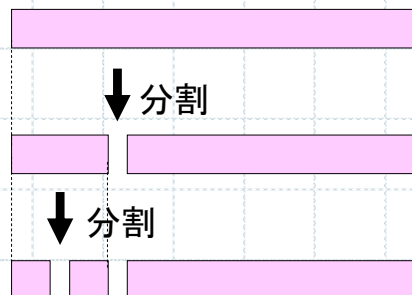


図. 小さいほうからの分割法
(通常のライブラリの実装法)

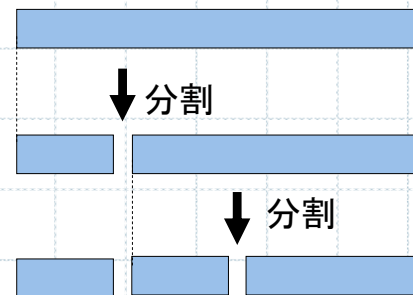


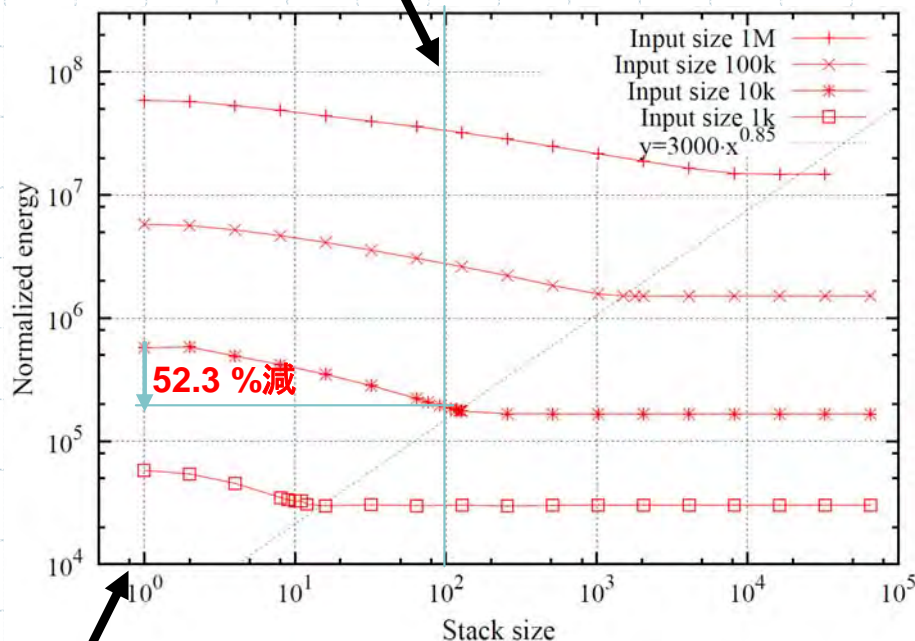
図. 大きいほうからの分割法
(提案手法)

表. 分割法による指標の変化

	残り実行時間の減少量	メモリ使用量
通常の実装	× 緩慢	○ 小
提案手法	○ 急峻	× 大

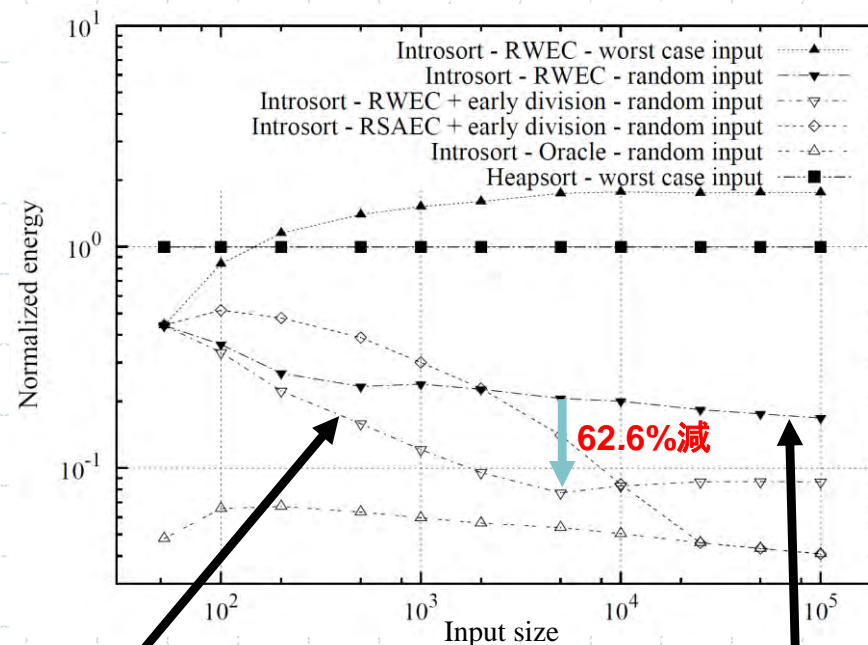
アルゴリズムレベルの最適化 (2/2)

現実的なスタックサイズの最大



混合アルゴリズムにおける分割に用いる
スタックサイズと正規化エネルギー消費

通常のライブラリの実装
(Stack size=1)



混合アルゴリズムにおけるDVFSを
用いた整列プログラムの正規化エ
ネルギー消費

「混合アルゴリズム+提案分割法(サイズ $4\log(n)$)」の平均

「混合アルゴリズム+
既存分割法」の平均

実験条件

- ・ハードウェアのスケールビリティ 3.3倍
- ・デッドラインは混合整列アルゴリズムの最悪実行時間と仮定
- ・DVFSにかかるオーバーヘッドが無いと仮定

今後の進め方と取り組む主なテーマ

- ◆ 要素技術の改善と実用化に向けての開発
 - MPPコアのスケラビリティ向上とチップ試作
 - DEPS機構を持った実用的なリアルタイムOSの開発
 - メモリレイアウト統合最適化ツールの開発
 - 本研究で開発した要素技術の統合的な評価が可能なマルチコア電力シミュレータの開発
- ◆ 新規の要素技術の研究開発（いずれも着手済み）
 - 実行トレースマイニング技術
 - アルゴリズムの消費エネルギー評価指標の提案
 - QoS要求適正化による消費エネルギー削減手法
- ◆ 要素技術を体系的・統合的に適用するメソドロジの確立
- ◆ 特定のアプリケーションに対して適用することによる開発技術の有効性評価

最終成果の公表・デモの仕方

- ◆ 本研究で開発した技術（の一部）を評価用ボード（またはシミュレータ）上に実装し，その上でアプリケーションを実行し，消費エネルギーを測定
 - 本開発技術を有効にした場合と無効にした場合について，消費エネルギーを測定し，本開発技術の有効性を示す
- ◆ アプリケーションとしては，テレビ会議システムなどのメディア処理用組込みシステムを想定
 - テレビ会議システムにおける基本的な処理である動画圧縮，伸張，暗号などの複数のプログラムを組み合わせ，マルチタスクで動作させる
 - 個々のプログラムは，組込みシステム向けの標準ベンチマーク群であるEEMBCのものを用いる予定である

ご静聴ありがとうございました。