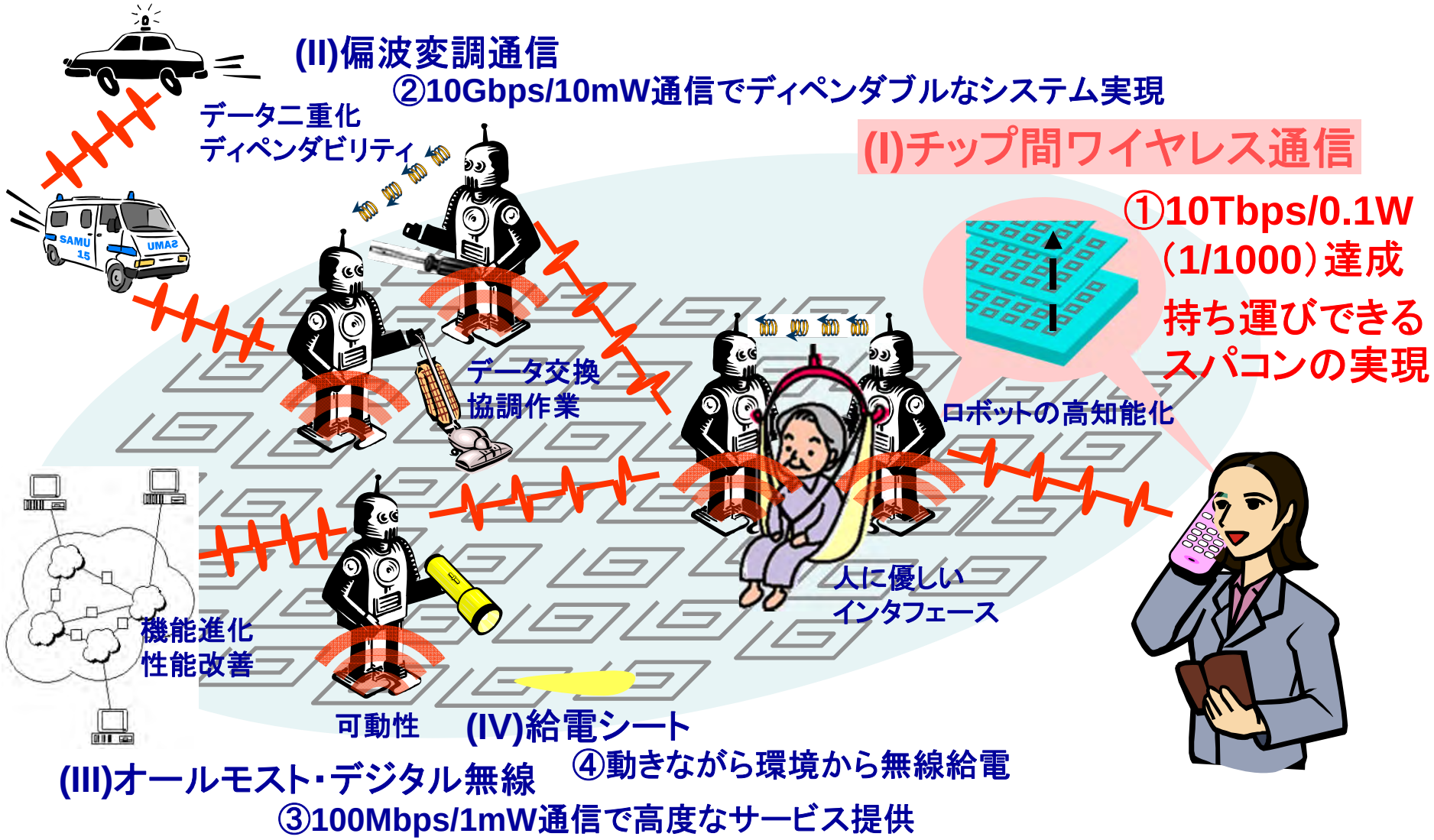
CREST研究成果公開シンポジウム
「持続可能な情報社会、成長する産業創出を目指して」（2012/11/30）

近接場ワイヤレス通信が拓く超低電力3次元集積システム

慶應義塾大学理工学部
黒田忠広
www.kuroda.elec.keio.ac.jp

ワイヤレス可動情報システムを1/1000の電力で実現

研究課題「高性能・超低電力短距離ワイヤレス可動情報システムの創出」(2005年度～2009年度)



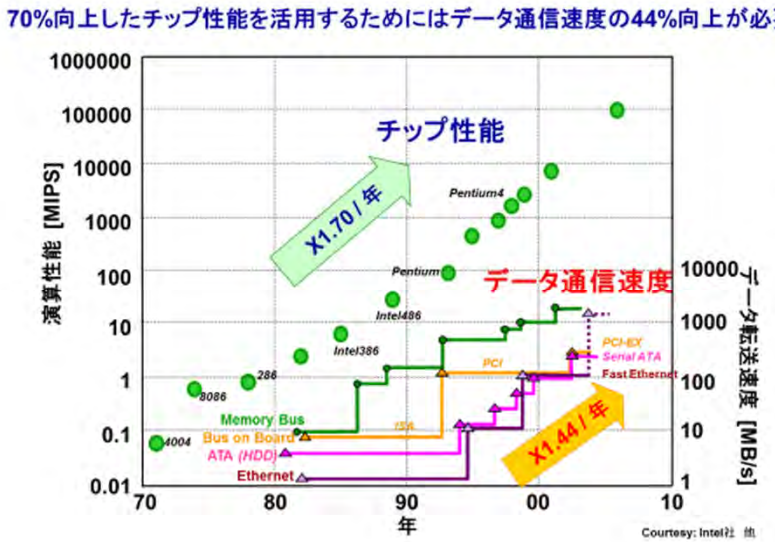
講演内容

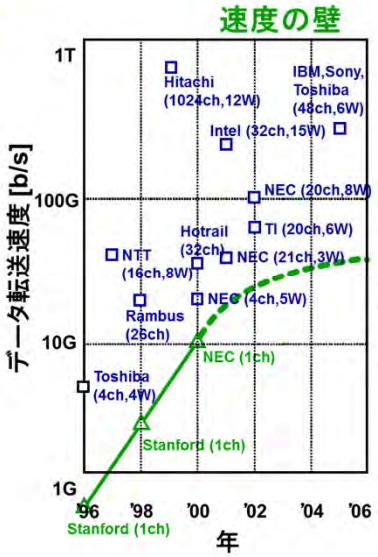
近接場ワイヤレス通信が拓く超低電力3次元集積システム

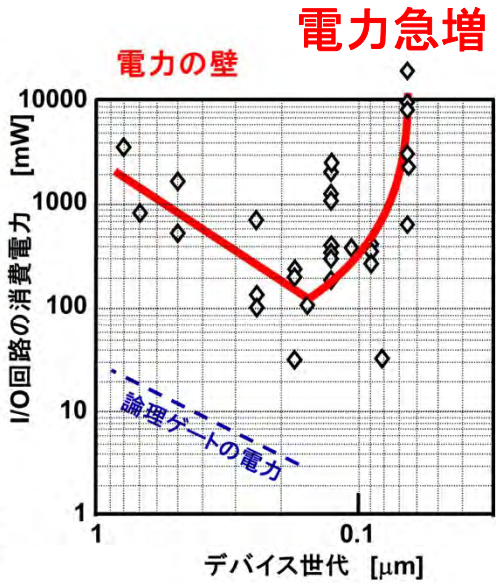
- なぜチップ間通信？
- なぜ近接場？
- 磁界結合チップ間通信
- 3次元集積システム
- 将来展望
- まとめ

チップ間通信が性能律速

- チップ性能
  - ムーアの法則: 1.15 (Tr. speed) x 1.49 (Tr.# ∝ 面積) = x1.70/year
- データ転送速度
  - チップ性能を活かすためにはx1.44/yearが必要：レントの法則（回路規模に応じて必要となる端子数）
  - ムーアの法則では不足: 1.15 (Tr. speed) x 1.11 (I/O# ∝ 周辺長) = x1.28/year
- ムーアの法則はチップ性能とデータ転送速度の乖離を生む
- チップ間通信の速度改善は限界、I/Oの電力が急増

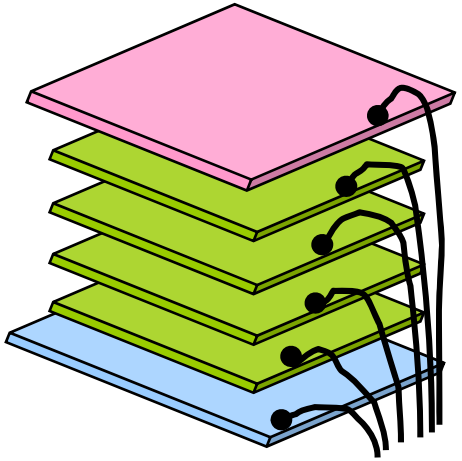


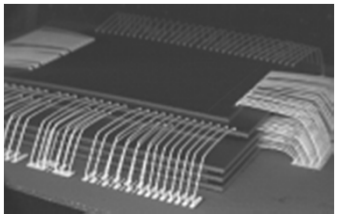




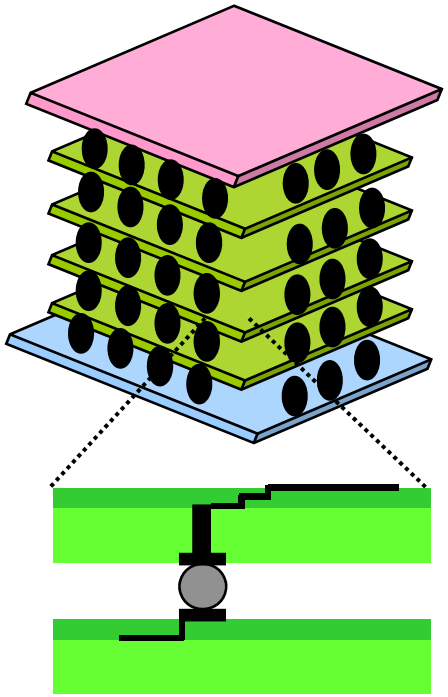
2D⇒3D、周辺⇒面、機械式⇒電子式

■ Wirebonding　■Through Si Via（TSV）　■ThruChip Interface（TCI）

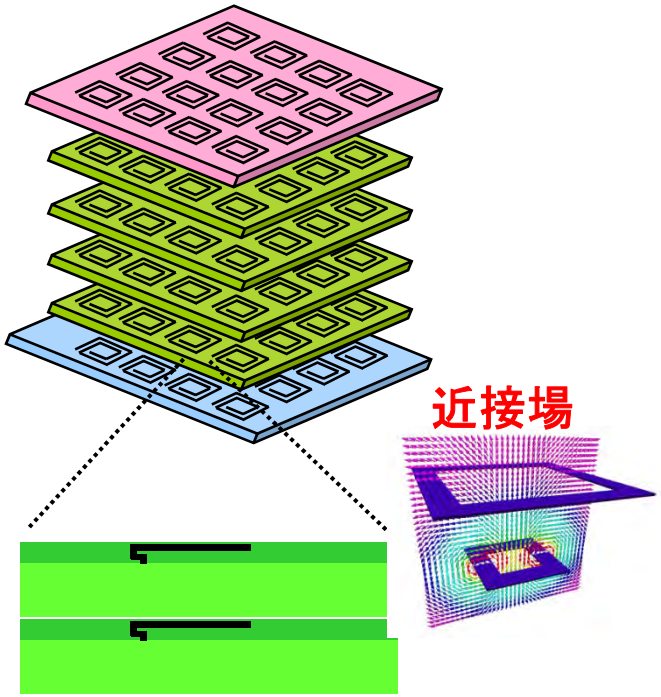




(+) 低コスト
(-) 低バンド幅



(+) 高バンド幅
(-)　高価
(-)　低信頼性



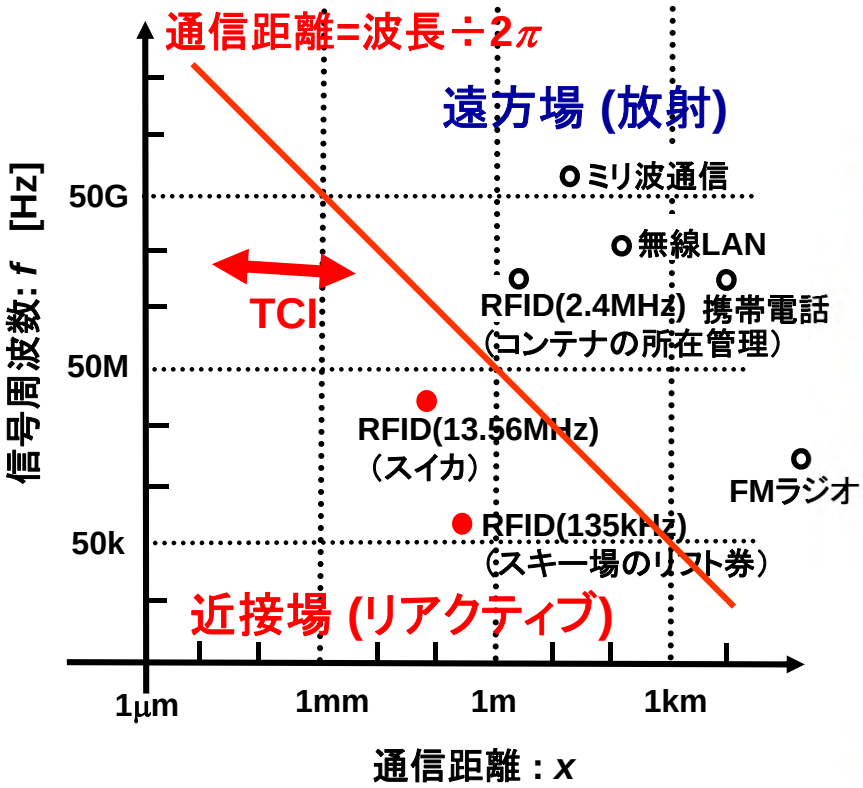
(+) 高バンド幅
(+) 低コスト
(+) 高信頼性
(+) 低背

講演内容

近接場ワイヤレス通信が拓く超低電力3次元集積システム

- なぜチップ間通信？…性能律速
- なぜ近接場？
- 磁界結合チップ間通信
- 3次元集積システム
- 将来展望
- まとめ

近接場と遠方場

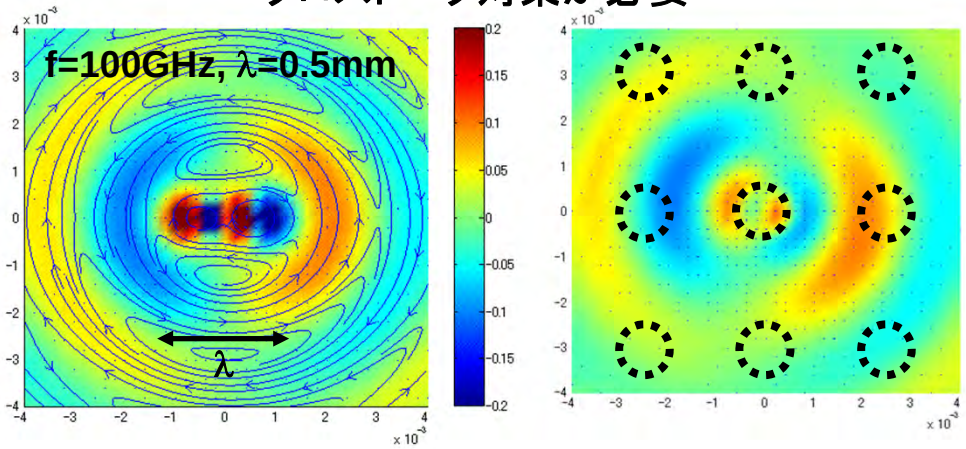


近接場:波長(λ)よりも十分に短い距離

遠方場(携帯電話, ワイヤレスLAN)

信号エネルギーが距離の1乗に比例して減衰

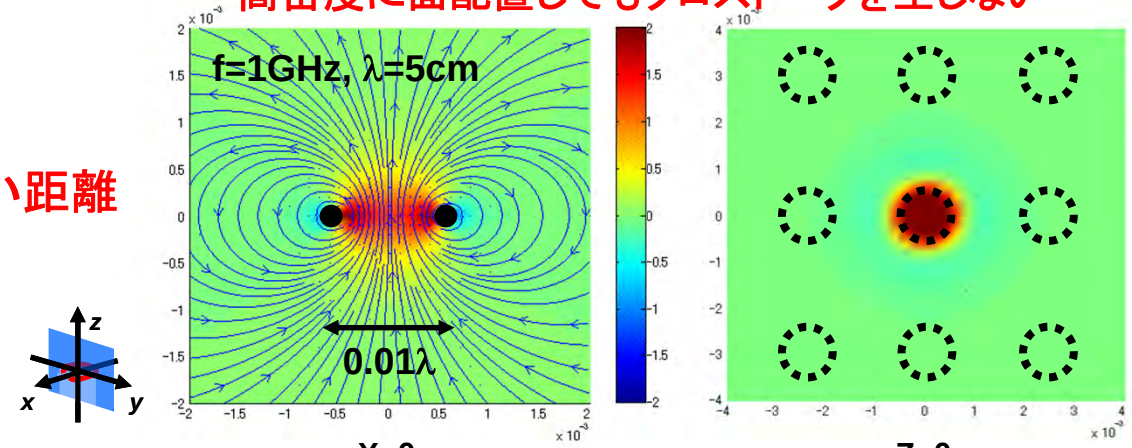
クロストーク対策が必要



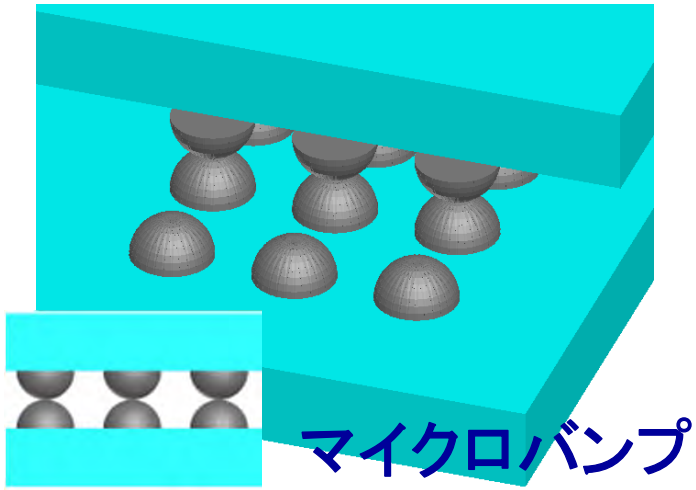
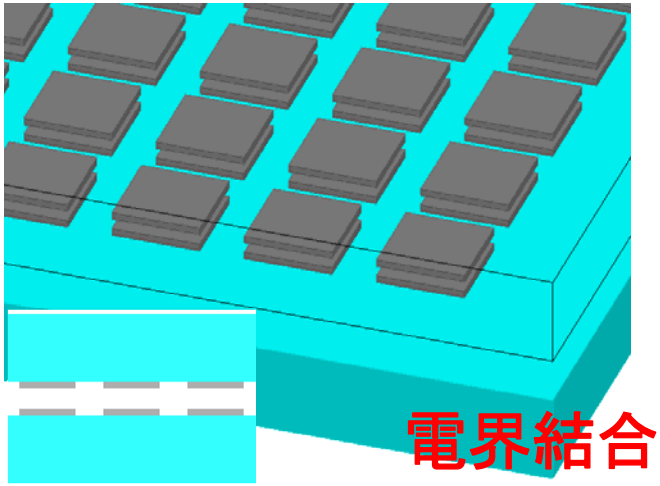
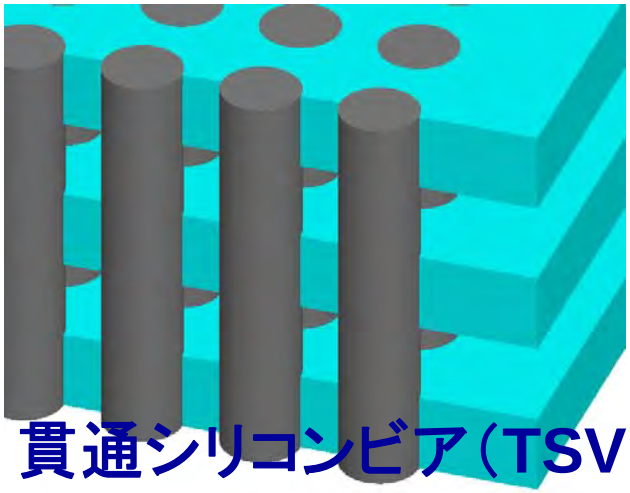
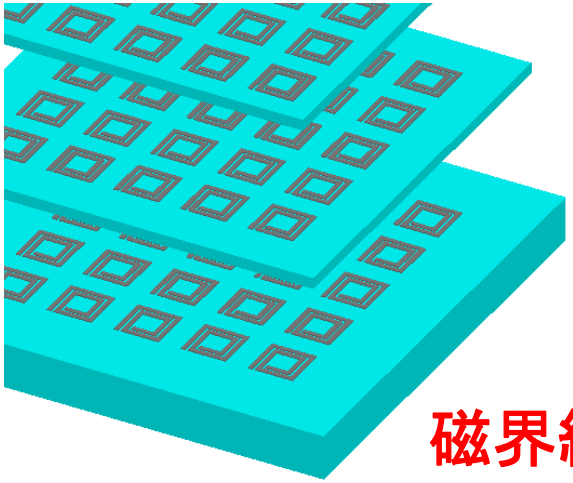
近接場(TCI)

信号エネルギーが距離の3乗に比例して減衰

高密度に面配置してもクロストークを生じない



近接場接続を用いた面インタフェース

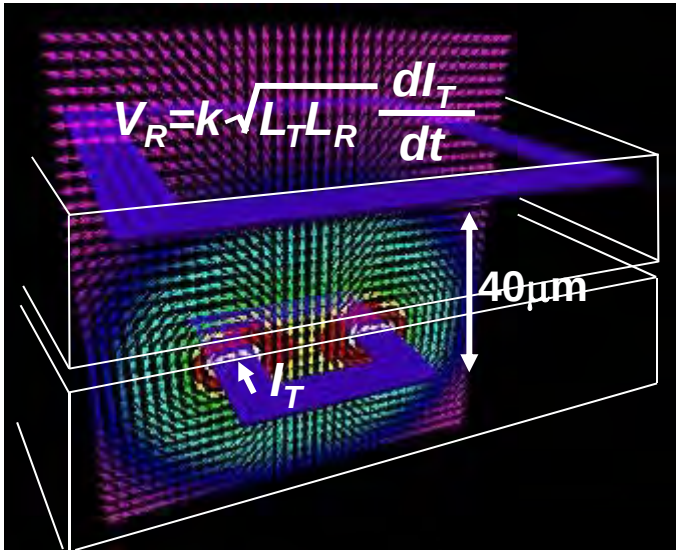
	有線	無線
2チップ（向い合せのみ）	 マイクロバンプ	 電界結合
3チップ以上（上下自由な向き）	 貫通シリコンビア（TSV）	 磁界結合

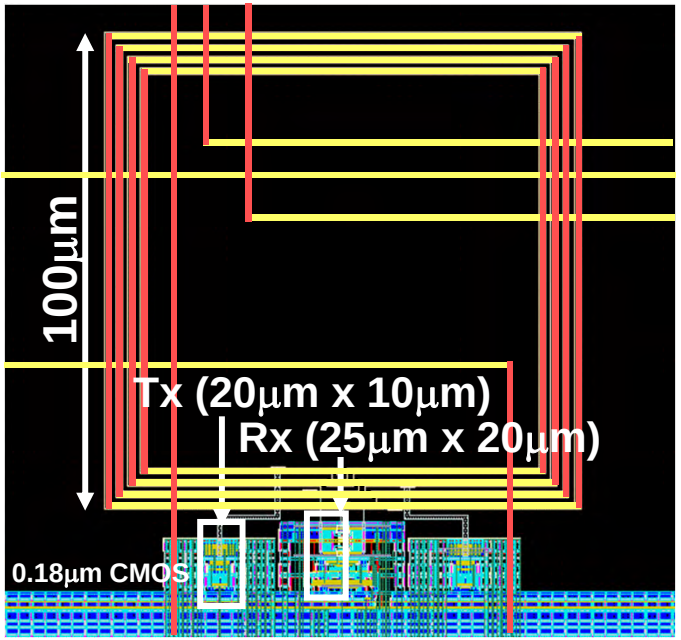
講演内容

近接場ワイヤレス通信が拓く超低電力3次元集積システム

- なぜチップ間通信？…性能律速
- なぜ近接場？… 超並列（面利用）
- 磁界結合チップ間通信
- 3次元集積システム
- 将来展望
- まとめ

ThruChip Interface (TCI)

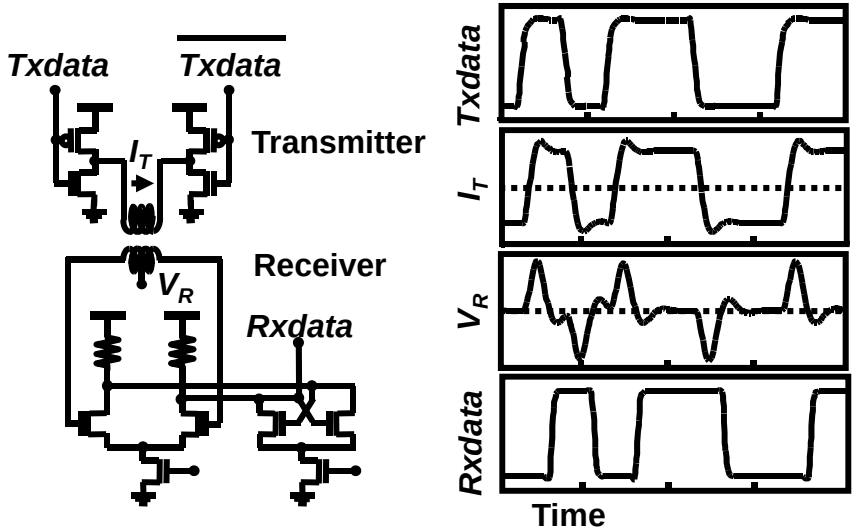




■ 磁界結合

- チップを貫通できる

■ 送受信器：デジタルCMOS回路



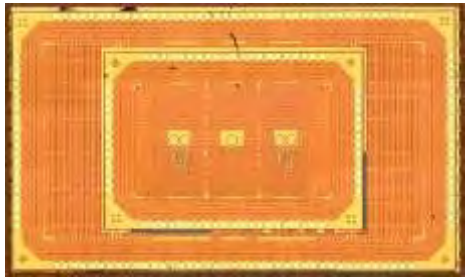
■ コイル：デジタル多層配線

- 他の配線がコイルを横切れる
- チップのどこにでも配置できる
  (SRAMの上でも干渉問題なし)

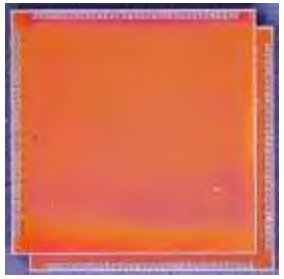
■ デジタルCMOS技術…コストゼロ

高速、低電力、高集積、低背、低熱抵抗

■ 高速



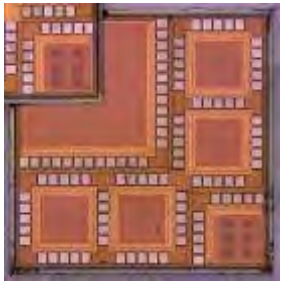
11Gb/s/ch
ISSCC'08



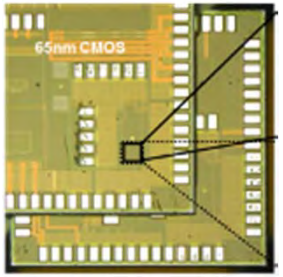
8Tb/s (1000ch/2.5mm角)
ISSCC'10

●チャネル数を増やして総転送速度を高速化.

■ 低電力



0.14pJ/b
ISSCC'07

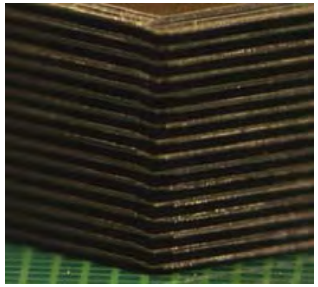


0.01pJ/b
VLSI'10

● ESD保護回路 (1pJ/b) 不要.

■ 高集積

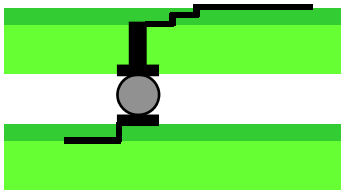
64チップ積層
ISSCC'09



128チップ積層
ISSCC'10

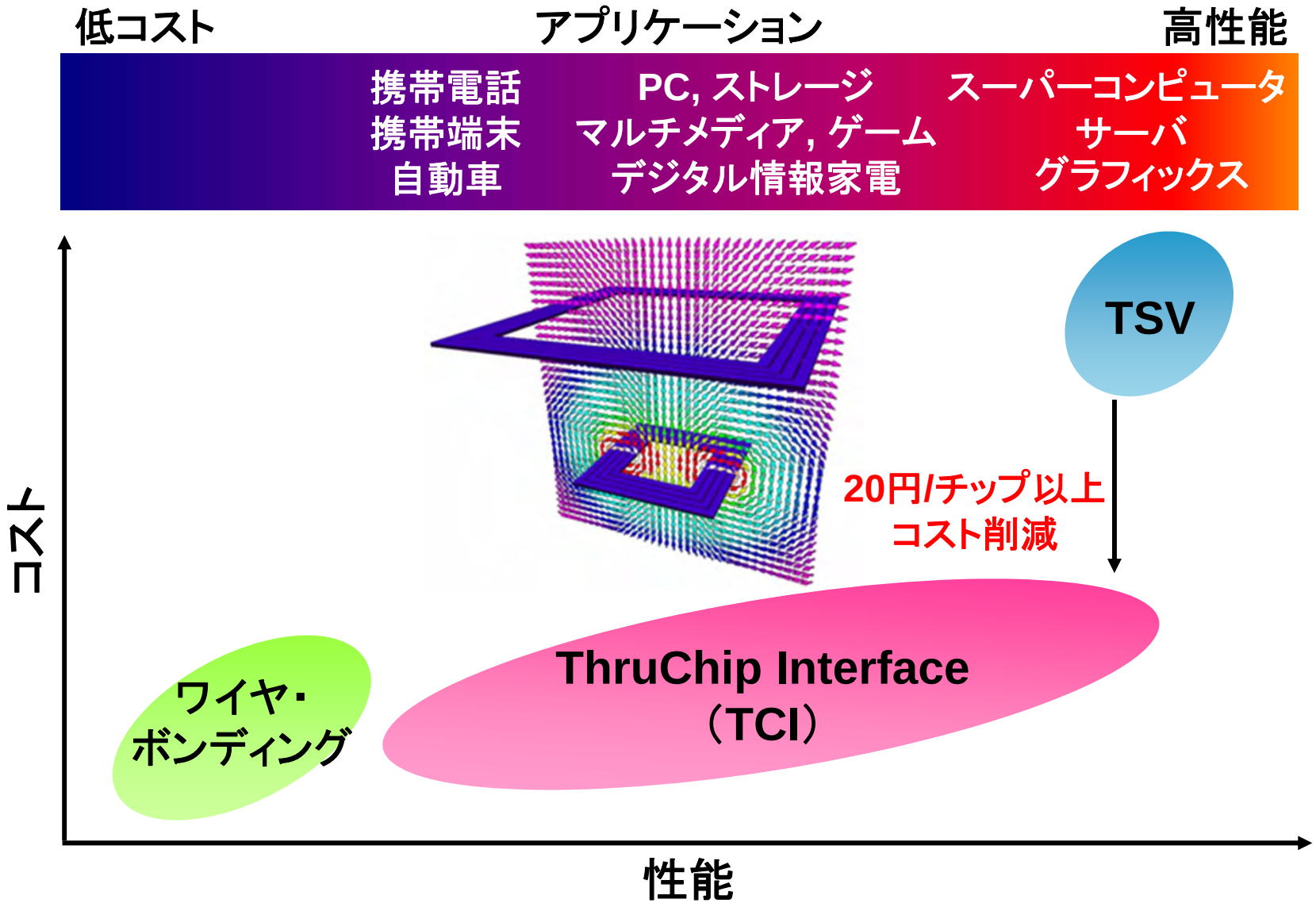
■ 低背、低熱抵抗

TCI: バンプ不要



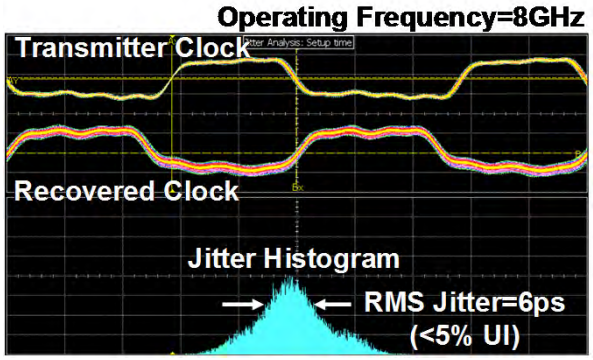
TSV:バンプ必要

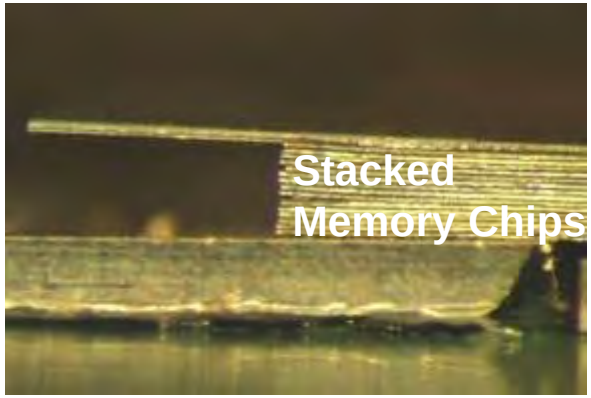
TSVと同程度の性能を安く実現

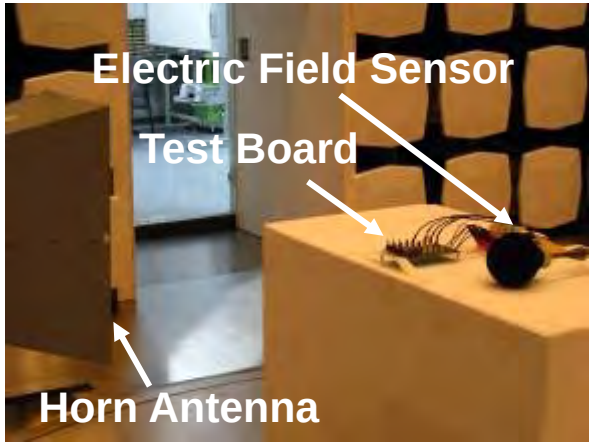


信頼性は有線と同等

- ビット誤り率 BER < 10^{-14}
  - 従来の有線通信と同程度 ISSCC'04
- ジッター < 5% UI
- 結合劣化
  - シリコン基板での渦電流
  - 電源線網での渦電流 A-SSCC'07
  - ビット線/ワード線での渦電流 ISSCC'10
  - チップ位置合わせ誤差 SSDM'08
- チャネル間クロストーク
  - ピッチ > 直径の2倍 CICC'04
- 干渉
  - デジタルからTCIへ A-SSCC'09
  - TCIからSRAMへ A-SSCC'07
  - 環境からTCIへ (EMS) SSDM'09
  - TCIから環境へ (EMI) SSDM'09

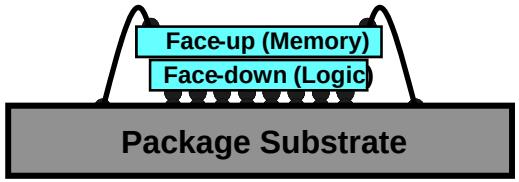




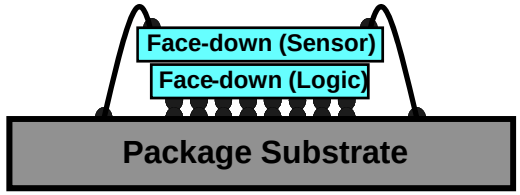


パッケージ・実装は従来通り

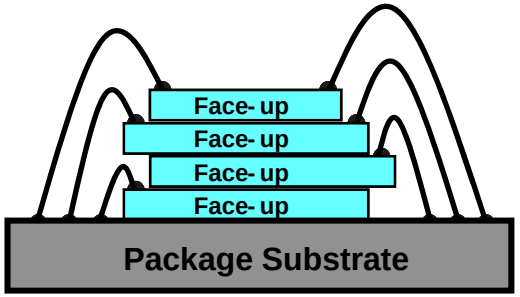
■ 異種（Heterogeneous）積層



プロセッサ+ メモリ

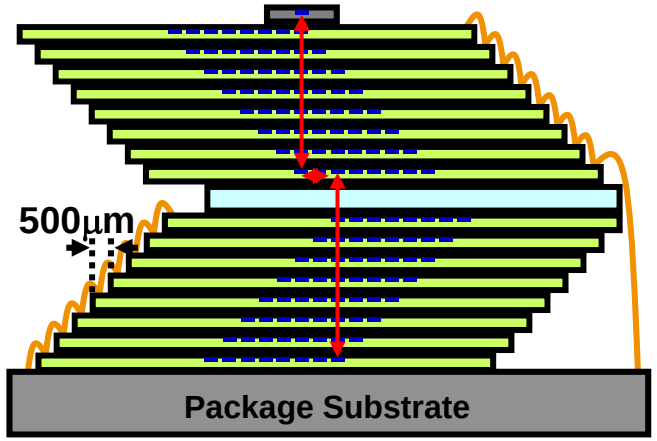


イメージセンサ + I/O

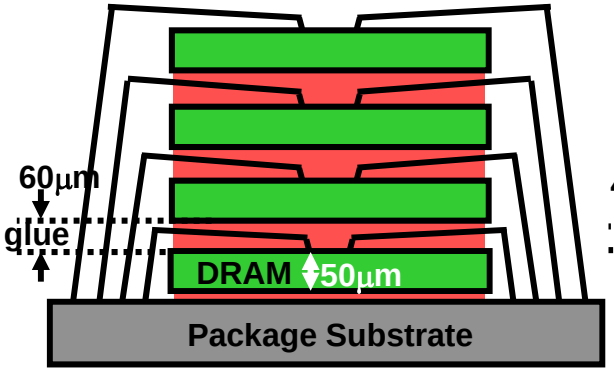


ロジックチップ

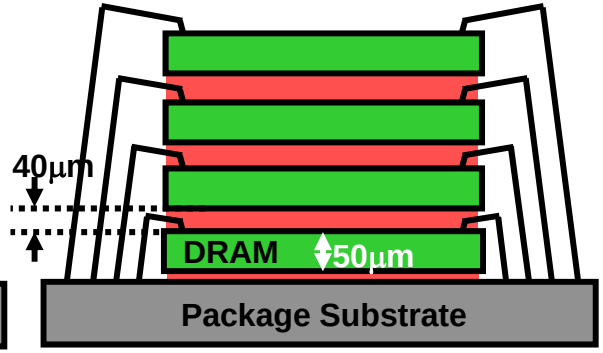
■ 同種（Homogeneous）積層



NANDフラッシュ + コントローラ

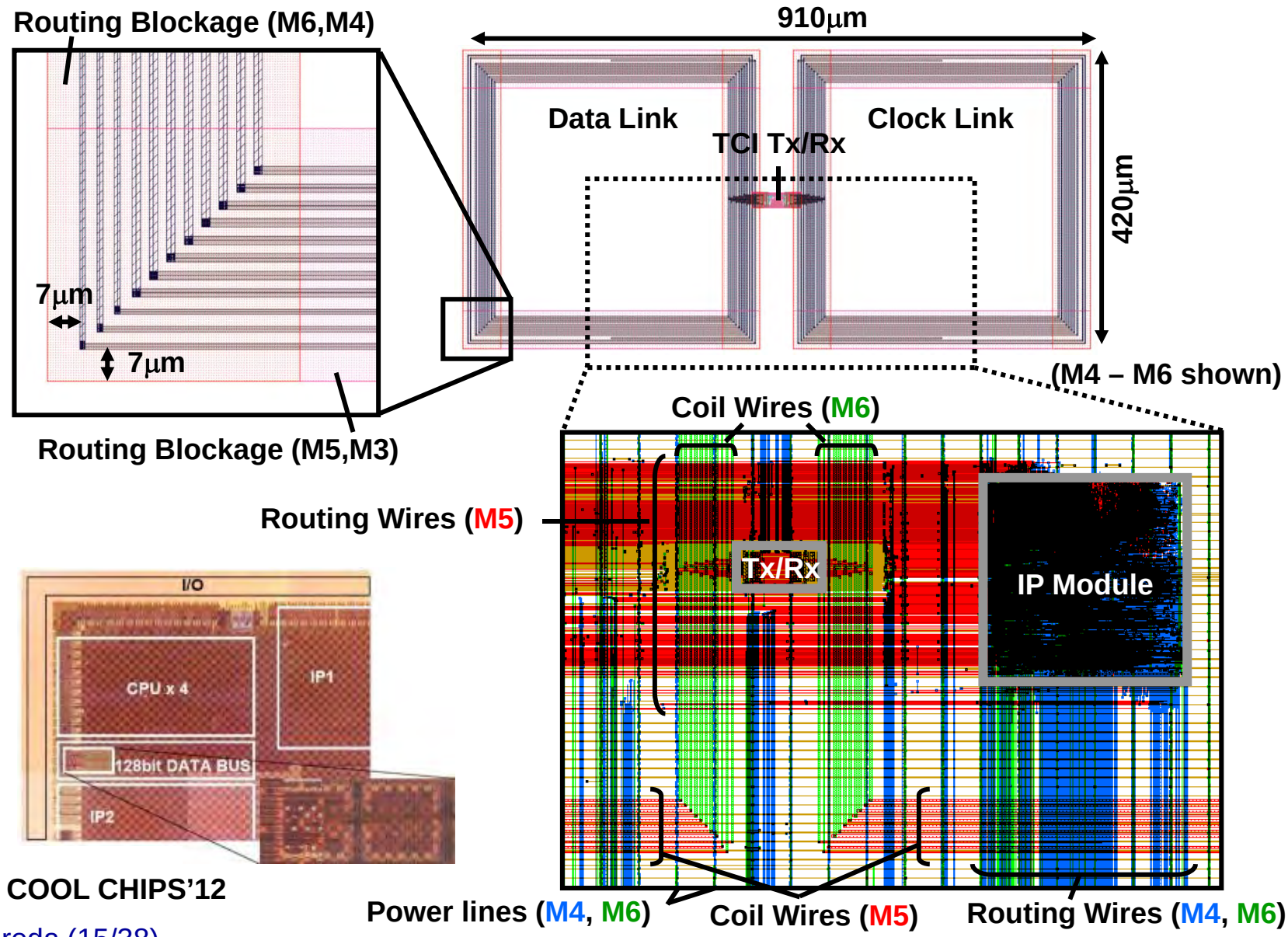


グラフィックスDRAM



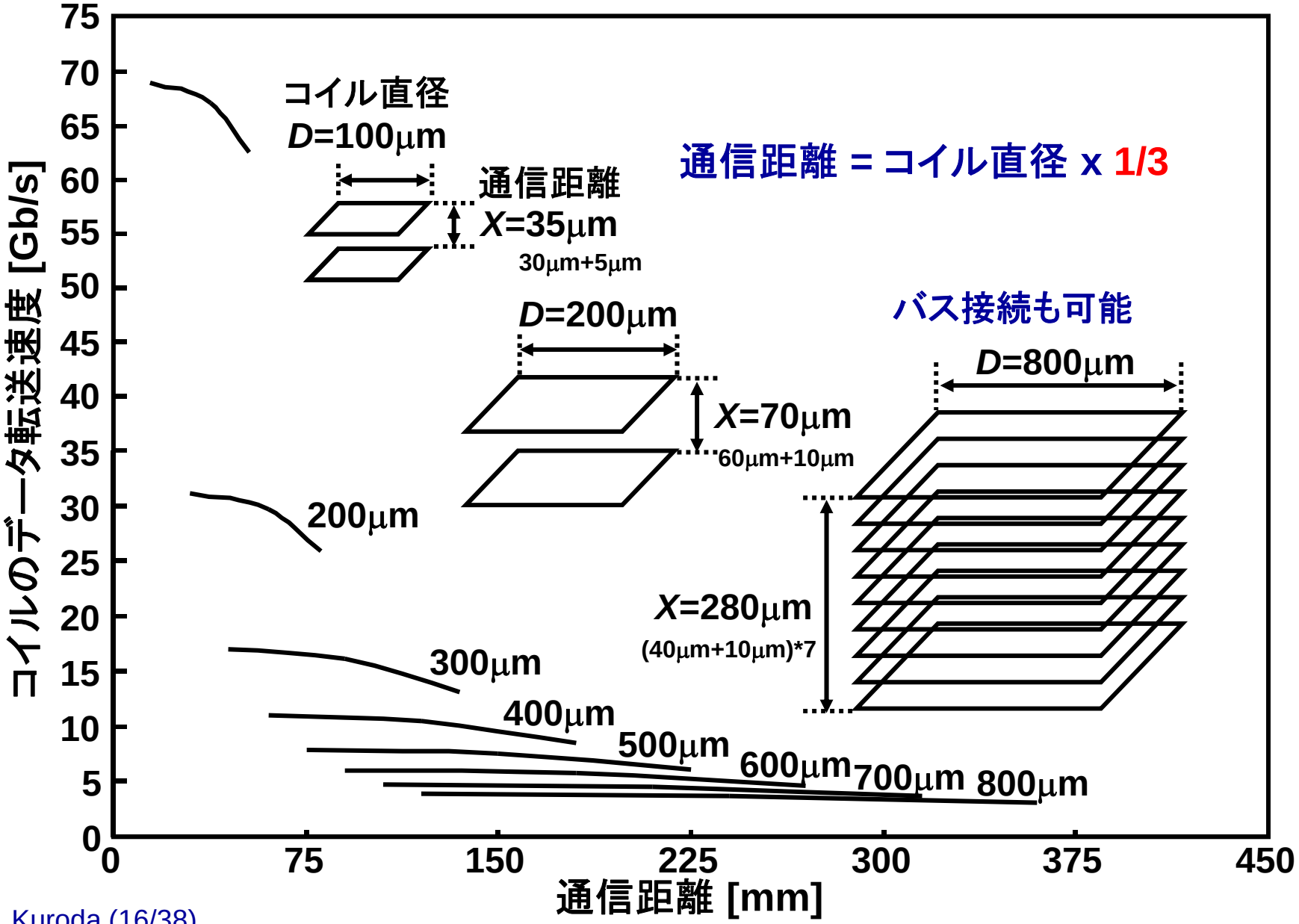
モバイルDRAM

自動設計手法は従来通り



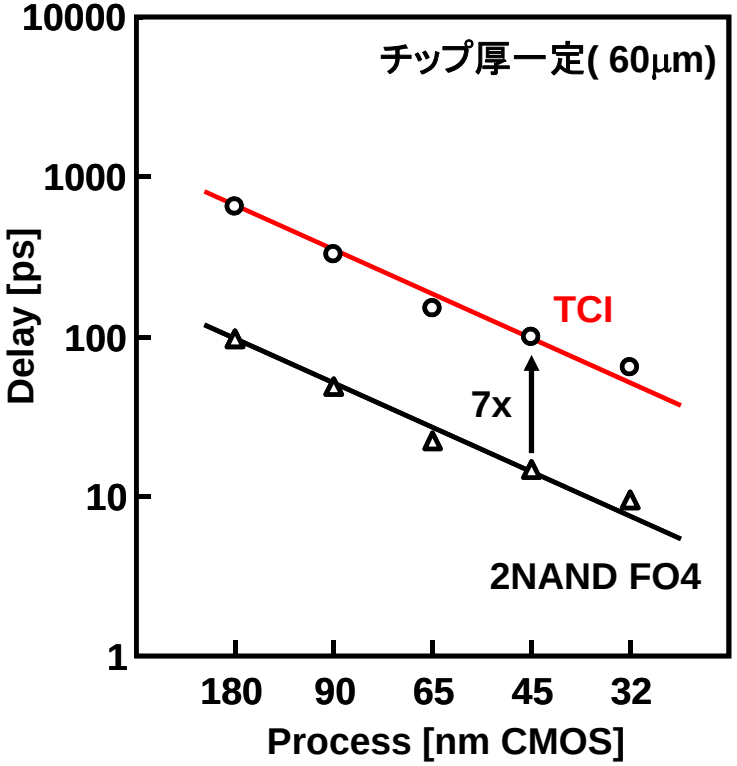
COOL CHIPS'12

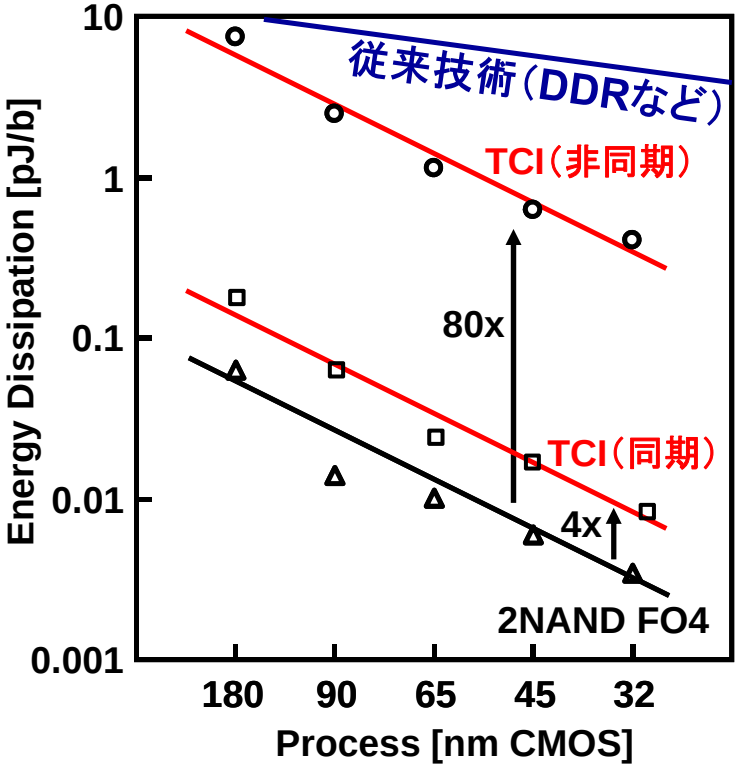
大きなコイルで通信距離を伸ばす



2入力NANDのように微細化・高性能化

- レイアウト面積はトランジスタが2NANDの36倍（送受信器）とデジタル配線が0.8mm 長（コイル）
- 信号遅延は2NAND FO4の7倍
- エネルギー消費は2NAND FO4の4倍～80倍

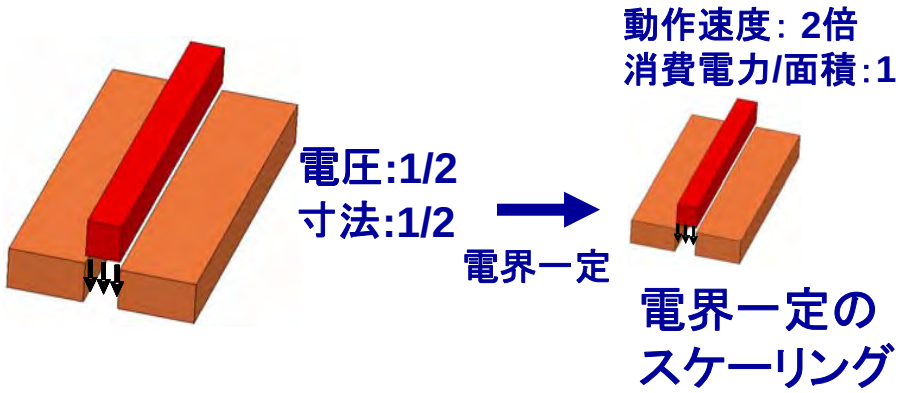




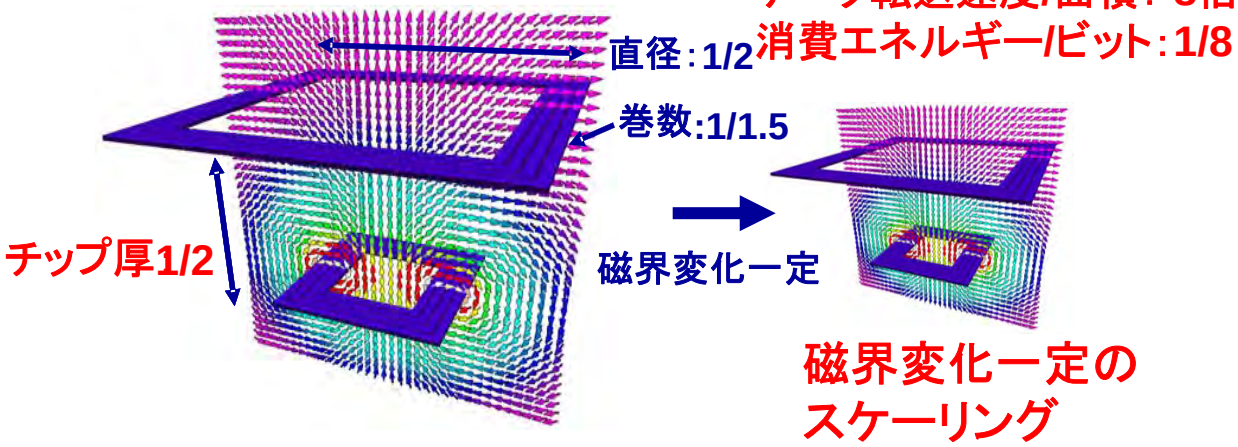
3次元スケーリングシナリオ

スケーリング：性能・コスト比が指数関数的に改善

■ 電界効果トランジスタ（Mooreの法則）



■ TCI（3次元Mooreの法則）

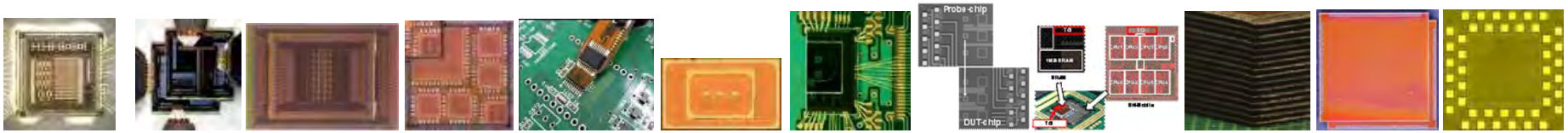


トランジスタの寸法	[x]	1/α
電源電圧	[V]	1/α
チップの厚さ	[T]	1/α
コイルの巻き数（配線総数）	[n]	$\alpha^{0.5}$
電流	[I]	1/α
回路の遅延時間	[t]~[CV/I]	1/α
コイルの直径	[D]~[1/x]	1/α
自己インダクタンス	[L]~[n^2D]	1
磁界の結合定数	[k]	1
受信信号	[v_R]~[$kn^2D(I/t)$]	1
クロストーク	[v_{RS}/v_{RN}]	1
データ転送速度 / チャネル	[$1/t$]	α
チャネル数 / 面積	[$1/D^2$]	α^2
総データ転送速度 / 面積	[$1/tD^2$]	α^3
消費エネルギー / ビット	[ItV]	$1/\alpha^3$

ESSCIRC'06

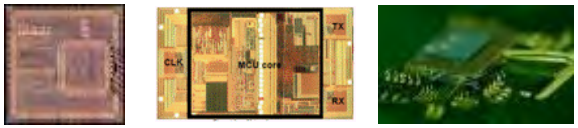
研究成果

■ ISSCCで16論文 （10年間の日本の大学による発表の23%）

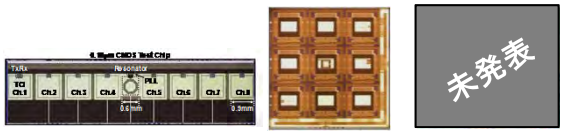


ISSCC’04 ISSCC’05 ISSCC’06 ISSCC’07 ISSCC’07 ISSCC’08 ISSCC’09 ISSCC’09 ISSCC’09 ISSCC’10 ISSCC’10 ISSCC’10

■ CICCで3論文

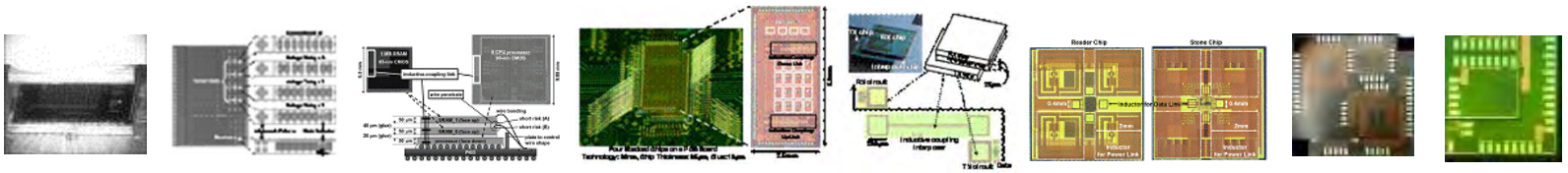


CICC’04 CICC’07 CICC’09



ISSCC’11 ISSCC’11 ISSCC’13 ISSCC’13

■ VLSI回路シンポジウムで8論文



VLSI’04 VLSI’06 VLSI’09 VLSI’09 VLSI’09 VLSI’09 VLSI’10 VLSI’10

■ A-SSCCで10論文

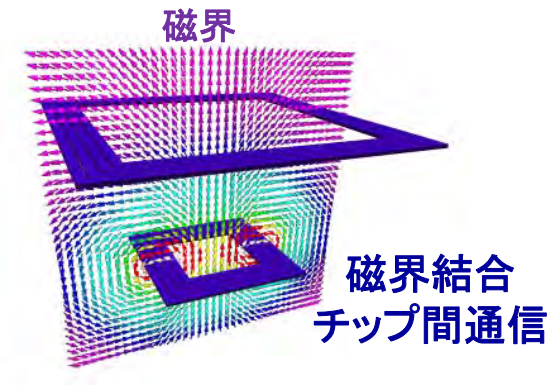
A-SSCC’07 A-SSCC’07 A-SSCC’07 A-SSCC’08 A-SSCC’08 A-SSCC’09 A-SSCC’09 A-SSCC’10 A-SSCC’10 A-SSCC’11

■基礎研究を終え実用段階

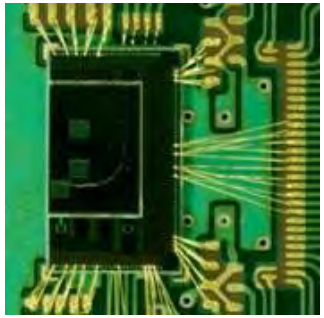
講演内容

近接場ワイヤレス通信が拓く超低電力3次元集積システム

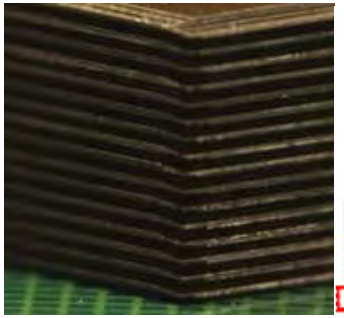
- なぜチップ間通信？… 性能律速
- なぜ近接場？… 超並列（面利用）
- 磁界結合チップ間通信 … 実用
- 3次元集積システム
- 将来展望
- まとめ



アプリケーション

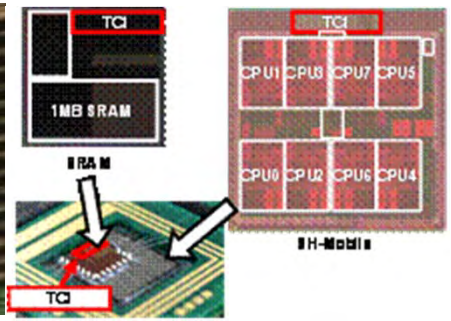


ISSCC’09

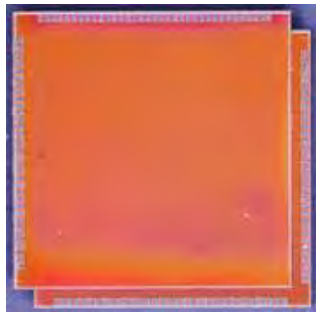


ISSCC’10

積層メモリ

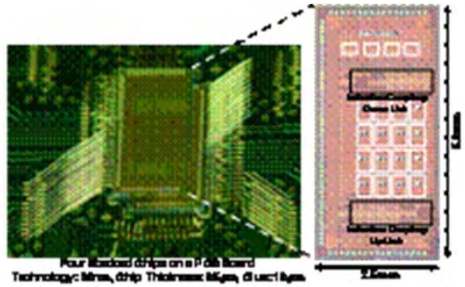


ISSCC’09, VLSI’09



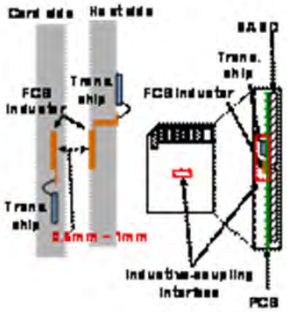
ISSCC’10

プロセッサ・メモリ高速リンク
積層撮像デバイス



VLSI’09

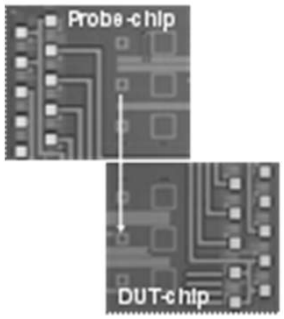
積層プロセッサ
積層FPGA



ISSCC’10

VLSI’09

非接触メモリ
（メモリカード、超長期記録）



ISSCC’09

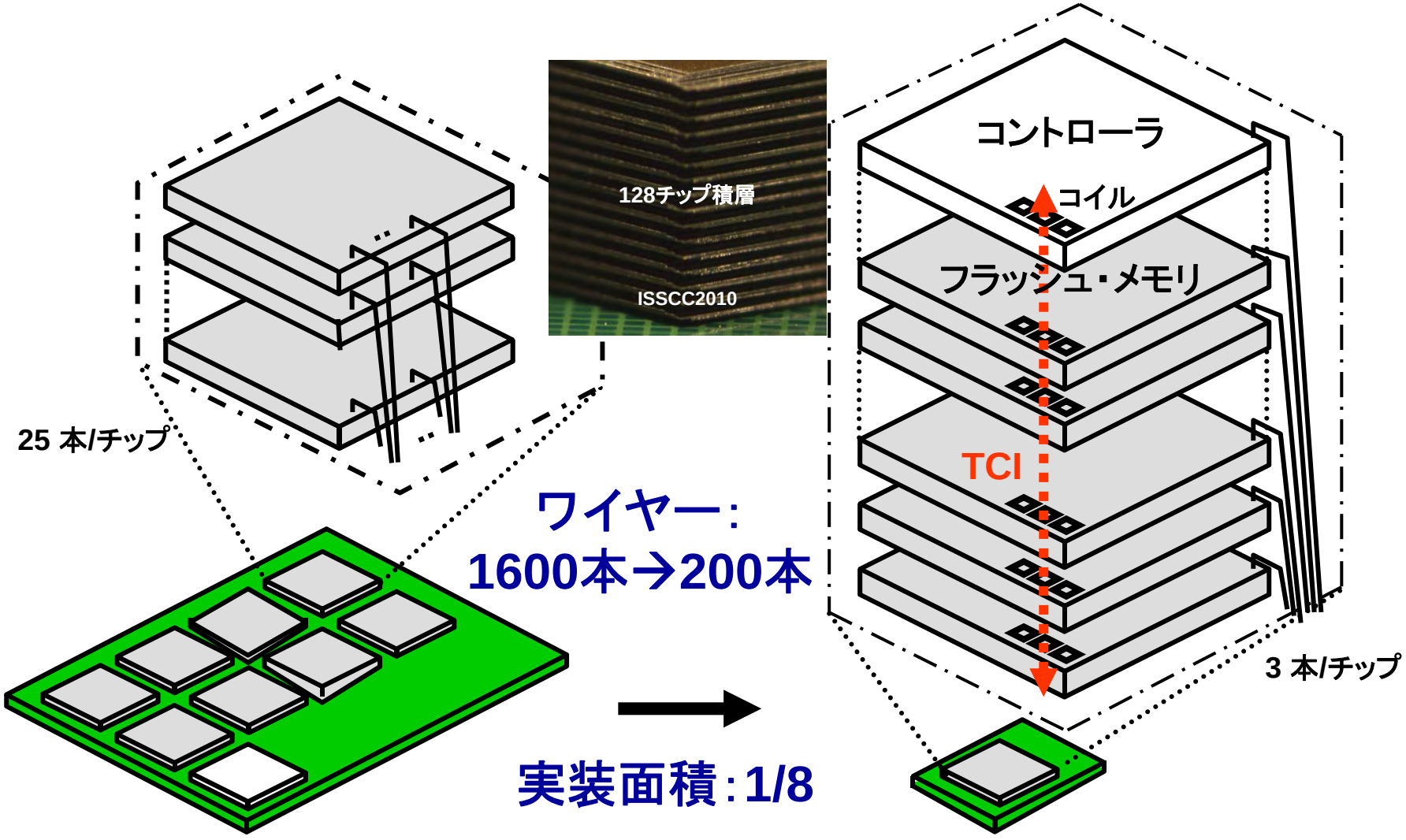
非接触ウェハテスト

ISSCC’07, A-SSCC’08

バスプローブ

メモリの積層：SSD応用

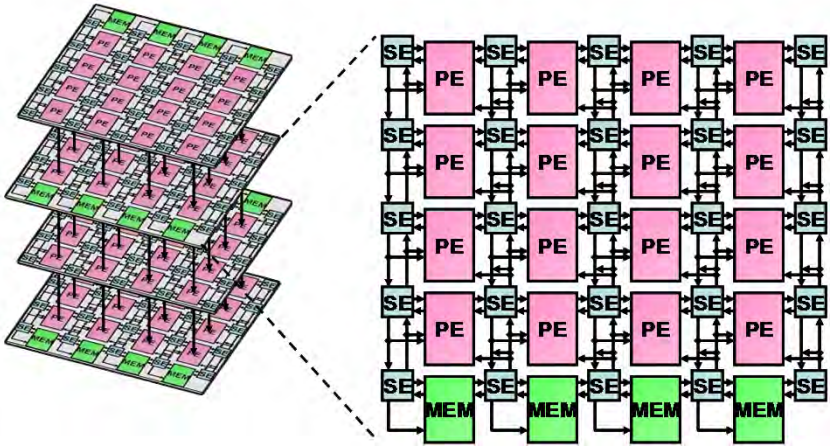
1つのパッケージに8枚のチップを積層　1つのパッケージに65枚のチップを積層

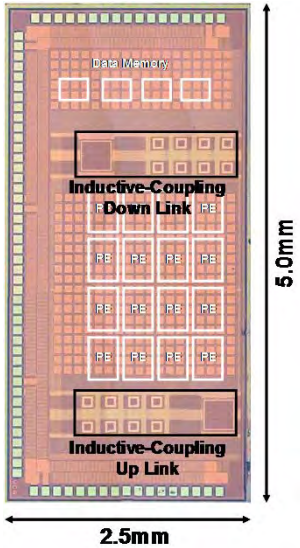


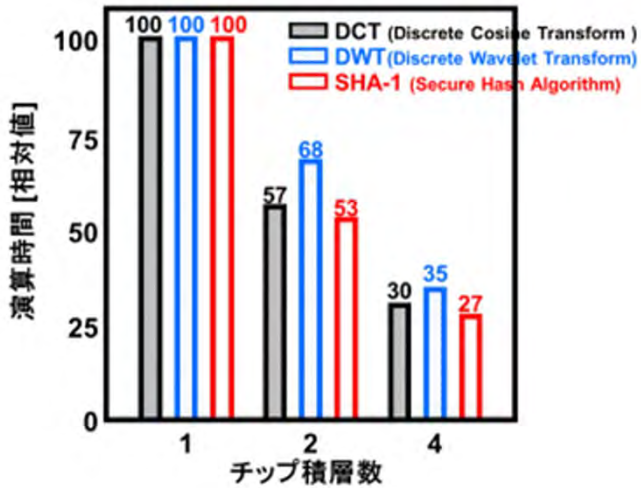
ISSCC'09, ISSCC'10

プロセッサの積層

■ 天野英晴（慶大 教授）と共同研究







VLSI'09

■ JST/CREST 中村 宏（東大 教授）のチームと共同研究

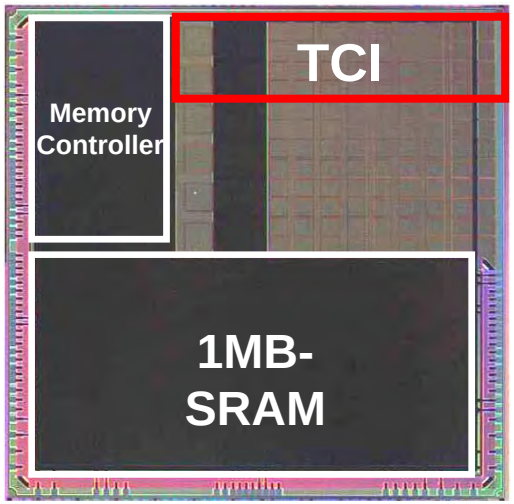
未発表

CMA-CUBE-Geyser

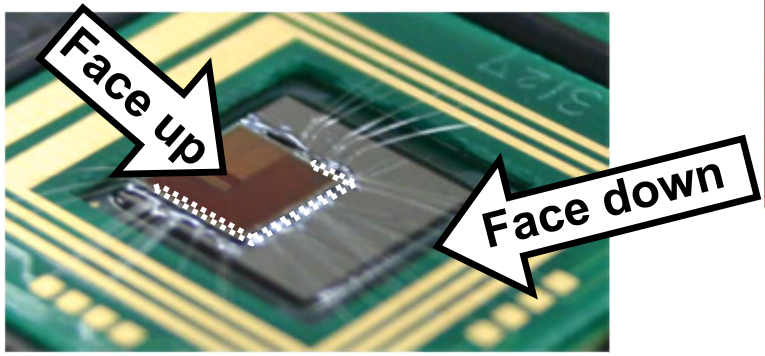
「回路～アーキテクチャ～システムソフトウェア協調で実現する低消費電力化技術」
中村 宏 （東京大学 教授）

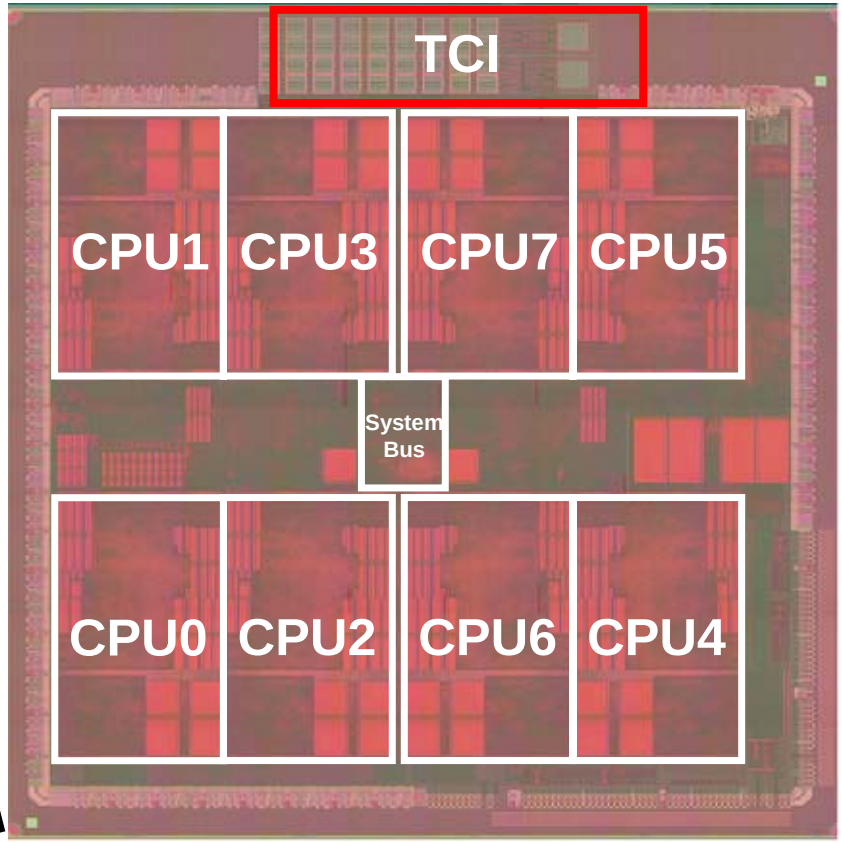
チップ間無線通信に成功
デモ展示

プロセッサとメモリの結合



日立 SRAM, 65nm CMOS, 1.2V
SRAMを2枚積層することも可能





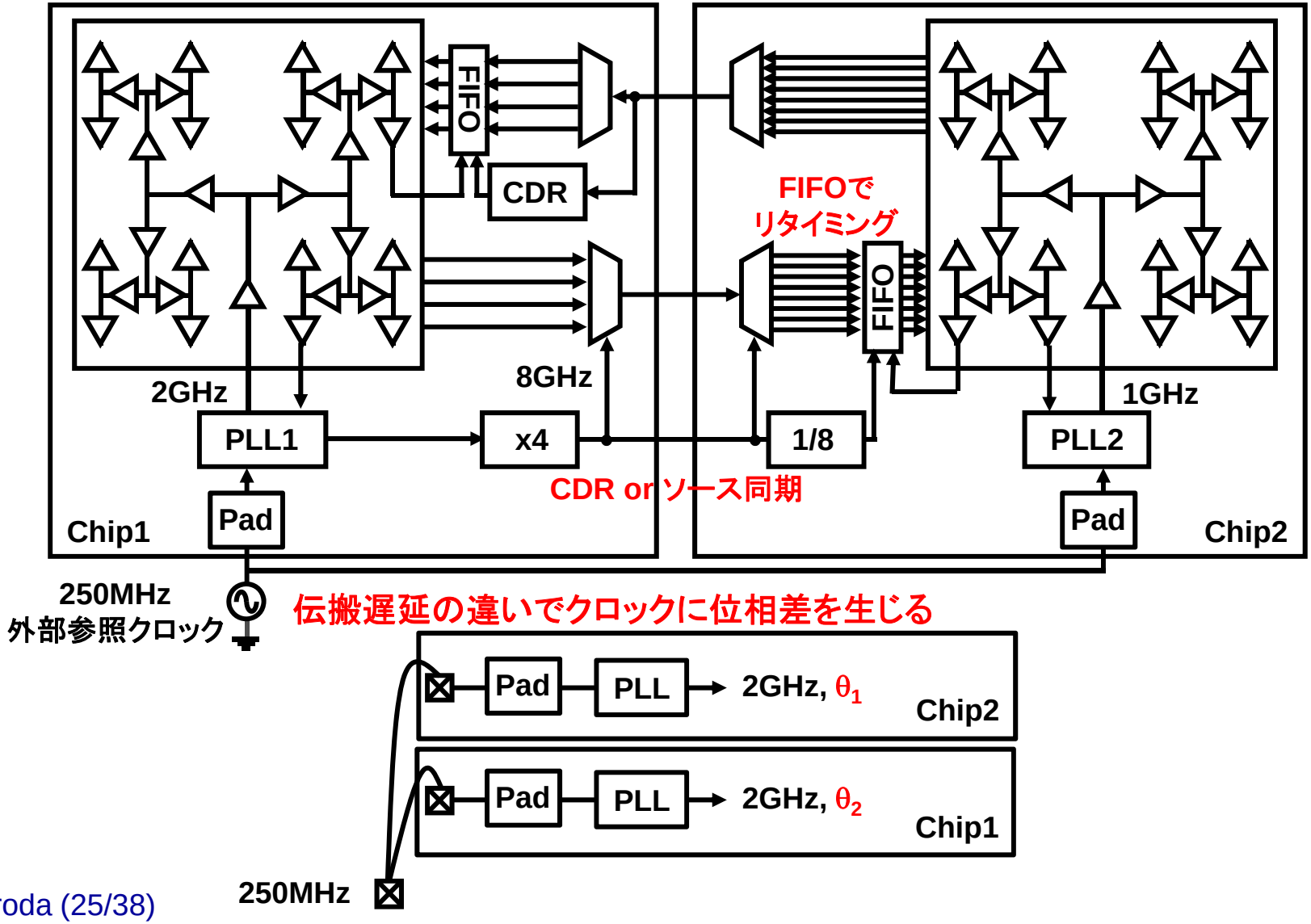
ルネサス プロセッサ
90nm CMOS, 1.0V

エネルギー消費: 1pJ/b (1/30 of DDR2)
レイアウト面積: 0.15mm^2/Gps (1/3 of DDR2)

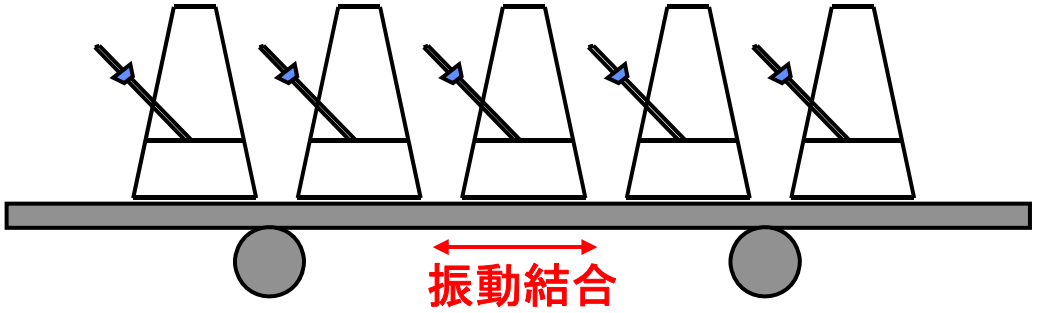
ISSCC'09, VLSI'09

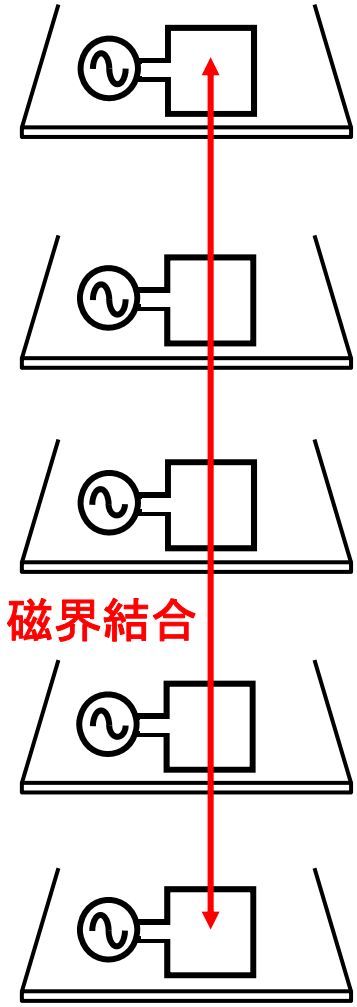
積層チップへのクロック分配

クロックを位相差なく分配できれば、積層チップ間を信号が自由に往来できる

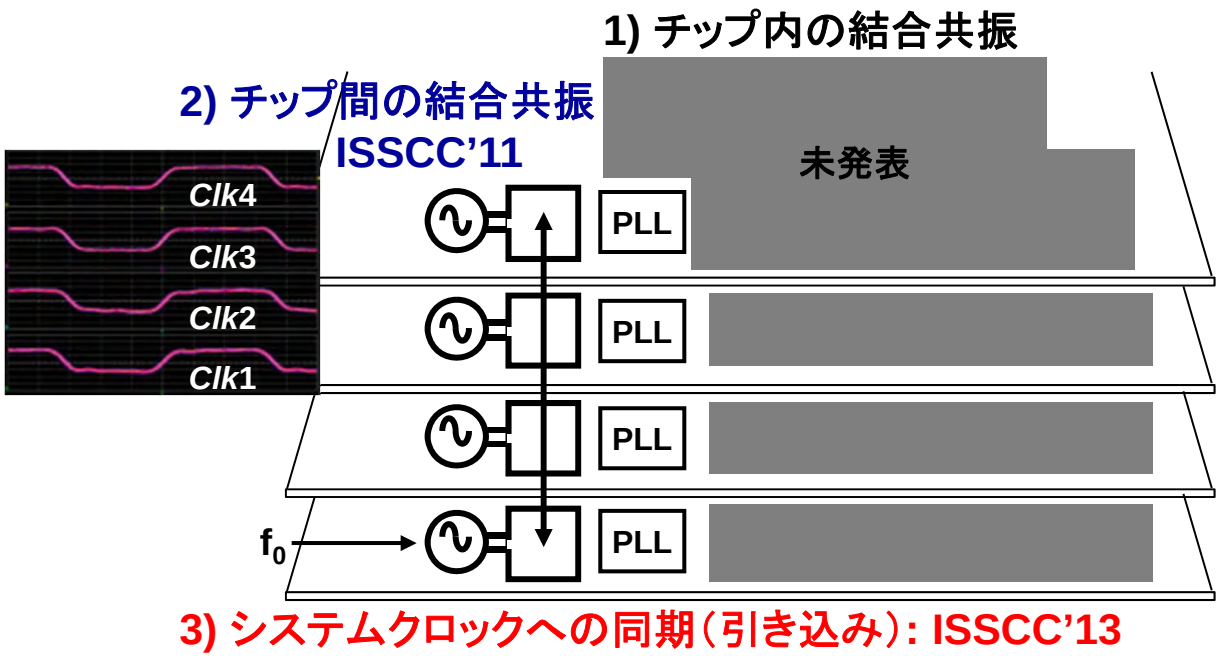


結合共振を利用したクロック分配





3次元クロック分配



Cf: 体内の同期現象
1) 臓器内の同質の細胞が化学的・電気的結合で相互同期する
2) 臓器間の活動周期が揃う（体内時計の固有周期は26時間程度）
3) 身体が環境に同期する（1日の明暗に合わせて24時間に引き込まれる）

ISSCC'11（講演番号28.2）"A 2.7Gb/s/mm2 0.9pJ/b/Chip 1Coil/Channel ThruChip Interface with Coupled-Resonator-Based CDR for NAND Flash Memory Stacking"

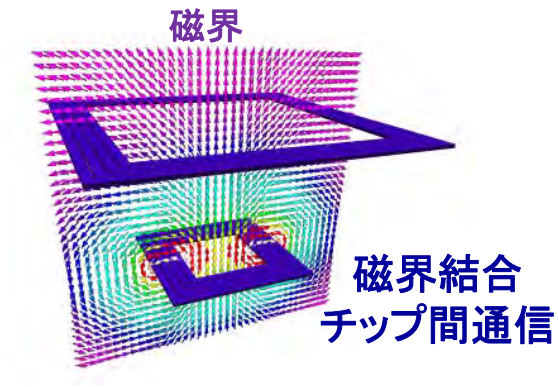
ISSCC'13（講演番号12.3）"3D Clock Distribution Using Vertically/Horizontally Coupled Resonators"

クロックを位相差なく分配でき、積層チップ間を信号が自由に往来できる

講演内容

近接場ワイヤレス通信が拓く超低電力3次元集積システム

- なぜチップ間通信？ … 性能律速
- なぜ近接場？ … 超並列（面利用）
- 磁界結合チップ間通信 … 実用
- 3次元集積システム … 創出
- 将来展望
- まとめ

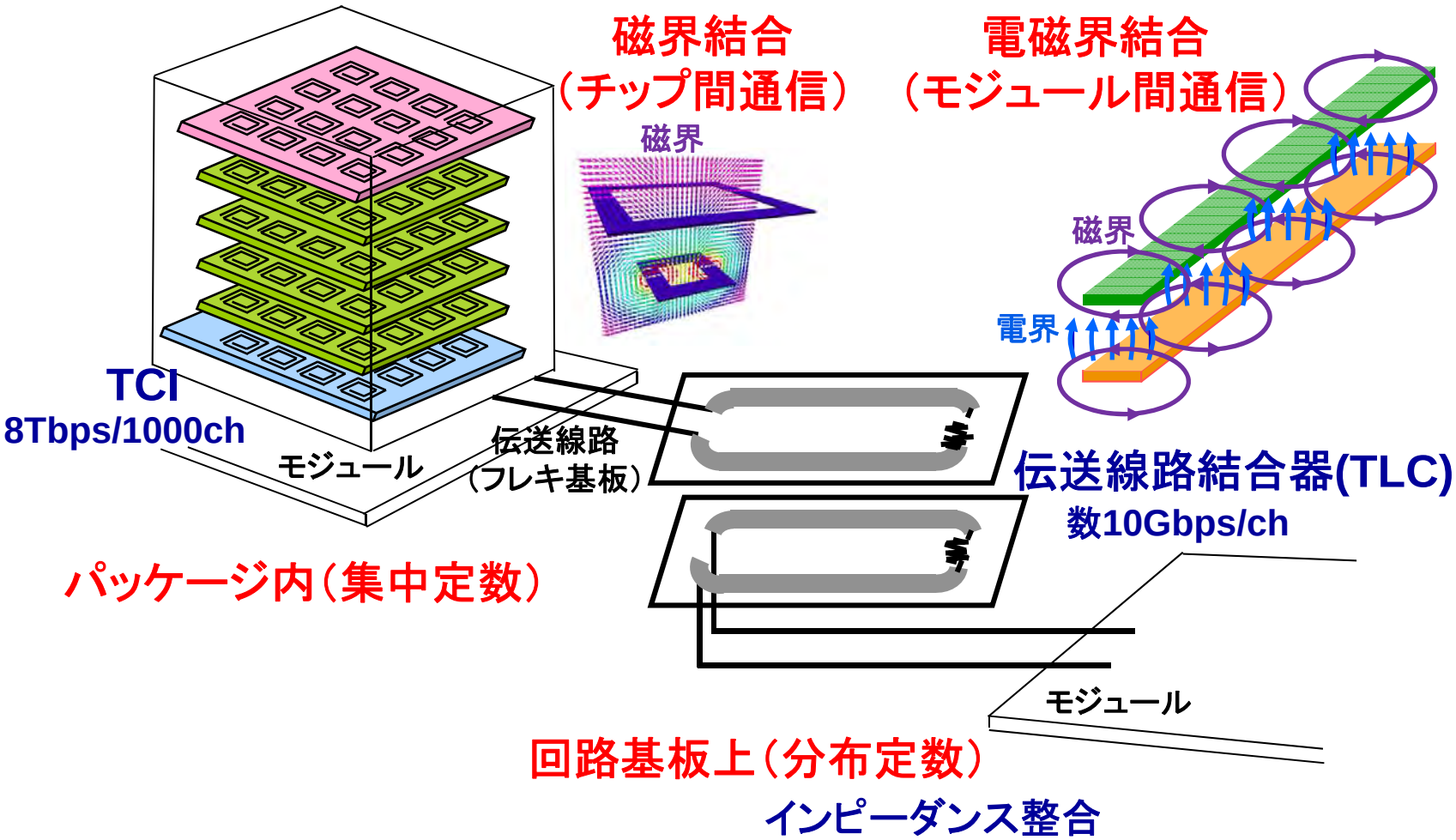


MPU＋IP積層(Geyser+CMAcube)　メモリ積層

3次元集積システム

磁界結合から電磁界結合へ

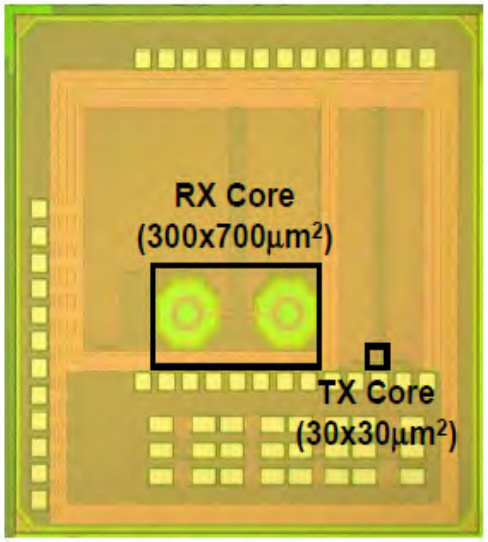
CREST研究領域:「ディペンダブルVLSIシステムの基盤技術」(研究総括:浅井彰二郎)
研究課題:「ディペンダブル ワイヤレス ソリッド・ステート・ドライブ 」(2010年度～2014年度)



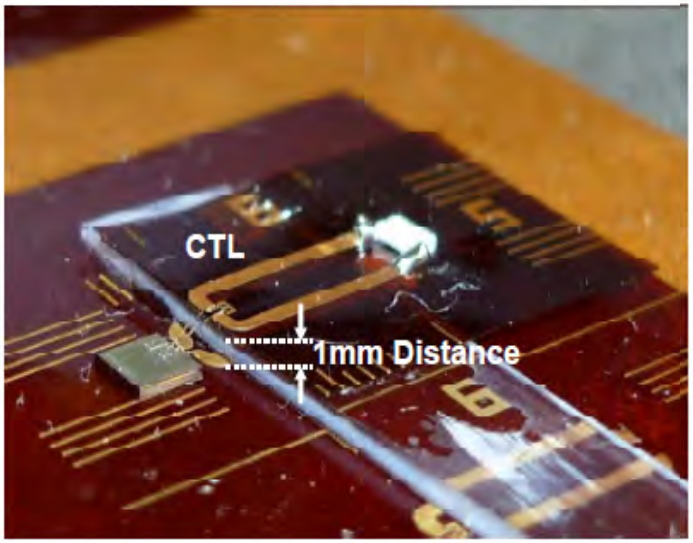
Transmission Line Coupler（TLC）

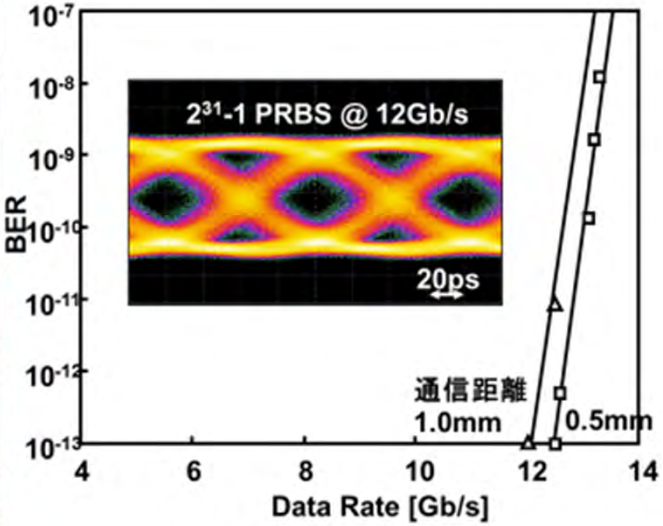
ISSCC'11, "A 12Gb/s Non-Contact Interface with Coupled Transmission lines"
ISSCC'12, "A 7Gb/s/Link Non-Contact Memory Module for Multi-Drop Bus System Using Energy-Equipartitioned Coupled Transmission Line"
CICC'12, "A 12.5Gb/s/Link Non-Contact Multi Drop Bus System with Impedance-Matched Transmission Line Couplers and Dicode Partial-Response Channel Transceivers"
ISSCC'13（講演番号11.5）, "A 0.15-mm-Thick Non-Contact Connector for MIPI using Vertical Directional Coupler"

90nm CMOS Interface Chip



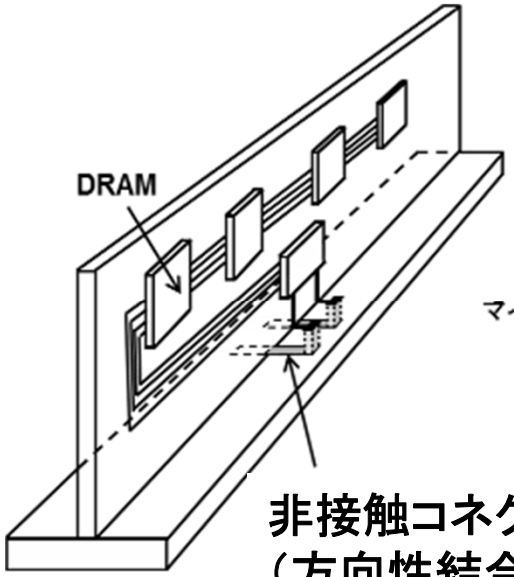
Evaluation Board

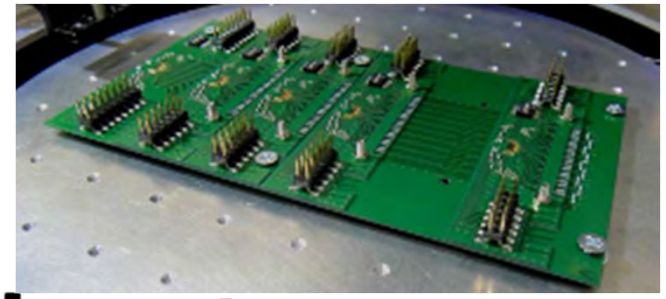


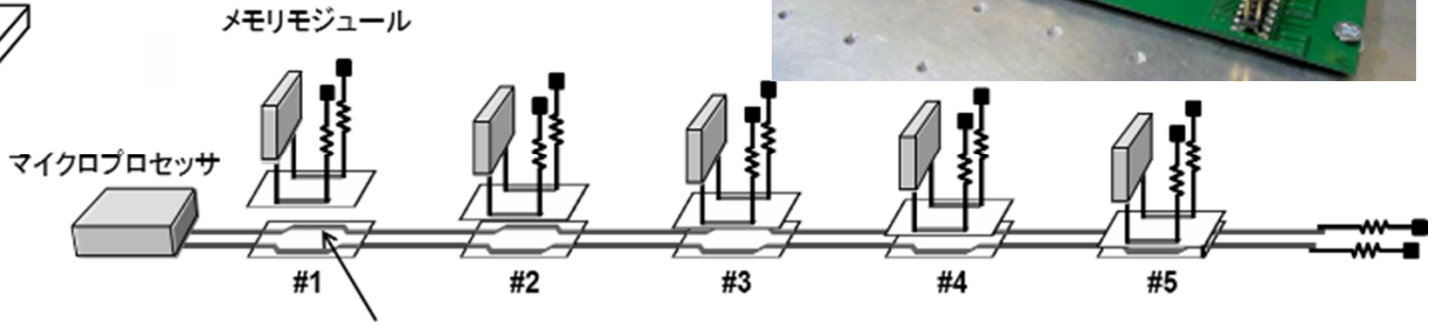


ISSCC'11

DRAMモジュール応用

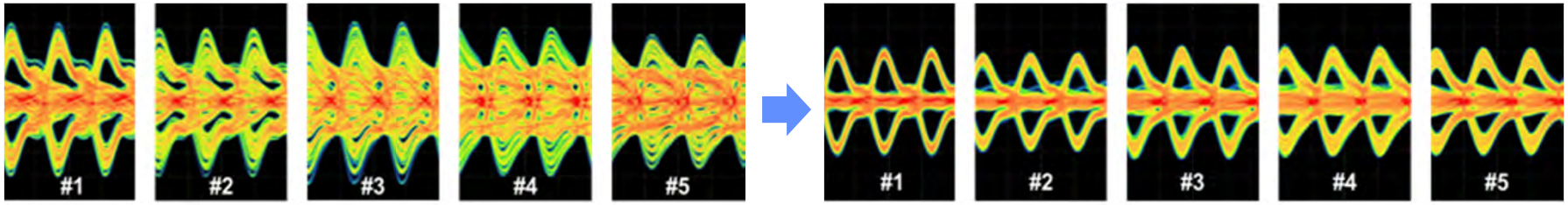






非接触コネクタ
（方向性結合器）

方向性結合器によるインピーダンス整合
各モジュールへの信号電力の等分配（電力削減）



インピーダンス整合および信号電力等分配による高品質な通信の実現

12.5Gbps/bus × 8bus = 100Gbps

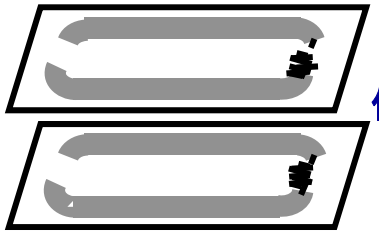
cf: 3.5Gbps point-to-point by DDR4

ISSCC’12, CICC’12

ディペンダブル実装

CREST研究領域:「ディペンダブルVLSIシステムの基盤技術」(研究総括:浅井彰二郎)
研究課題:「ディペンダブル ワイヤレス ソリッド・ステート・ドライブ 」(2010年度～2014年度)

コネクタの高速化・小型化で信頼性が低下



伝送線路結合器
(TLC)

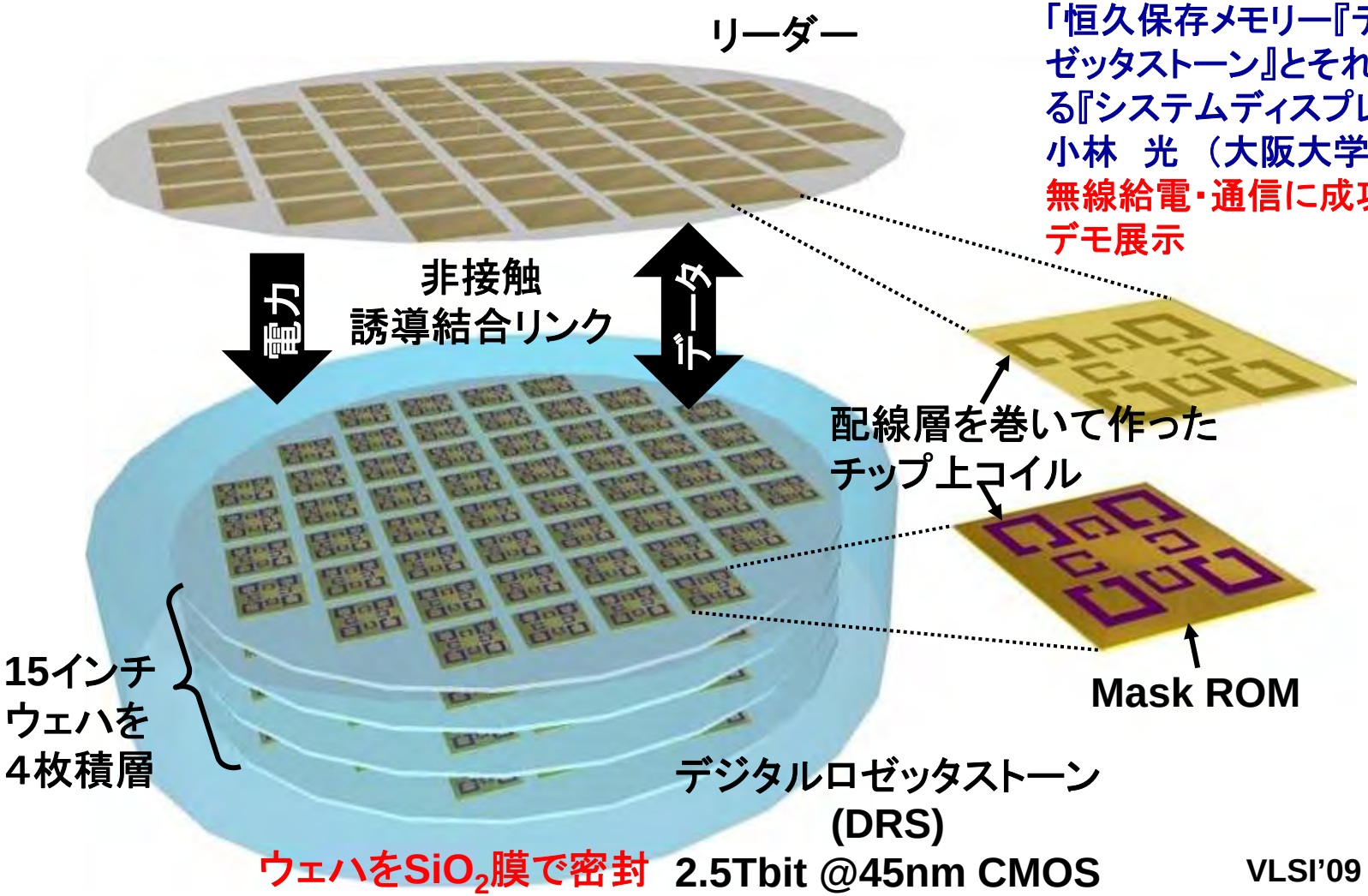
非接触コネクタ

車載	:	瞬断がない	
メモリカード	:	防水、ESD耐性、高速転送	ISSCC'13
メモリモジュール	:	信号高品質、高速転送	ISSCC'12, CICC'12
ディスプレイ	:	組立容易、低コスト、低背	ISSCC'13

ISSCC'13 (講演番号11.5)
"A 0.15-mm-Thick Non-Contact Connector for MIPI using Vertical Directional Coupler"

デジタルロゼッタストーン

半導体メモリ＋密封＋近接場接続（通信と給電）



「恒久保存メモリー『デジタルロゼッタストーン』とそれを表現する『システムディスプレイCPU』」
小林　光　（大阪大学　教授）
無線給電・通信に成功
デモ展示

VLSI'09

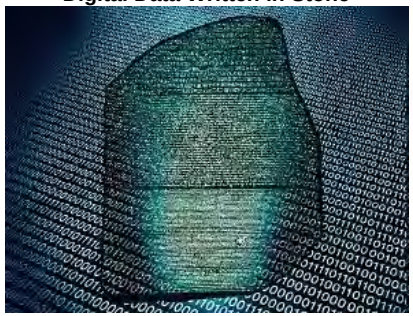
超長期保存メモリ・システムの必要性

世界的な関心・期待

日経新聞

記録媒体データ
1000年保存めざす
慶大など基礎実験成功

IEEE Spectrum
Digital Data Written in Stone



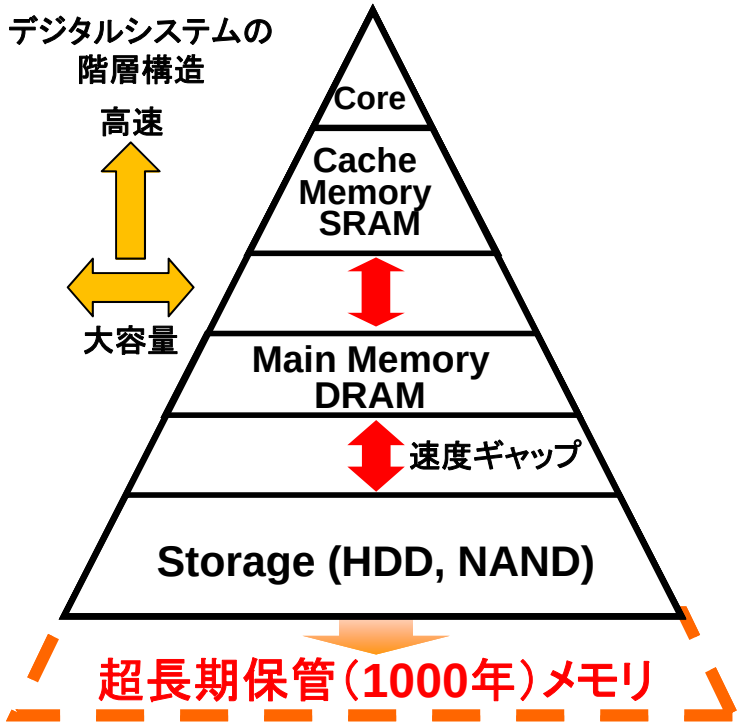
Forbes
The revolutionaries

BS11
「未来ビジョン　元気出せ！ニッポン！」

BBC NEWS
'Rosetta stone' offers digital lifeline

VLSI'09発表直後

学術基盤創出の必要性



社会の連続性・永続性を担保するために
必要な記憶の保存・保管を行う技術が欠落

「超長期保存メモリ・システムの開発」JSTワークショップ　(2012/11/16)

低電力から省エネルギーへ

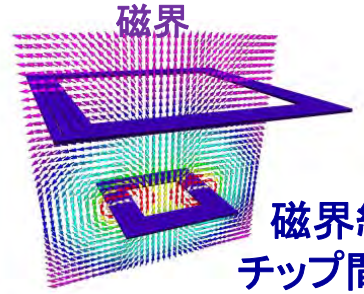
電子工学	物理
流れ	総量
電流 [A]=[C/s] 電力 [W]=[J/s]	電荷 [C] エネルギー [J]
発熱が集積の障害	電源がシステムの課題
低電力技術 ピークを減らす	省エネルギー技術 総量を減らす

アメリカ：Energy Efficient Electronics Science

講演内容

近接場ワイヤレス通信が拓く超低電力3次元集積システム

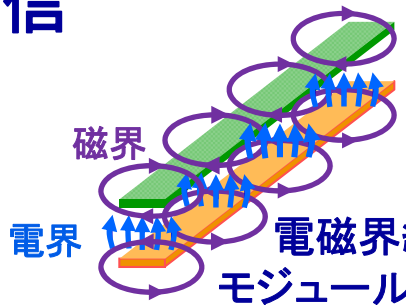
- なぜチップ間通信？ … 性能律速
- なぜ近接場？ … 超並列（面利用）
- 磁界結合チップ間通信 … 実用
- 3次元集積システム … 創出
- 将来展望 … 電磁界結合モジュール間通信
  - ディペンダブル実装
  - 超長期保存メモリ
  - 省エネルギー（高効率）
- まとめ



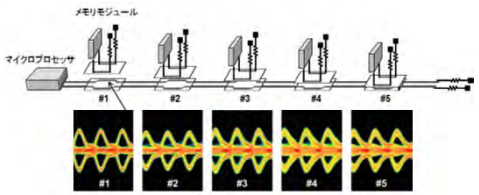
磁界結合
チップ間通信

MPU＋IP積層(Geyser+CMAcube)　メモリ積層

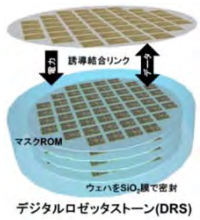
3次元集積システム



電磁界結合
モジュール間通信



ディペンダブル実装

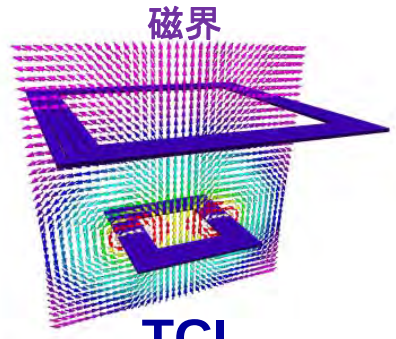


超長期保存メモリ

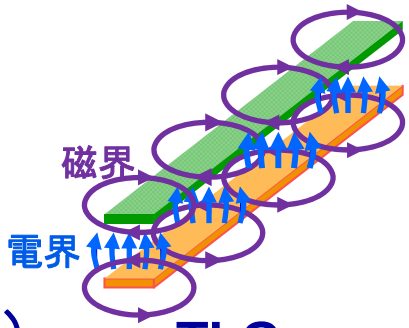
まとめ

近接場ワイヤレス通信が拓く超低電力3次元集積システム

- 磁界結合を用いた積層チップ間通信技術（TCI）
- 干渉が無い近接場無線を用いて超並列・高速化
- 従来技術の1/1000の0.01pJ/bを達成
- 磁界結合通信に関する学問基盤を築いた
- 3次元集積システムを創出する基盤技術を得た
- 電磁界結合を用いたモジュール間通信技術（TLC）
- 将来展望：
  ディペンダブル実装、超長期保存メモリ、省エネルギシステム



TCI



TLC

謝辞

ご支援ご指導に感謝申し上げます

（敬称略）

- JST CREST研究領域 「高性能・超低電力短距離ワイヤレス可動情報システムの創出」
  研究総括：南谷崇
  アドバイザ：石橋 孝一郎、岩野 和生、河辺 峻、中島 浩、古山 透、三浦 謙一、安浦 寛人
  領域参事：村山浩

- JST CREST研究課題　黒田チーム
  共同研究者：藤島実、染谷隆夫、高宮真

- JST CREST研究課題　中村チーム
  中村宏、宇佐美公良、天野英晴、並木美太郎、近藤正章

- JST CREST研究課題　小林チーム
  小林光、今井繁規

- JST CREST研究領域 「ディペンダブルVLSIシステムの基盤技術」
  研究総括：浅井彰二郎
  共同研究者：竹内健、石黒仁揮

- 黒田研究室の研究者・学生、特に三浦典之