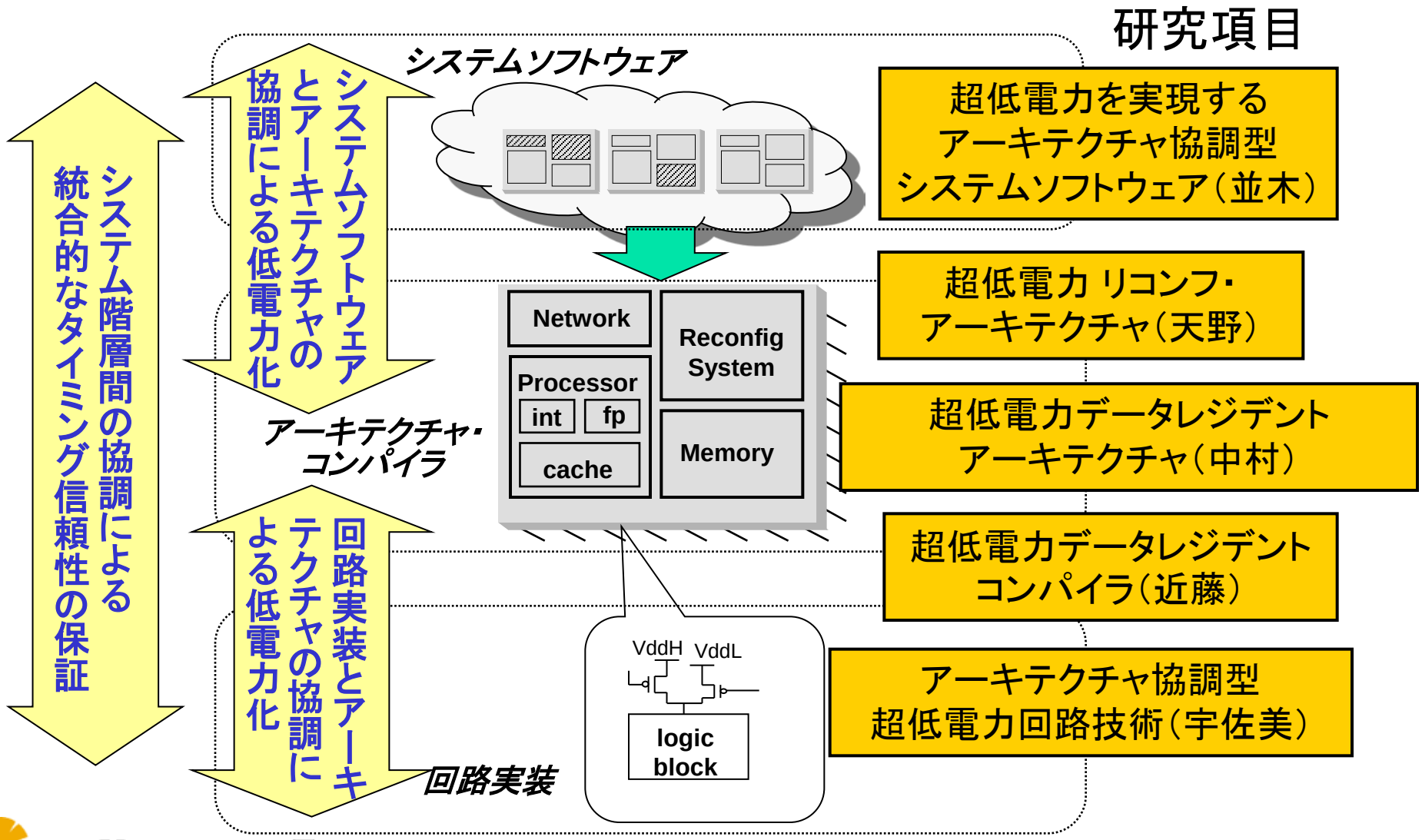
革新的電源制御による次世代超低電力高性能システムLSIの研究

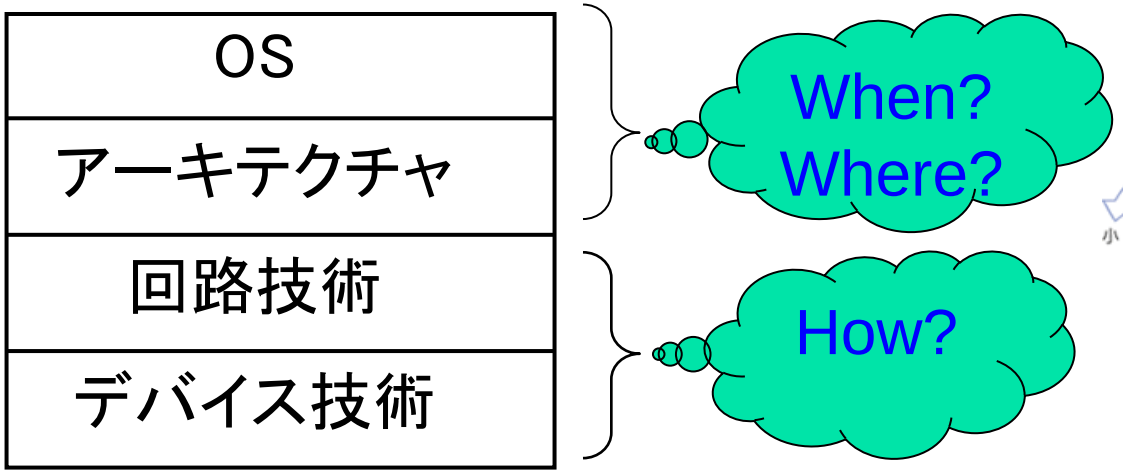
中村　宏　（東京大学）
宇佐美　公良　（芝浦工業大学）
天野　英晴　（慶應義塾大学）
近藤　正章　（電気通信大学）
並木　美太郎　（東京農工大学）

実施体制

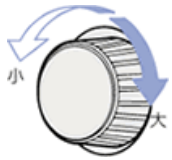

研究項目
システムソフトウェア
システムソフトウェアとアーキテクチャの協調による低電力化
システム階層間の協調による統合的なタイミング信頼性の保証
Network
Reconfig System
Processor
int
fp
cache
Memory
アーキテクチャ・コンパイラ
回路実装とアーキテクチャの協調による低電力化
VddH
VddL
logic block
回路実装
超低電力を実現するアーキテクチャ協調型システムソフトウェア（並木）
超低電力 リコンフ・アーキテクチャ（天野）
超低電力データレジデントアーキテクチャ（中村）
超低電力データレジデントコンパイラ（近藤）
アーキテクチャ協調型超低電力回路技術（宇佐美）

着眼

- 研究方針：回路実装、アーキテクチャ、システムソフトウェアの階層を越えた協調による革新的電源制御
- 従来の低電力化技術：設計階層の観点から
  - 回路技術：電力と性能を調整する「調整弁」の実現
    - Clock Gating, DVFS, Dual Vth, Power Gating, ..
  - アーキテクチャ、OS：忙しくない動作がいつ(When)、どこに(Where)あるかを見つけ、「調整弁」の制御



制御粒度が重要



戦略

- 研究方針：回路実装、アーキテクチャ、システムソフトウェアの階層を越えた協調による革新的電源制御
- 階層間での統一概念「データレジデント」の導入
  - データに対する処理を時空間軸上で閉じ込め：粒度最適化
  - 処理スループット重視、集積度向上を頼りに多くのトランジスタを投入、いかに有効利用するか
  - 動作すべき真に必要なトランジスタを、必要時に必要部だけ動作させる
- アーキテクチャの新しいパラダイム
  - 命令セット（機能）→命令実行制御方式（機能＋タイミング）→データレジデント（機能＋タイミング＋ロケーション）

これまでの成果

回路実装、アーキテクチャ、システムソフトウェアの
「階層を越えた協調による革新的電源制御」

- Power Gating技術によるリーク電力削減技術の確立
  - MIPS互換プロセッサ Geyser-1/2 の試作・実機評価
  - リークモニタ回路の試作
- システムレベルでの低電力化アルゴリズム
  - 省電力スケジューラの開発
  - GeyserプロセッサのFPGA上での実装: OSテストベッド
- 電力効率アクセラレータ (Silent Large Datapath)
- Geyser+SLD 統合システムへ
  - NoC (Network on Chip) の低消費電力化

成果1：Power Gating技術による リーク電力削減技術

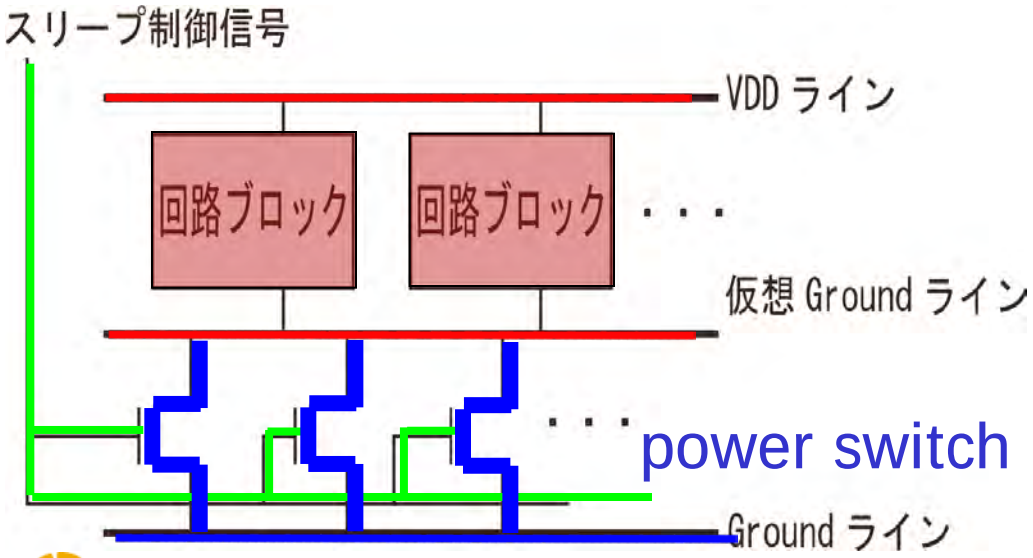
Geyser:細粒度パワーゲーティングを適用した汎用マイクロプロセッサ

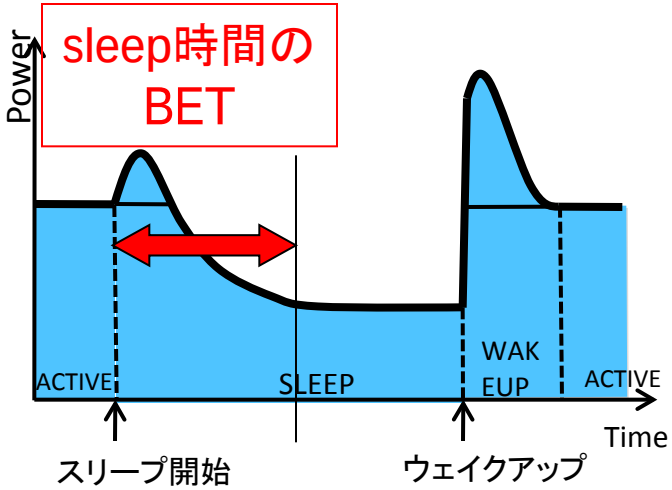
- 目標: リーク電力削減
- 従来のパワーゲーティング : 粗粒度
  - スタンバイ時 : 粗粒度パワーゲーティング　e.g. Nehalem
  - 実行時 : キャッシュメモリ 時間的には粗粒度
    - Cache-decay, Drowsy-cache
- 算術論理演算部 (ALU, multiplier,等) リークも深刻
  - 使用トランジスタ : 高速だがリーク大
    - 使用率は必ずしも高くはない ☺
    - 使用される部分は頻繁に＝サイクル毎に変動

  → 算術論理演算部のリーク電力削減
- 細粒度のパワーゲーティング→低電力化の機会増大

回路技術：パワーゲーティング

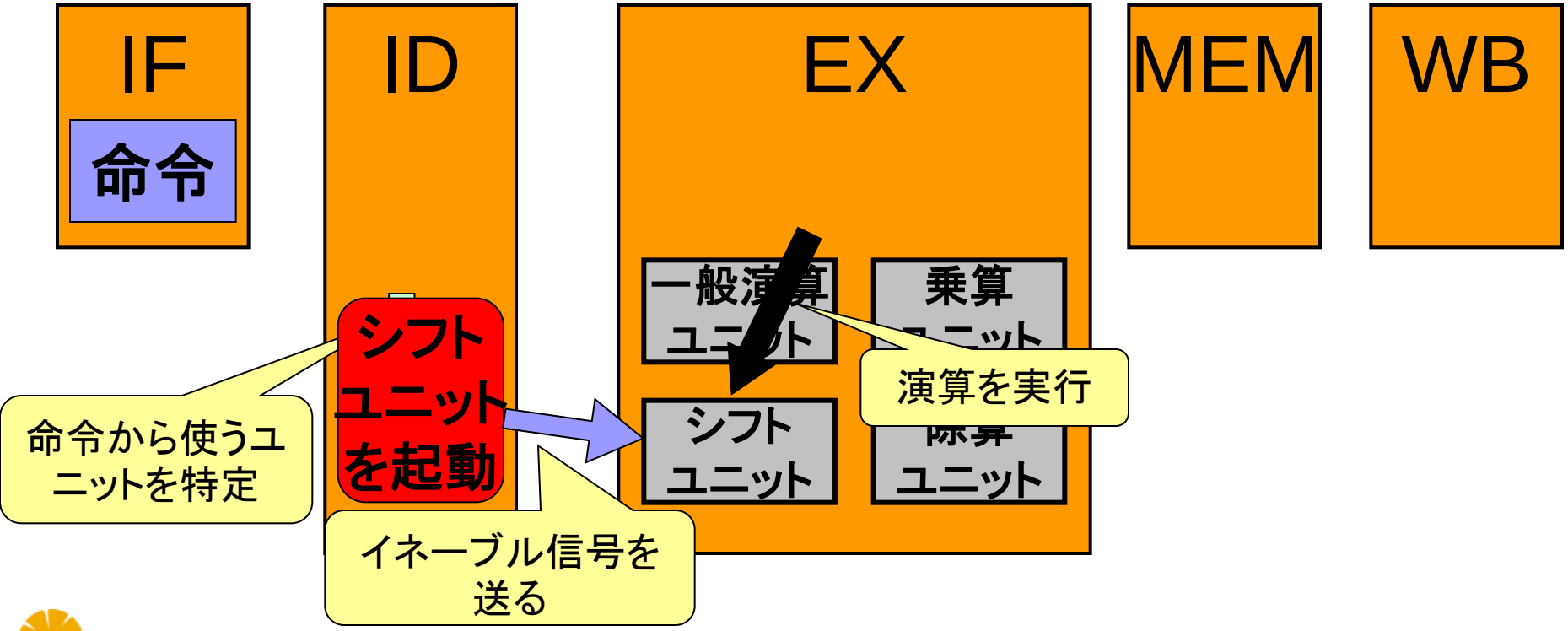
- 回路とGroundの間にpower switchを挿入
  - 回路が非動作時にpower switch off → リーク電力削減
- 考慮すべき点：power on/off に要する電力オーバヘッド
  - BET(break even time) ：電力オーバヘッドを相殺するsleep時間 → 回路技術が実現する時間粒度



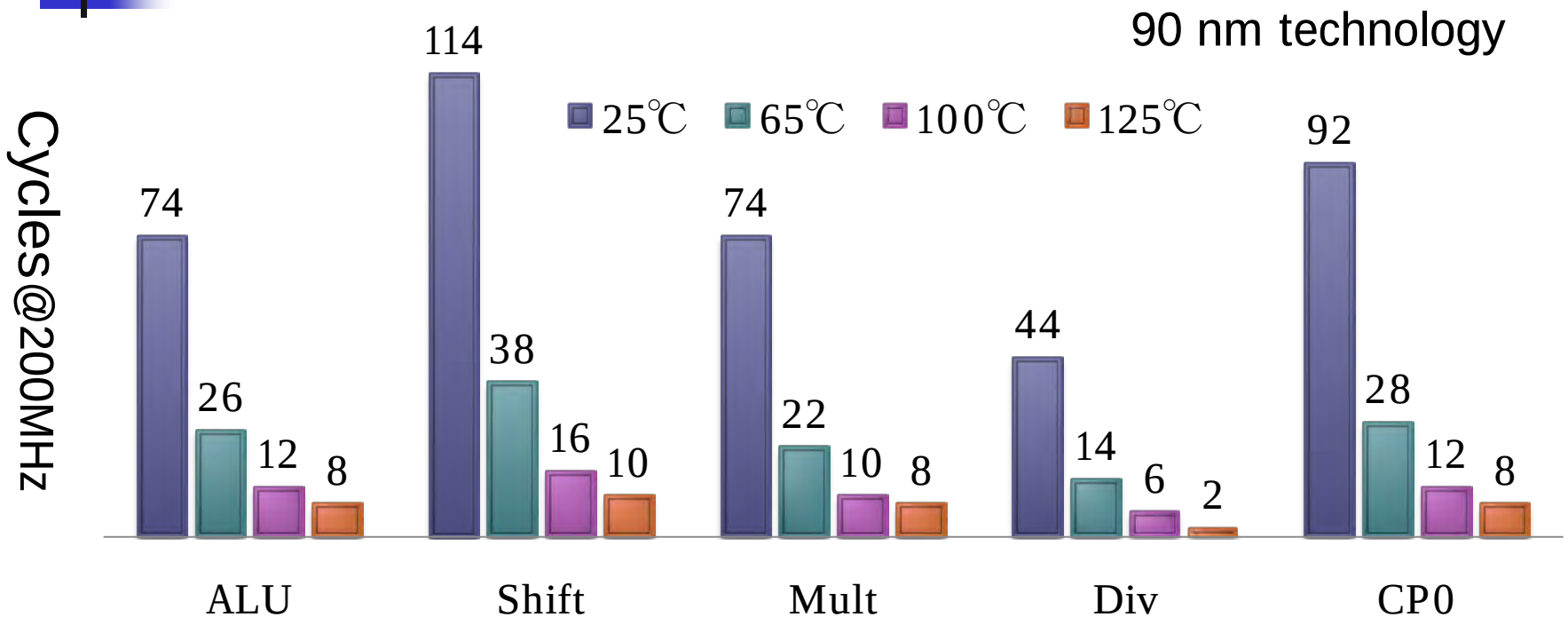


Geyser: power gating の適用

- MIPS R3000ベースプロセッサ
- Fine Grain Run Time Power Gating を適用・実装
- IDステージで、スリープ制御信号を生成する
  - EXステージで演算に使うユニットを判断
  - 必要なユニットだけにイネーブル信号を送る



BET(Break Even Time)の値

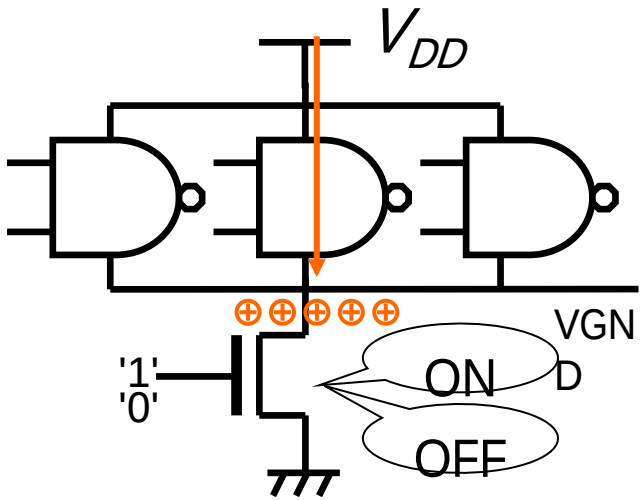


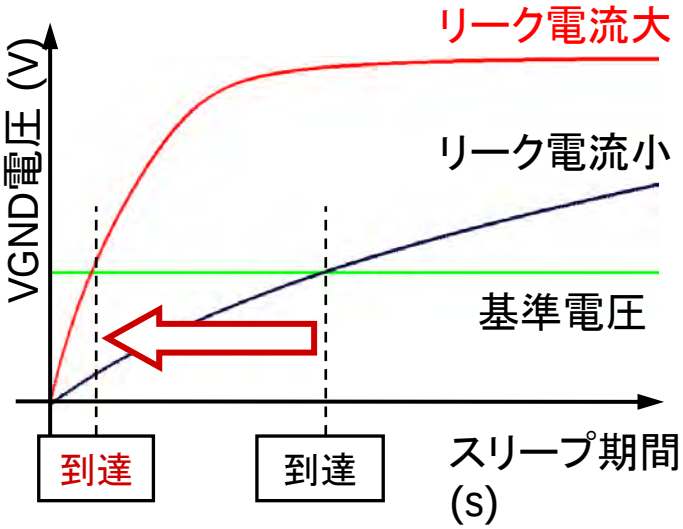
- BET: 回路技術が実現する「調整弁」の時間粒度
  - 温度上昇に伴いBETは短くなる
  - リーク電流：温度上昇で増大

→ 環境に大きく依存するBETに合わせたPG戦略が重要

リークモニタ (回路技術)

- 目的：チップ上でリーク電流を計測
- 効用：リーク電流に依存するBETを考慮した制御
- 原理：仮想グランド線（VGND）電圧に着目
  - リーク電流が大きいと仮想グランド線電圧の上昇が速い
  - 基準電圧に達するまでの時間からリーク電流値を判断





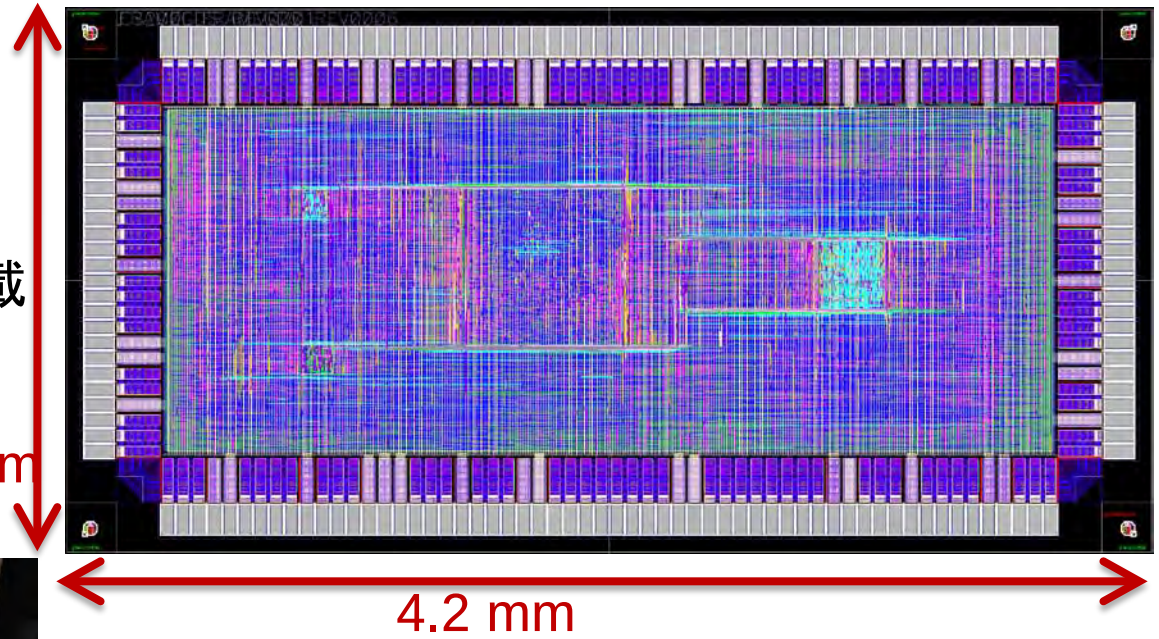
回路技術～コンパイラ～OSの協調 による Power Gating

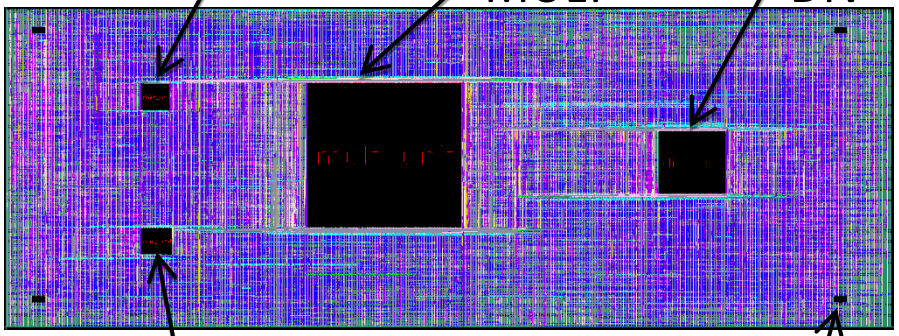
- BET(損益分岐点) ＜ sleep 時間　を実現する戦略
  - 使用頻度の低い演算器
    - 演算器は利用後は常に power off
  - 使用頻度の高い演算器
    - コンパイラはBETが小さいと想定してコード生成
    - BETが小さい（温度が高い=リークが大きい）時は、コンパイラによるpower on/off 指示を有効にする
    - BETが大きい（温度が低い=リークが小さい）時は cache miss 時のみ power off, コンパイラ指示を無視
  - リークモニタ出力よりOSがBET判断＆PG戦略選択

→ 回路技術・コンパイラ・OSの協調 Power Gating

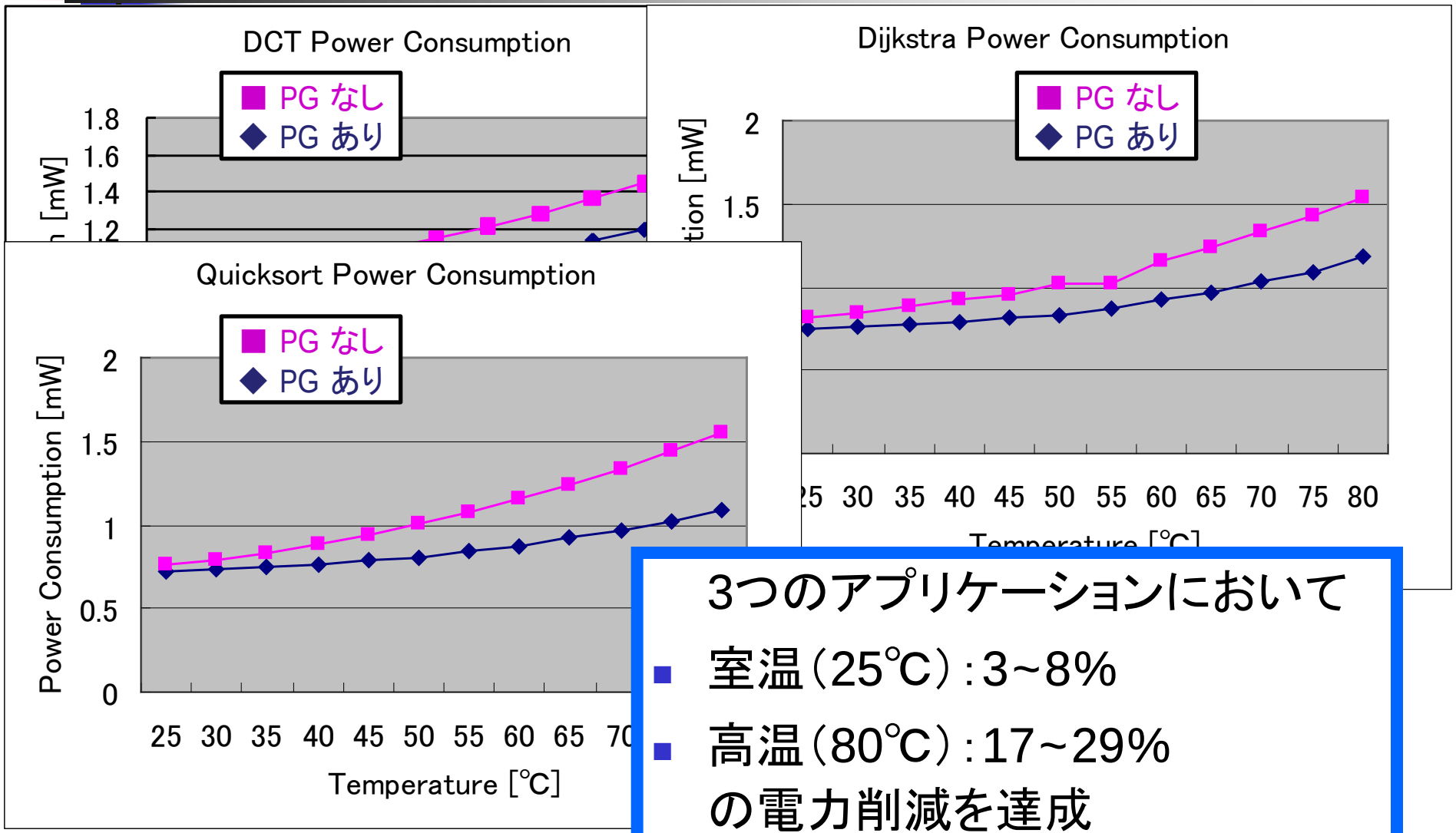
設計・試作したCPUコア　Geyser-1

- MIPS R3000 ベース
- e-shuttle　65nm
  - Vdd=1.2V
    キャッシュ、TLB 非搭載
- リークモニタ　搭載





実チップの消費電力



3つのアプリケーションにおいて

- 室温(25℃):3~8%
- 高温(80℃):17~29%

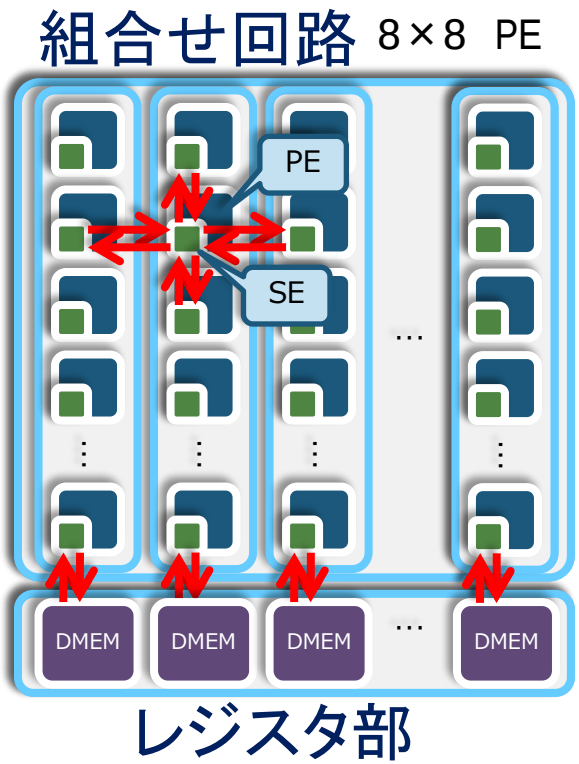
の電力削減を達成

成果2: 電力効率アクセラレータ SLD (Silent Large Datapath)

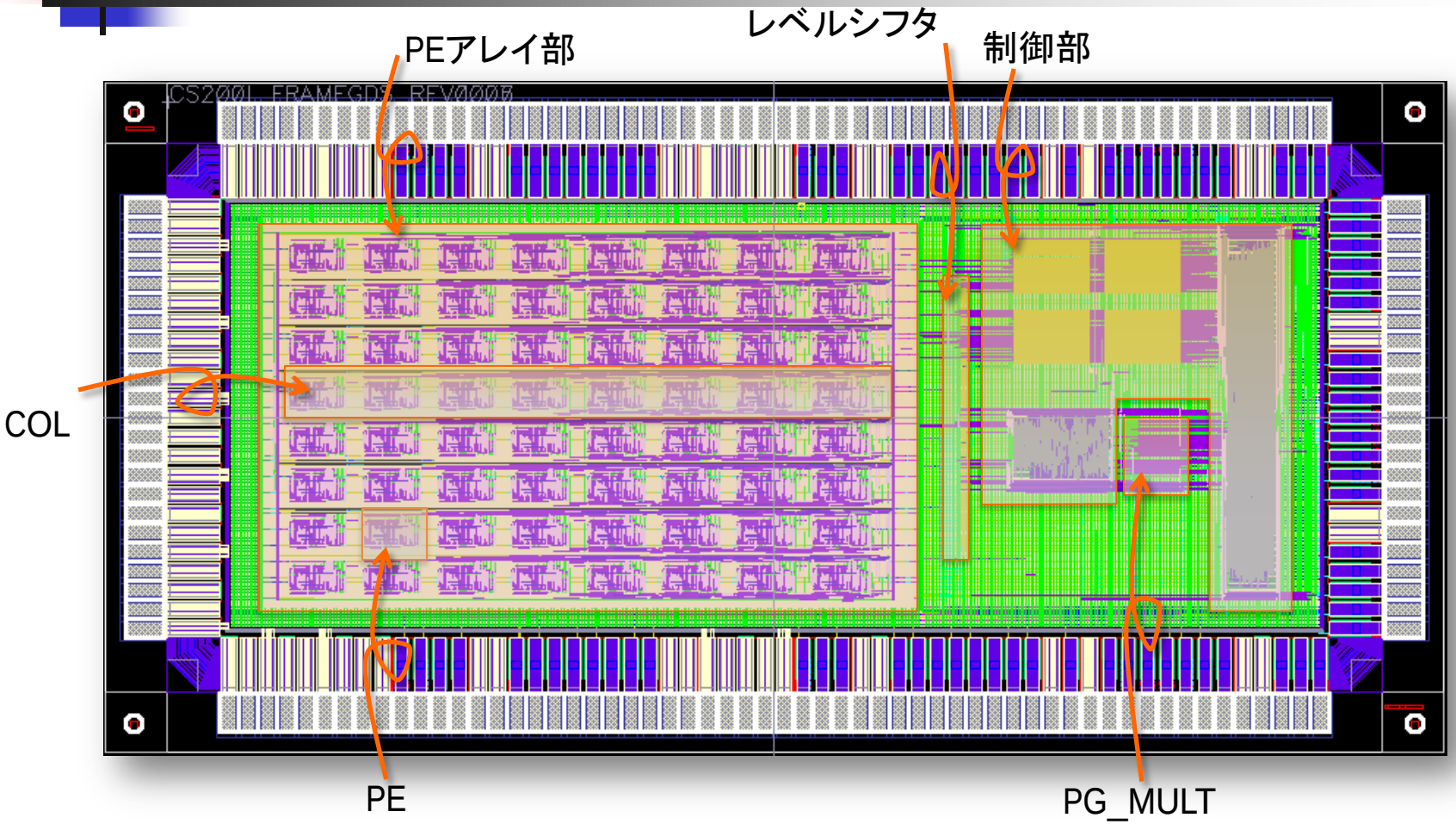
SLDの設計方針

- 大規模なデータパス:「性能アクセラレータ」ではなく「電力効率アクセラレータ」として検討
- 組合せ回路:レジスタ部と分離し低電圧動作
  - クロック分配ツリーの消費電力削減
  - データ供給能力に見合った極低電圧＆極低消費電力動作を可能に
  - データレジデント:演算処理の閉じ込め
    - 演算数とレジスタアクセス比を改善

    演算処理電力と総電力の比を改善
- 粗粒度な電源制御
  - 電力効率を向上させるアーキテクチャ・コンパイラ・OS

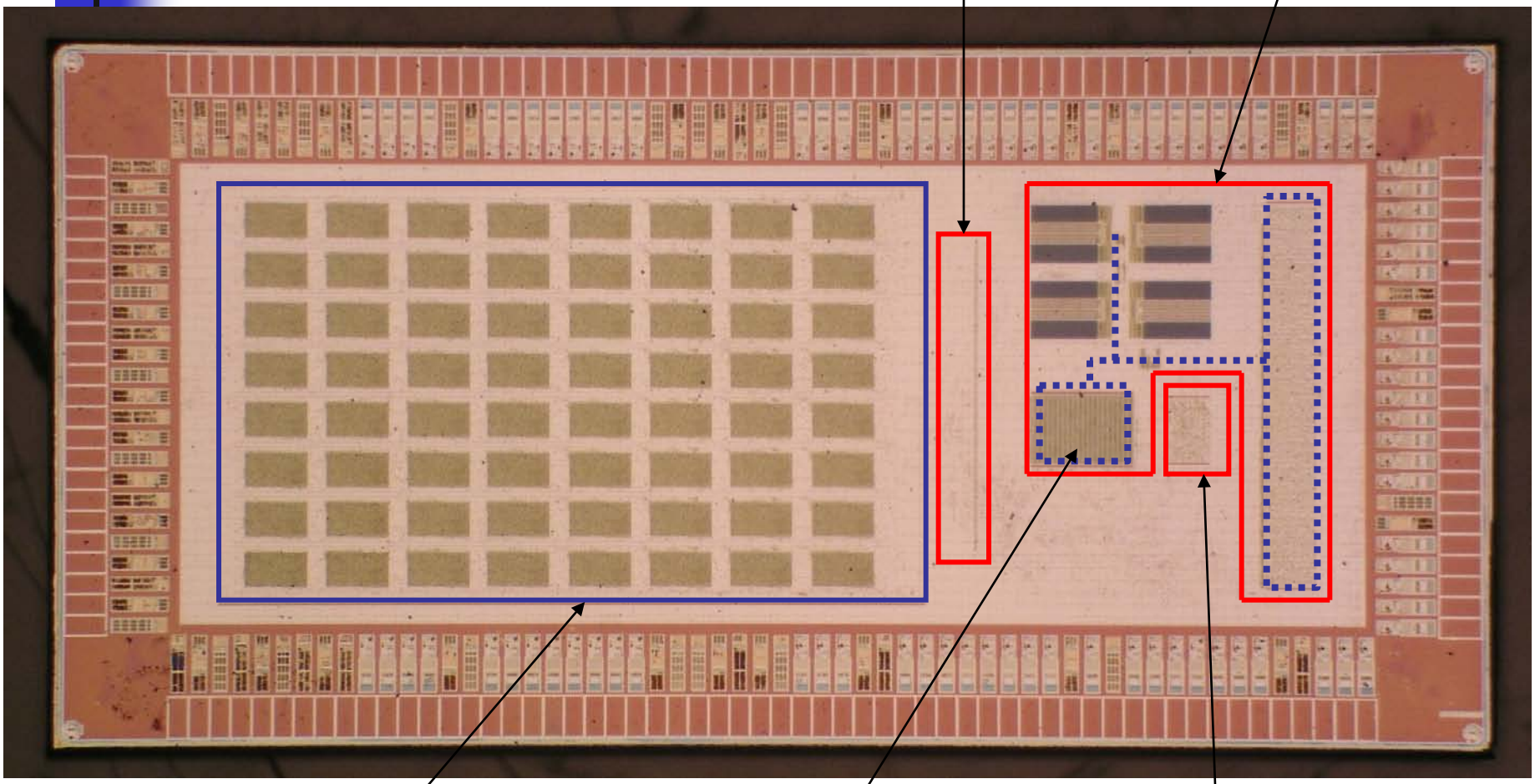


レイアウト図



- e-shuttle 65nm
- PEアレイ部は低電圧、制御部は通常電圧(1.2V)

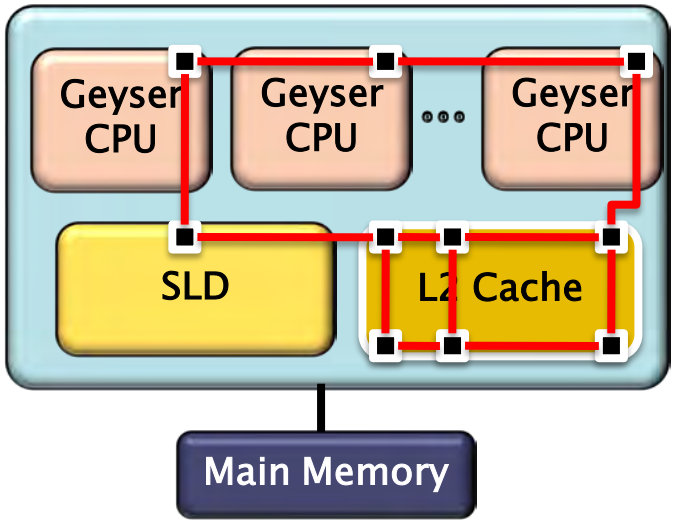
SLDのチップ写真



これまでの成果のまとめと今後

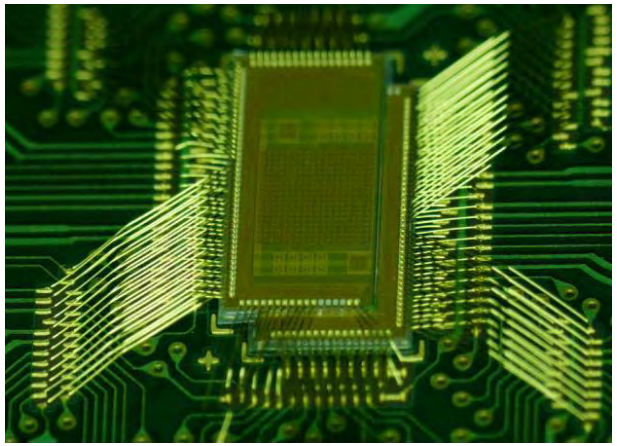
これまでの成果

- Geyser: ～30%電力削減
  - 回路技術～コンパイラ～OSの協調
    Power Gatingの有効性
- SLD: ～ 1/100 の消費電力
  - 電力効率アクセラレータの有効性
- Network-on-Chip (～1/10)なども成果



今後

- 階層間協調による
  革新的電源制御の有効性実証
- 実機評価を元にした統合評価
  - シミュレーション
  - 3次元ワイヤレス実装（黒田プロジェクト）



MuCCRAの3次元実装