

CREST ULP領域 研究成果公開シンポジウム
「グリーンITが創る豊かな社会と強い産業」

2010年11月26日

ソフトウェアとハードウェアの協調による 組込みシステムの消費エネルギー最適化

高田広章

名古屋大学 大学院情報科学研究科 教授
附属組込みシステム研究センター長

Email: hiro@ertl.jp URL: <http://www.ertl.jp/~hiro/>

研究プロジェクトの概要

- ◆ プロジェクトの形態：科学技術振興機構（JST）による戦略的創造研究推進事業（CREST）の「情報システムの超低消費電力化を目指した技術革新と統合化技術（ULP）」領域（研究統括：南谷崇）の採択テーマ
- ◆ テーマ名：ソフトウェアとハードウェアの協調による組み込みシステムの消費エネルギー最適化
- ◆ 研究代表：高田広章（名古屋大学）
- ◆ 研究実施体制：
 - 名古屋大学（代表者：高田広章）
 - 九州大学（代表者：石原亨）
 - 東芝（代表者：深谷哲司）
 - 立命館大学（代表者：富山宏之）
- ◆ 研究期間：2005年10月～2011年3月

研究プロジェクトの意義

- ◆ ますます広範囲に使われる組込みシステム
 - 情報家電（デジタルTV, HDレコーダ/プレーヤ, ゲーム機, プリンタ/複合機, ...）の普及
 - 100W以上の電力を消費するものも多い
 - 使用時だけでなく, 待機時も電力を消費
- ◆ 組込みシステムが複雑化する中で, 消費エネルギー削減のために十分な設計工数が割けない状況
 - 消費電力が商品性を決めるような製品（バッテリー駆動の製品）を除いては, 消費エネルギーの削減余地は大きい
- ◆ 組込みシステムの消費エネルギーを少しずつでも削減できれば, 社会全体では大きなエネルギー削減効果
 - 日本人1人当たり10W節約すると, 日本全体で130万KW（大型の原子炉1機分）の節約
 - 小さい設計工数で消費エネルギーを削減できることが必要

研究プロジェクトの目標と基本方針

◆ 研究プロジェクトの目標

- ソフトウェアとハードウェアの協調により，アプリケーションに必要なQoS（性能，計算精度，信頼性など）を保証しつつ，組み込みシステム（扱う範囲はプロセッサとメモリシステム）の消費エネルギーを60分の1に低減する技術を開発

◆ 研究プロジェクトの基本方針

- 対象は組み込みシステム
 - ◆ アプリケーションはわかっているものとし，その性質を最大限に活用
- 広範囲な設計階層に跨る統合的・体系的な最適化
 - ◆ 設計階層を跨ぐことで最適化の可能性が拡大
 - ◆ ソフトウェア設計からハードウェアの回路設計まで
- 必要なQoSを保証しつつ消費エネルギーを最小化
 - ◆ リアルタイム性を保証しながら，平均消費エネルギーを最小化する

研究プロジェクトの方針と流れ

◆ 研究プロジェクトの方針・進め方

- 実用指向の研究（理論研究であっても近い将来に実用化可能な研究）を行う
- 目標達成のためには、様々な技術の動員が必要
 - ◆ プロジェクトの前半で様々な要素技術を個別に開発し、後半でそれらを統合する

◆ 研究開発する技術の基本的な流れ — *DEPS*

- ソフトウェアの性質にあわせて性能と消費エネルギーをトレードオフさせることができるハードウェア技術とIPコア（DEPS対応コア）
- アプリケーションソフトウェアの性質を機械的に調べる技術とツール（実行トレースマイニング等）
- それらを用いた静的最適化技術とツール（メモリレイアウト最適化、静的割付け&スケジューリング等）
- それらを用いた動的最適化技術とリアルタイムOS（ULP RTOS）

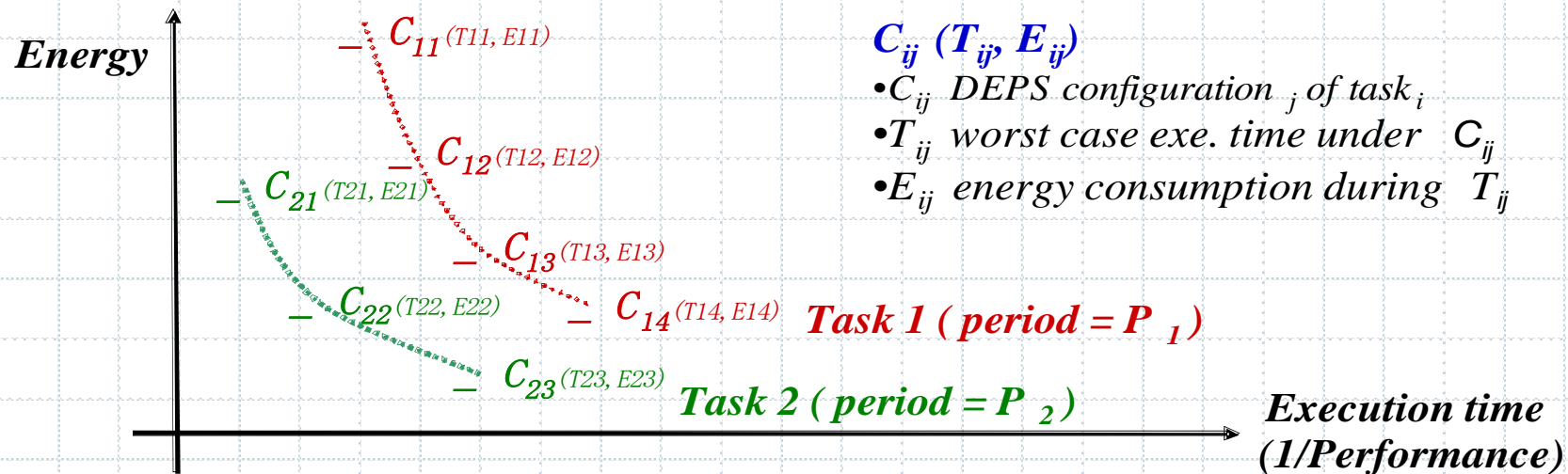
DEPS = Dynamic Energy/Performance Scaling

◆ DEPSとは？（本研究プロジェクトによる造語）

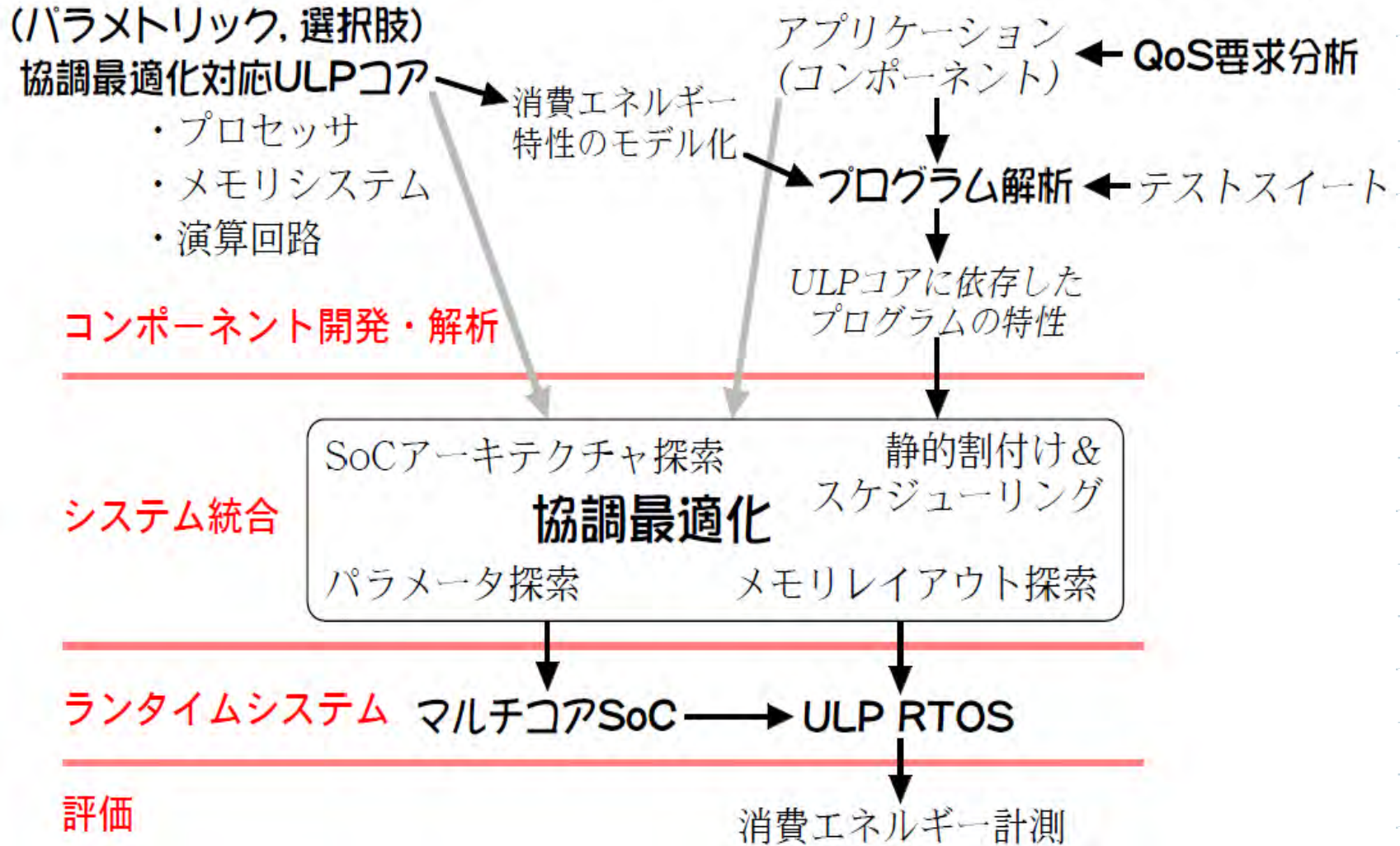
- 計算機システムの消費エネルギーと性能を最適にトレードオフさせる技法
- DVFS（Dynamic Voltage/Frequency Scaling）の一般化

◆ DEPSの動機

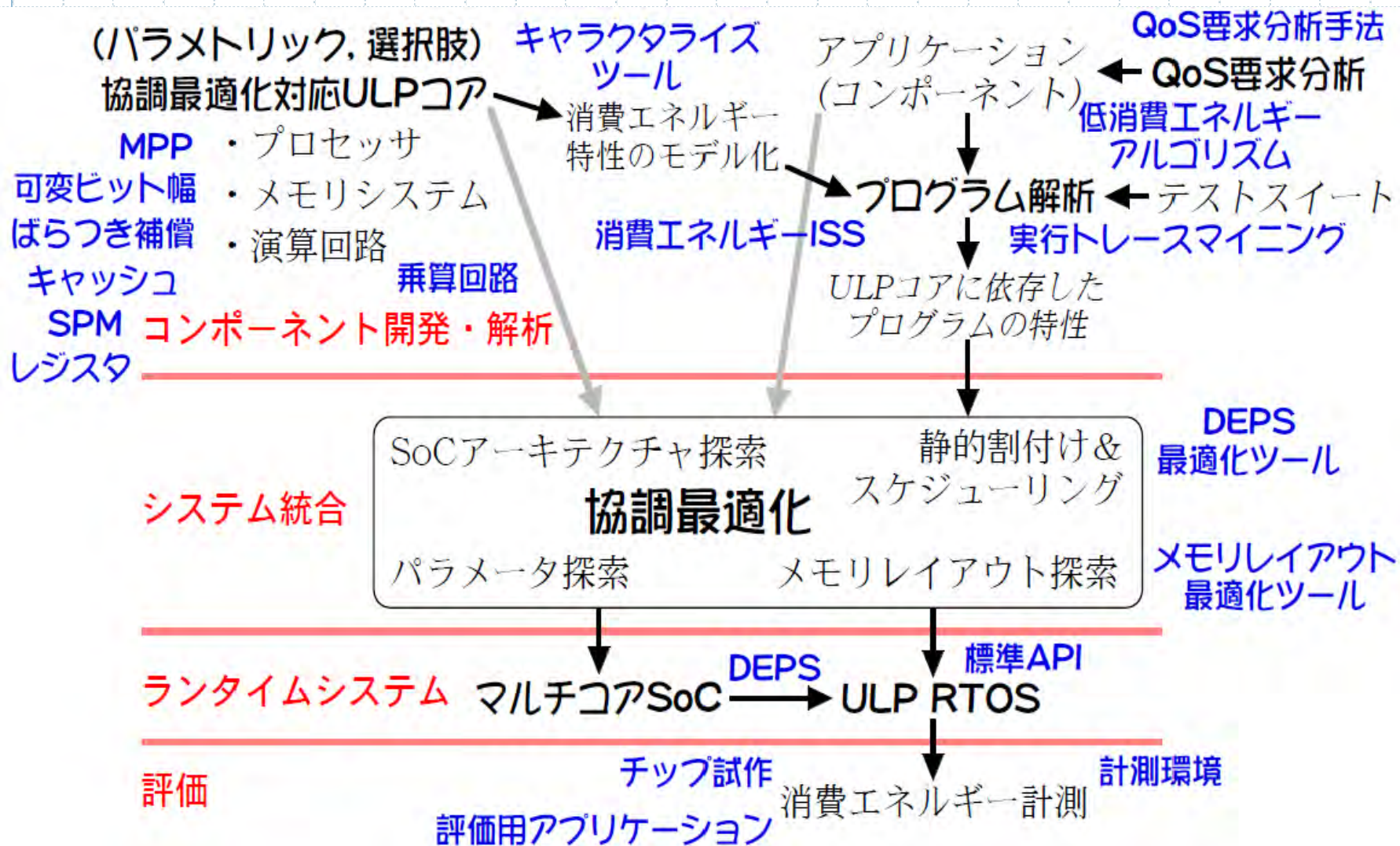
- LSIの動作電圧が低くなっており，DVFSの余地が減少
- 一方で，高速プロセッサの複雑化は著しく，エネルギー効率低下
- 消費エネルギーと性能にトレードオフの関係があれば，それを用いて最適化する



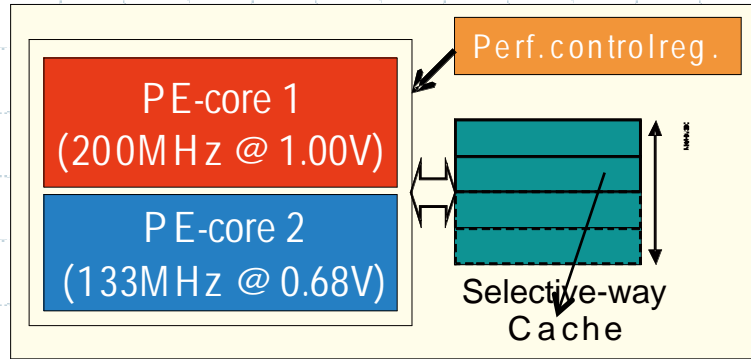
研究プロジェクトの全体像



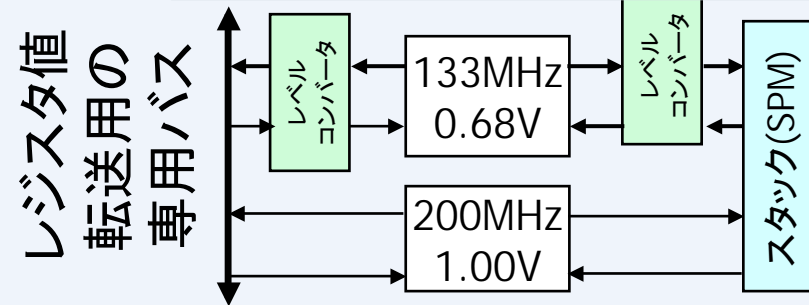
取り組んできた要素技術



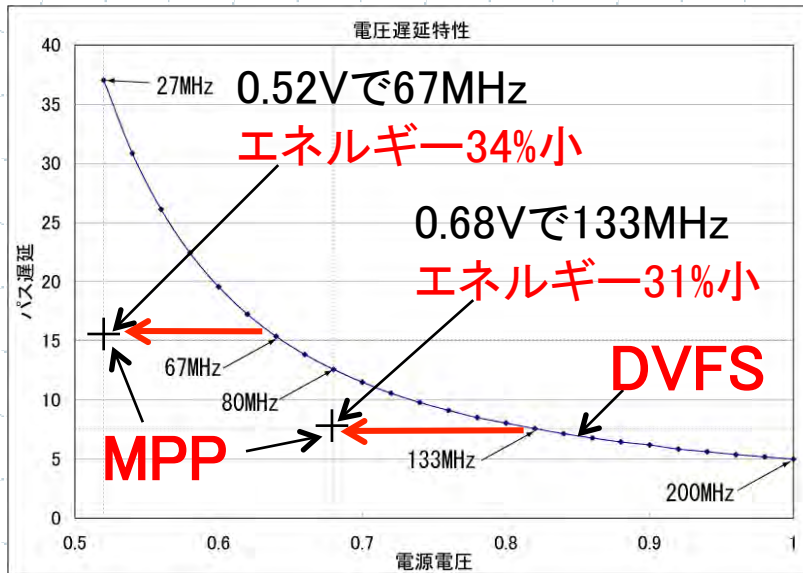
マルチパフォーマンスプロセッサ(MPP)コア



提案手法 切替オーバーヘッド $1 \mu s / 10 nJ$



低電圧時のエネルギー効率



既存手法 (DVFS)

プロセッサ	DPMソフト	切替時間
AMD Mobile K6 [1]	PowerNow!	200 μsec
StrongARM SA-2 [2]	組込みLinux	150 μsec
Transmeta Crusoe [3]	LongRun	> 20 μsec

- [1] AMD, "AMD PowerNow! Technology – Dynamically Manages Power and Performance"
- [2] "Compaq iPAQ H3600 hardware design specification ver.0.2f"
- [3] M. Fleischmann, "Reducing x86 operating power through LongRun" IEEE 12th Hot Chips Symposium, August 15, 2000

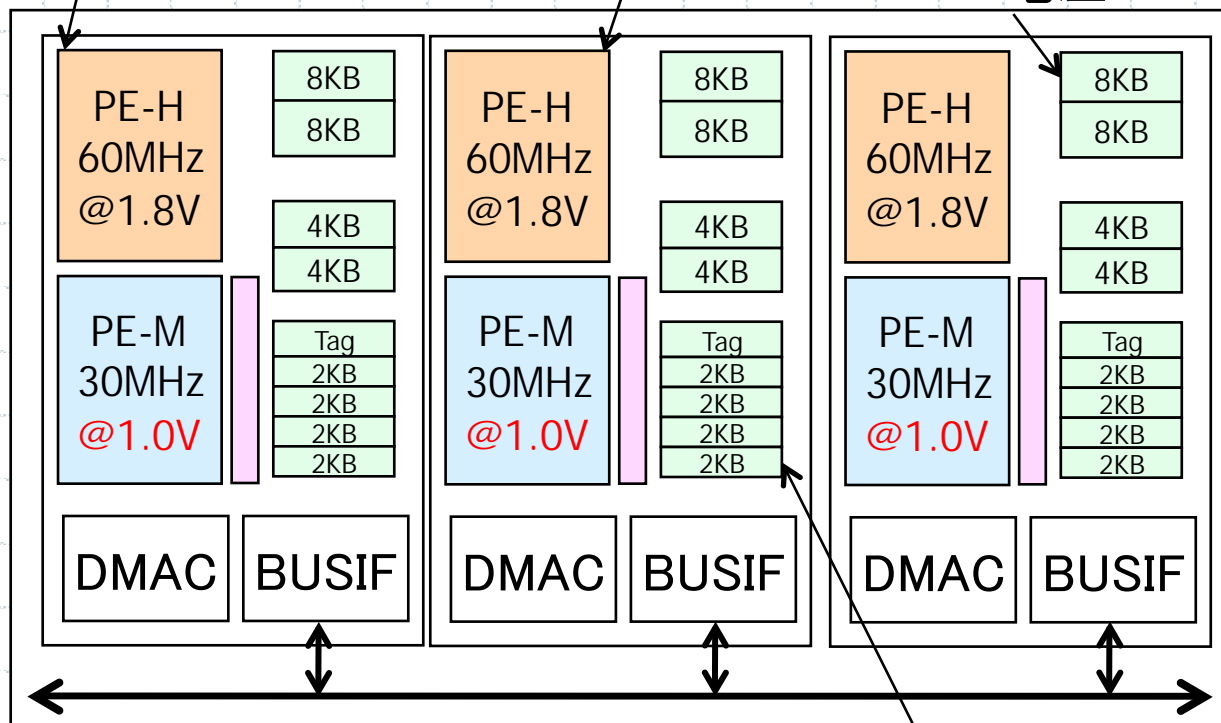
マルチMPPコアチップの試作

- 0.18 μm プロセス 10mm \times 7.5mm 257ピン
- ULP RTOSが動作する仕様で実装

PEコアの周波数はグローバルバスの整数倍

3MPPコアSMP

各コアは東芝MePベース
SRAM電圧1.8V



Post-layout simulation
で正常動作を確認



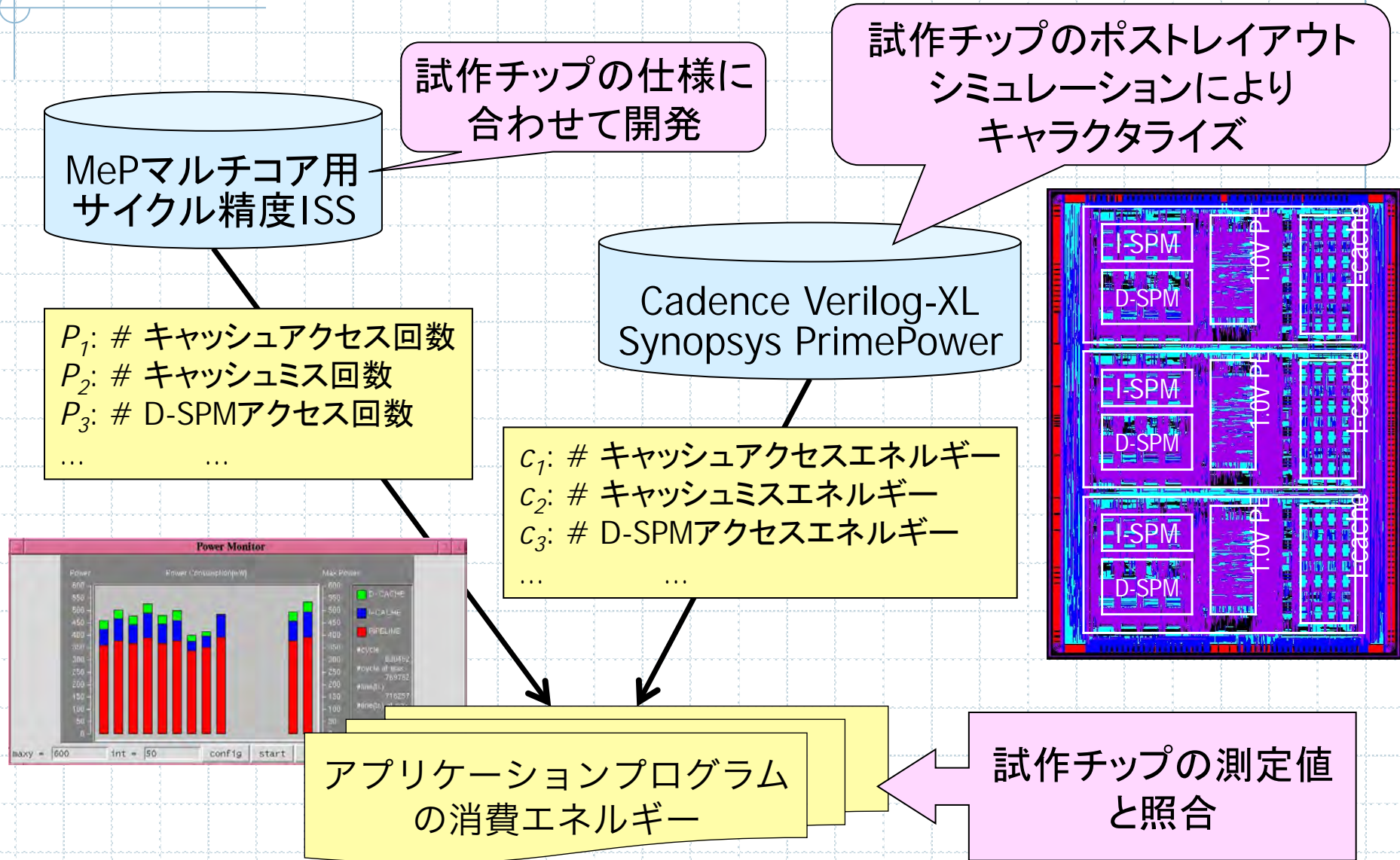
AMBA AHB 30MHz

キャッシュのウェイ数を切換え可

シミュレーション環境の開発

- ◆ MePマルチコア用サイクル精度シミュレータ（MePインテグレータ）を拡張して、試作チップの仕様に対応したシミュレータを開発
 - 動作周波数の動的切換えに対応
 - キャッシュウェイ数の動的切換えに対応
 - ログ取得機能を拡充
- ◆ 消費エネルギー見積りツールを開発
 - シミュレータの出力したログから、消費エネルギーを見積もる
 - 消費エネルギー算出のためのパラメータは、試作チップのポストレイアウトシミュレーションの結果によりキャラクタライズする

消費エネルギー見積りの流れ



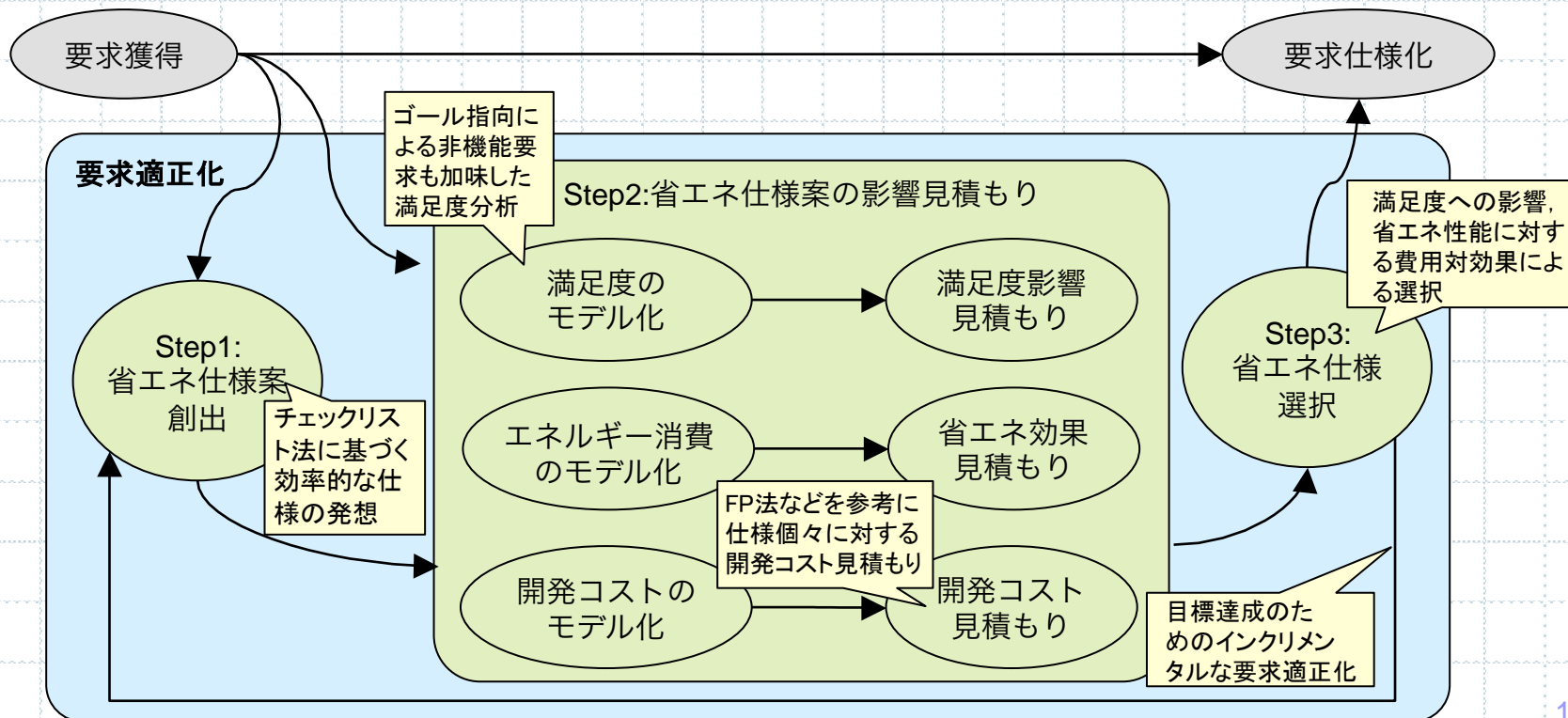
QoS要求適正化による消費エネルギー削減

◆ 背景

- 多くの製品開発では、上流工程からの統括的な省エネルギーへの取り組みは不十分
- 高機能化/高性能化が、省エネルギーよりも優先される傾向にあった

◆ 目標

- ユーザ満足度を損ねずに省エネルギー化を実現するための要求分析（QoS適正化）手法の確立



低消費エネルギーアルゴリズム

◆ 消費エネルギーの小さいアルゴリズムとは？

- ナイーブな動機：アルゴリズムが使うエネルギーを，例えばオーダーで議論できないだろうか？
- 当たり前前の結論：実行性能の良いアルゴリズムは，消費エネルギーも少ないのが基本

◆ 目標：必ずデッドラインまでに実行を終えるという制約下で，平均消費エネルギーを最小化するアルゴリズムは？

- リアルタイム制約を守るためには，最悪実行サイクルが重要
- 平均消費エネルギーを下げるためには，平均実行サイクルが重要
- DVFSを効きやすくするのは，早期に残り実行サイクルが減少することが重要

◆ 静的VFSにおける指標を提案

- 理想的な状況では， $(\text{最悪実行時間})^2 \times \text{平均実行時間}$ を最小化するアルゴリズムが最適
- 消費エネルギーによるアルゴリズムの比較を可能に

ケーススタディ：ソーティングアルゴリズム

◆ 混合整列法：消費エネルギー最適化が有効に働く

- 最初は、平均的に高速なクイックソートを使用
 - ◆ ほとんどの入力に対し高速に終了
- 残り最悪実行時間が短くならない場合には、途中から、最悪実行時間が抑えられるヒープソートに切り換える

◆ クイックソートにおける早期分割法

- 通常のクイックソートでは、スタックの使用量を抑えるために、小さい方から分割
 - ◆ 実行早期に残り最悪実行時間が減少せず、DVFSが有効に働かない
- 早期分割法（大きい方から分割）を提案
 - ◆ 実行早期に残り最悪実行時間が大幅に減少し、DVFSが有効に働く

！ 性能最適化とエネルギー最適化は異なる

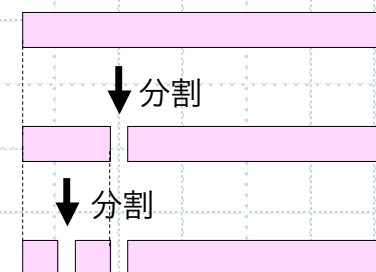


図. 小さいほうからの分割法
(通常の実装法)

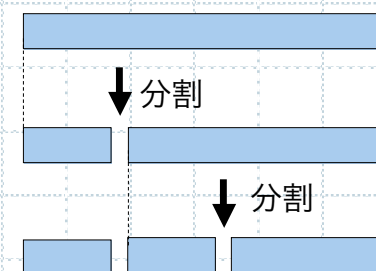


図. 大きいほうからの分割法
(提案手法)

ULPソフトウェア開発環境

◆ ULPソフトウェア開発環境とは？

- 組込みシステムの消費エネルギー最適化を支援するソフトウェア開発環境とリアルタイムOS

◆ 対象アプリケーション

- ハードリアルタイム性が求められる組込みシステム
- タスクモデル：周期タスク（+最小起動間隔が既知の非周期タスク）、タスク間同期なし
- スケジューリング方式：静的優先度ベーススケジューリング

◆ 対象ハードウェア

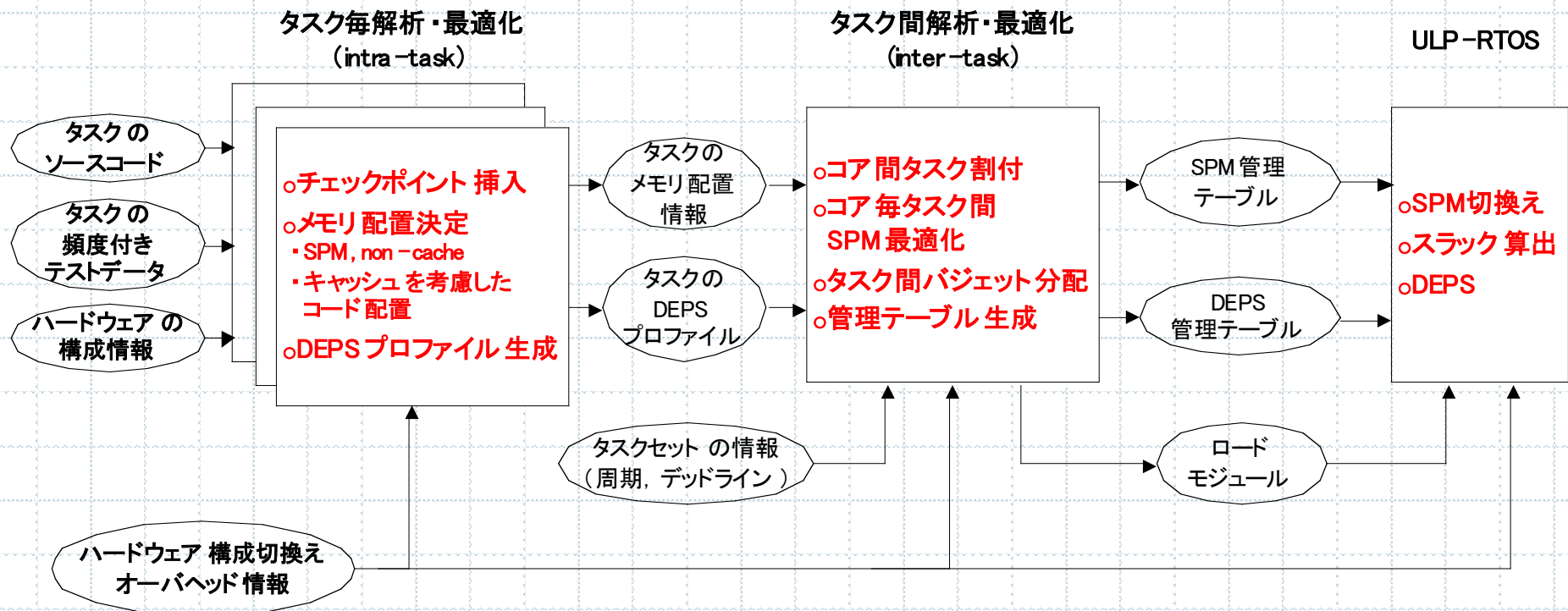
- マルチコアプロセッサ
- 消費エネルギー/性能を実行時に変更できるプロセッサ

◆ 最適化の方針

- 最悪実行時間を保証（制約条件）
- 平均消費エネルギーを最小化（最適化目標）

ULPソフトウェア開発環境の全体像

- ◆ 3フェーズによる段階的最適化
 - Phase 1：タスク毎解析・最適化
 - Phase 2：タスク間解析・最適化
 - Phase 3：実行時最適化 (ULP RTOS)



タスク毎解析・最適化

◆ 入力情報

- タスクのソースプログラム
- 重み付きの入力データ（重みは入力データの出現頻度を表す）
- HW構成に関する情報

◆ 処理内容

- チェックポイント（タスク中の実行中に、HW構成を変更する候補となる箇所）の決定とRTOS呼出しコードの挿入
- メモリ配置情報の決定
 - ◆ プログラム領域のSPMとメインメモリへの最適配置
 - ◆ スタック領域のデータSPMへの配置とコードの書き換え

◆ 出力情報

- メモリ配置情報
- DEPSプロファイル

チェックポイントの決定

- ◆ チェックポイントを入れるべき箇所
 - タスクの残り実行時間が大きく変わる箇所
 - ◆ タスクの残り実行時間が短いとわかれば, HWを低速・小電力の構成に変更
 - ◆ タスクの残り実行時間が長いパスを実行した時は, HWを高速・大電力の構成に変更
 - タスクの性質が大きく変化する箇所
 - ◆ キャッシュのサイズ/ウェイ数を変更する候補点として必要
 - チェックポイントなしに実行する時間が長くなりすぎないように, 適当な間隔でチェックポイントを入れる
 - ◆ 動的なスラックを活用するため
- ◆ 実行トレースマイニング: チェックポイントの決定処理
 - 大量の実行トレース情報から, 上に該当する箇所を抽出

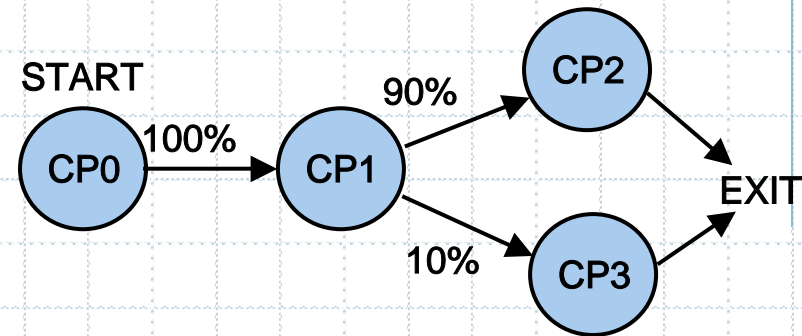
DEPSプロファイルの生成

◆ DEPSプロファイルの構成

- 有効な HW構成の組み合わせのリスト
- 各組み合わせにおける最大残り実行時間 (RWCET) と残り平均消費エネルギー (RAEC)

◆ プロファイル生成の難しさ

- 多くの組み合わせの中から有効なもののみを抽出する必要



タスクの制御フローと
チェックポイントの例

CP0	CP1	CP2	CP3	RWCET	RAEC
config2	config2	config1	config4	23.7	433.2
config3	config3	config1	config4	28.3	345.1
config3	config4	config2	config6	32.1	301.5
config4	config4	config2	config6	35.2	273.8
config6	config6	config4	config6	45.1	205.2

タスクのDEPSプロファイルの例

タスク間解析・最適化

◆ 入力情報

- 各タスクのDEPSプロファイル
- 各タスクのメモリ配置情報
- 各タスクのリアルタイム制約（起動周期, デッドライン）
- HW構成に関する情報

◆ 処理内容

- タスクのコアへの割り付け
- コア毎のSPM配置の最適化
- コア毎のタスクの実行バジエットの分配

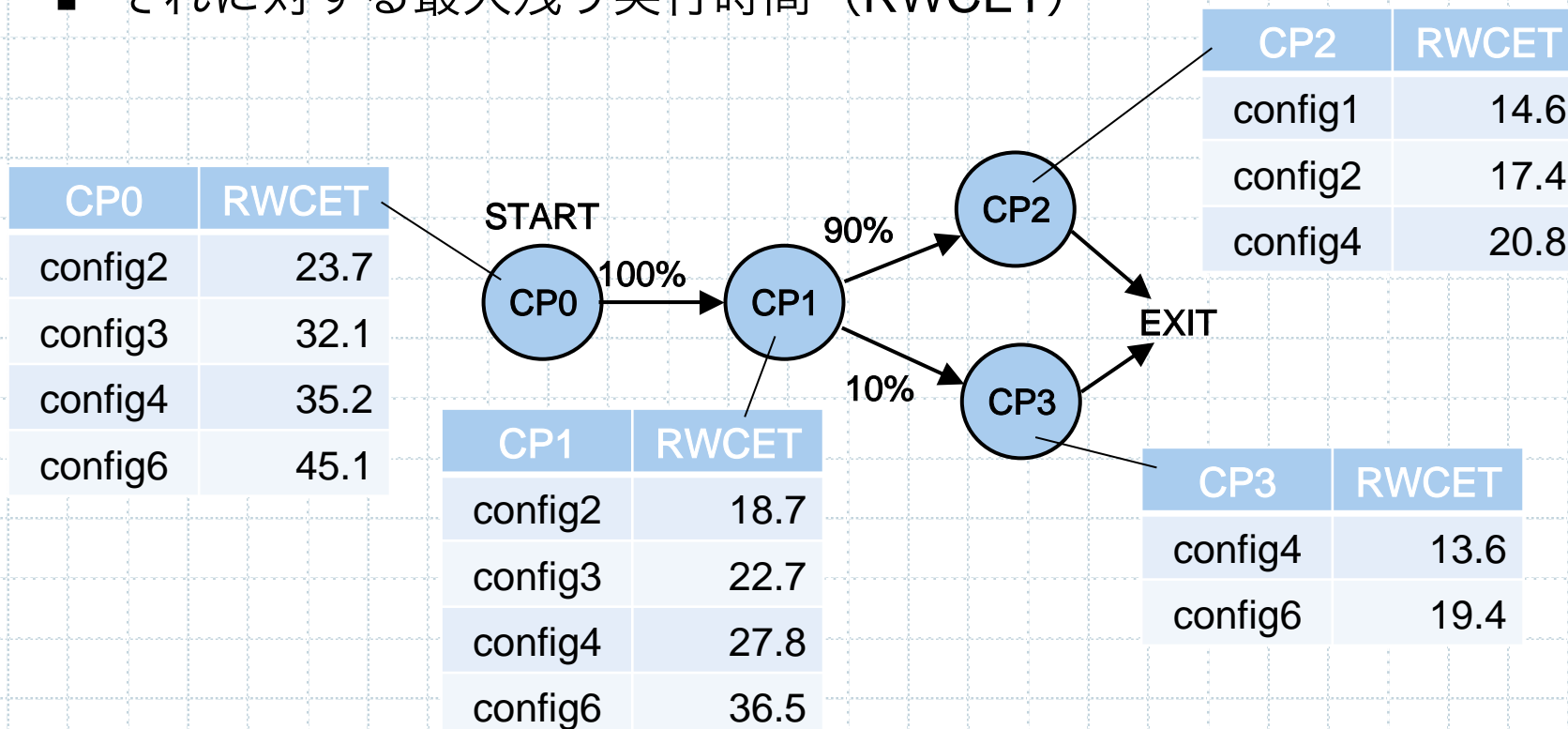
◆ 出力情報

- DEPS管理テーブル
- SPM管理テーブル

DEPS管理テーブル

◆ DEPS管理テーブルの構成

- 各チェックポイント毎に有効なHW構成のリスト
- それに対する最大残り実行時間 (RWCET)



チェックポイント毎のDEPS管理テーブル

実行時最適化 (ULP RTOS)

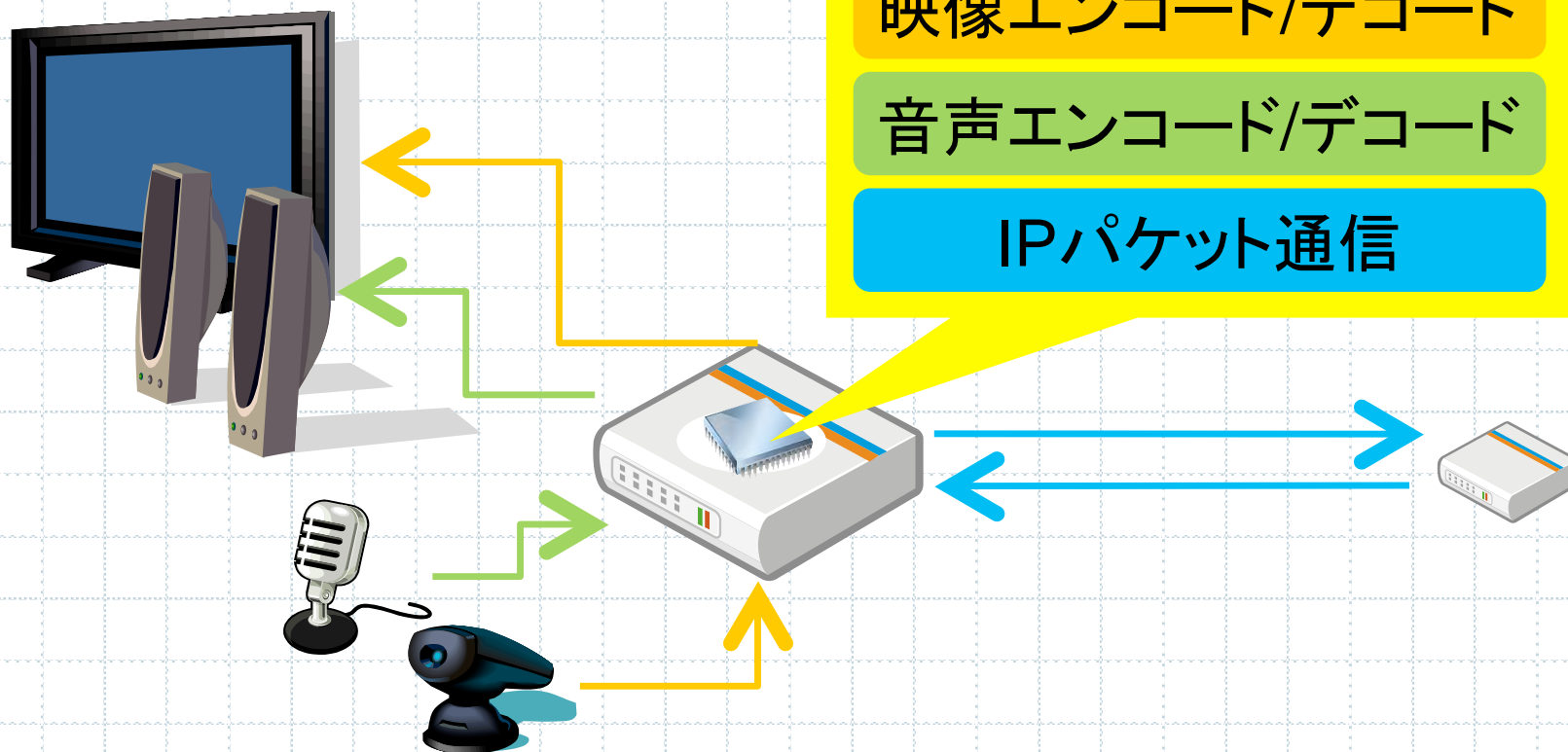
- ◆ TOPPERS/FMPカーネルに対して、消費エネルギー最適化のための以下の機能を追加
 - スラック時間の算出処理
 - チェックポイント毎に、最適なHW構成を決定し、それに切り換える処理
 - タスク毎にSPMを切り換える処理
- ◆ 参考) TOPPERS/FMPカーネルとは？
 - マルチコアプロセッサ向けのオープンソースのリアルタイムOS
 - 製品への搭載事例もあり (右の写真)



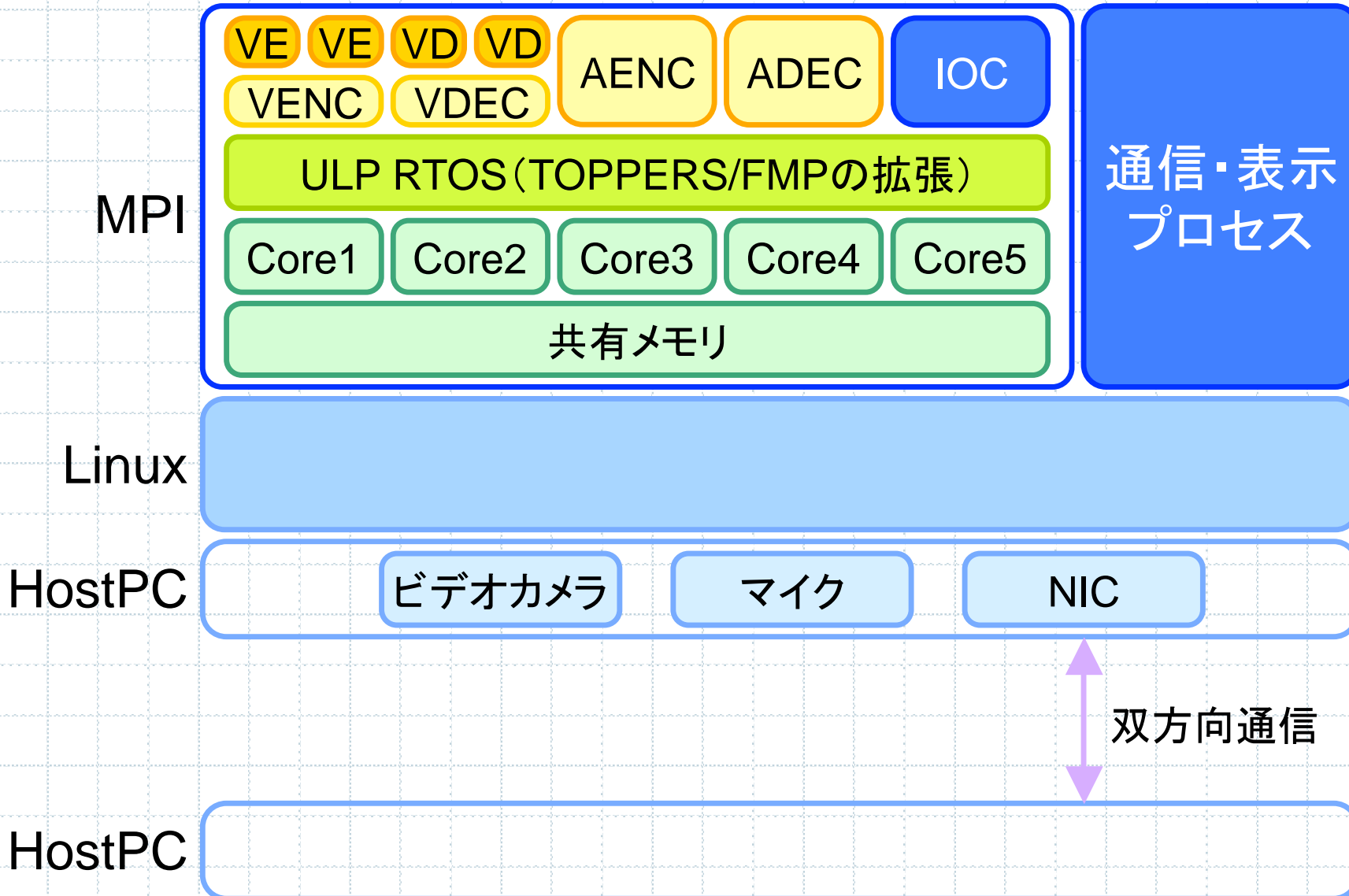
シャープ 945SH

統合評価用アプリケーション

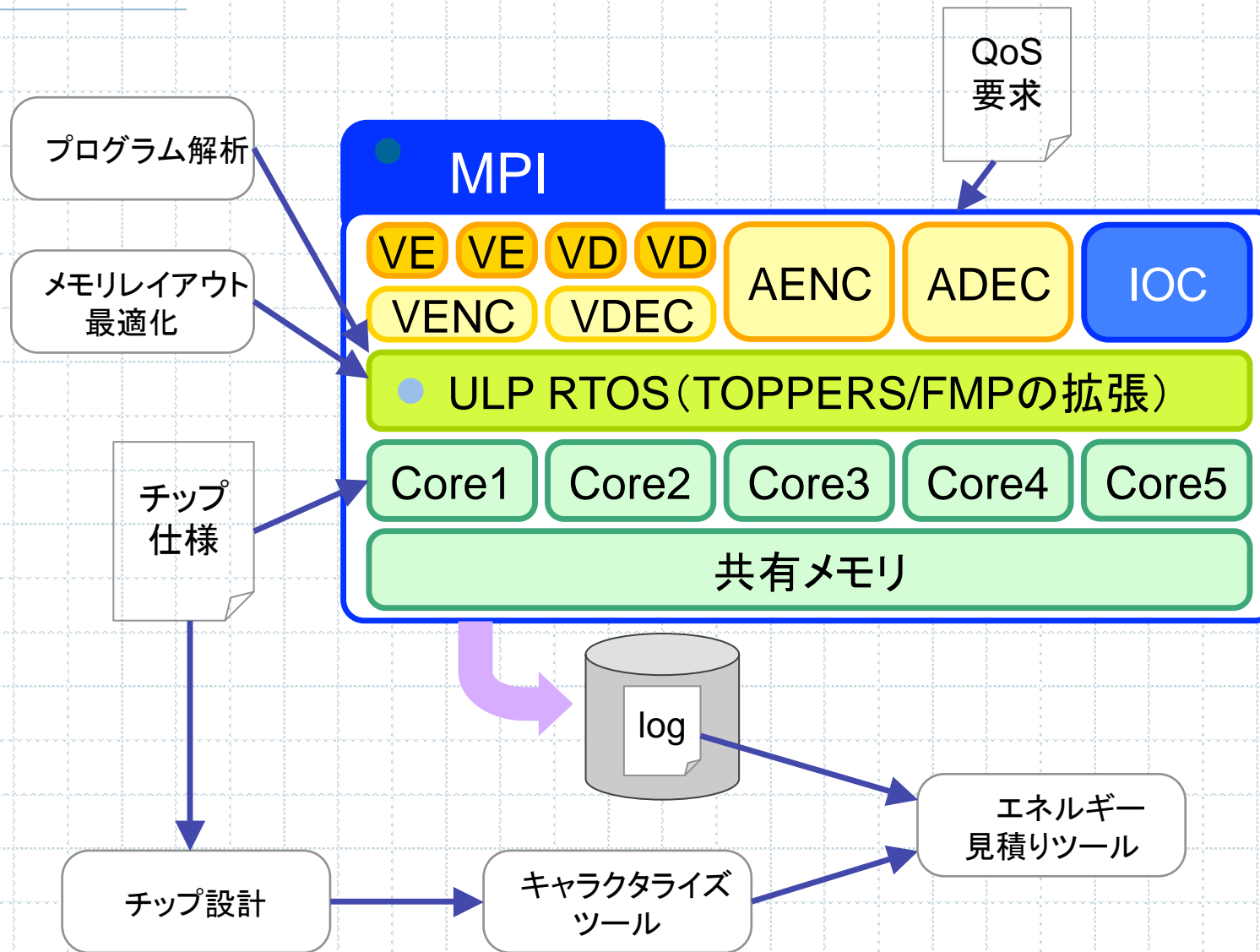
- ◆ ソフトウェアとハードウェアが協調し，消費電力を最適化する手法を評価・デモンストレーションするためのアプリケーション
- ◆ 簡易テレビ会議システム



統合評価システムの構成



エネルギー評価の流れ



統合評価システムの実行画面

研究成果適用前

研究成果適用後

CPU	58831943 nJ
DEPS	0 nJ
SFM	4897 nJ
CACHE	28416867 nJ
MEMORY	183699686 nJ
TOTAL	271053395 nJ

CPU	4318698 nJ
DEPS	1604 nJ
SFM	1176465 nJ
CACHE	8244798 nJ
MEMORY	110770941 nJ
TOTAL	1633807994 nJ

統合評価システムに実装する技術

要素技術		試作チップ (最終目標)	シミュレータ (最終目標)	現時点
ボルテージホッピング・DEPS・実行トレースマイニング		✓	✓	✓
可変ウェイキャッシュ		✓	✓	✓
マルチコア・DPM		✓	✓	
QOS要求最適化		✓	✓	✓
キャッシュ用メモリ配置	命令	✓	✓	
	データ			
SPMメモリ配置	命令	✓	✓	✓
	データ	✓	✓	
カナリアFF			✓	
Single-Cycle-Accessible Two-Levelキャッシュ				
ハイブリッドメモリ			✓	
製造ばらつきの考慮			✓	
PDCAサイクル				
キャッシュウェイ選択				
低エネルギーアルゴリズム				
バッテリー長寿命化スケジューリング				
HWアルゴリズム				
低電力レジスタ			✓	

5年間の発表・受賞実績 (採録決定を含む)

	国際	国内
論文誌	19	1
解説記事	0	2
招待講演	10	5
口頭発表	39	46
ポスター発表	4	4
特許	0	1

◆ 受賞

- 石原亨, 平成21年度 文部科学大臣表彰 若手科学者賞, 2009年4月.
- 高瀬英希, 平成21年度 IPSJ論文船井若手奨励賞, 2010年3月.
- 石原亨, 平成21年度 情報処理学会 長尾真記念特別賞, 2010年5月.
- その他14件

おわりに

◆ 5年間の自己評価（もう4ヶ月頑張るつもりだが）

- 60分の1という数値目標は非常に厳しかった。最終審査までに達成度を算出する予定だが、達成できたと言うのは難しい見込み
- DEPS, MPP, 低消費エネルギーアルゴリズムなど、新しい概念を提案できたことは評価できるものと自負
- DEPSフレームワークの完成には、まだ継続的な研究が必要であるが、CRESTのような大規模な予算がなければ、フレームワークを提案できていなかっただろう

◆ 今後の計画と活動

- チップ試作と統合評価システム（デモ）は、今年度末までにさらに作業し、来年4月にはより完成度の高いものをお見せしたい
- ULPソフトウェア開発環境の実用化に向けて、組込みソフト開発ツールメーカーと協議を開始している

◆ 謝辞

- 名古屋大学、九州大学、東芝、立命館大学の研究プロジェクトのメンバ各位に感謝します