

戦略的創造研究推進事業 CREST
研究領域「ディペンダブル VLSI システムの基盤技術」
研究課題「アーキテクチャと形式的検証の協調による
超ディペンダブル VLSI」

研究終了報告書

研究期間 平成 19年 10月～平成 25年 3月

研究代表者:坂井 修一
(東京大学大学院
情報理工学系研究科 教授)

§ 1. 研究実施の概要

(1) チーム全体の研究構想と概要

① 本研究の背景、社会や産業に存在する問題と本研究の課題設定

社会インフラとしての情報システムの重要性は加速度的に増しており、その基盤となる VLSI のディペンダビリティは社会の安全・安心に欠かせないものとなっている。VLSI のディペンダビリティは、従来、シミュレーションによる動作検証や冗長回路による多重実行などの手段によって確保されてきたが、VLSI の微細化・複雑化と用途の拡大によって、従来にはなかった高度なディペンダビリティが求められるようになった。

本研究課題は、VLSI システムのディペンダビリティを飛躍的に向上させる技術を新規提案し、その有効性を検証することを目標とする。特に従来は得ることのできなかった VLSI の信頼性の獲得を飛躍的に高める技術を提案し、シミュレーションと試作機の製作・評価を通してこれを検証する。検証技術とディペンダブルアーキテクチャ技術の2つを核としてこれにテスト技術・回路技術を加え、それぞれを新規に研究開発するとともに、これら諸技術の協調によって、個々の技術では達成できないディペンダビリティを VLSI 上に実現する技術を研究開発する。

② 本研究チームの達成目標

◆形式的検証技術

- (1) C/C++言語ベース VLSI 高位設計において、形式的検証手法を高度に進めることで、近未来のマイクロプロセッサを含む VLSI 設計の信頼性を飛躍的に高める。
- (2) 上位設計からテストを陽に意識しテスト容易化・検証容易化を実現する設計手法の確立を通してテスト・検証コストの大幅な削減を図るとともに、必要に応じてフィールドプログラマブル性を部分的に導入可能な合成手法も併用することで、テスト段階において設計の部分的修正を可能とし、形式的検証でとりきれない設計ミスや製造上の故障についても、テスト段階でとることができるようにする。

◆回路・アーキテクチャ技術

- (3) 形式的検証、テスト段階の修正でも取り切れない製造ミスや故障について、これを回路技術で緩和する。具体的には、タイミング故障検出・回復のための回路についての研究開発および評価を行う。
- (4) 以上の(1)(2)(3)の手段においてとりきれない設計ミスや製造故障をアーキテクチャのレベルで解決するディペンダブルアーキテクチャを開発する。具体的には、タイミング故障防止・検出・回復のためのアーキテクチャの研究、永久故障検出・回復のためのアーキテクチャの研究開発を行う。(3)(4)の回路技術・アーキテクチャによる解決において最も特徴的な点は、従来最悪値の積算でなされていた VLSI 設計を、「典型値+回路・アーキテクチャによる補正」によって実現可能とすることである。

◆統合技術

- (5) ディペンダビリティ向上のために、(4)で提案したディペンダブルアーキテクチャ技術自体を形式的に検証する。
 - (6) 既存のアーキテクチャに加えて最新のアーキテクチャを形式的検証する。具体的には、マルチコアやマルチスレッドなどに含まれる新しい機構・アーキテクチャについて、その形式的検証を行う。
 - (7) 各設計階層間のディペンダビリティ役割分担を最適化し（どの設計階層で実現するのが最適かを定めるなど）、最終的にこれまでの手段では得られなかった VLSI のディペンダビリティを達成する。
- 以上本課題の遂行によって、多階層の機構によって、総合的に VLSI のディペンダビリティを実現する（図1）基盤が築かれる。

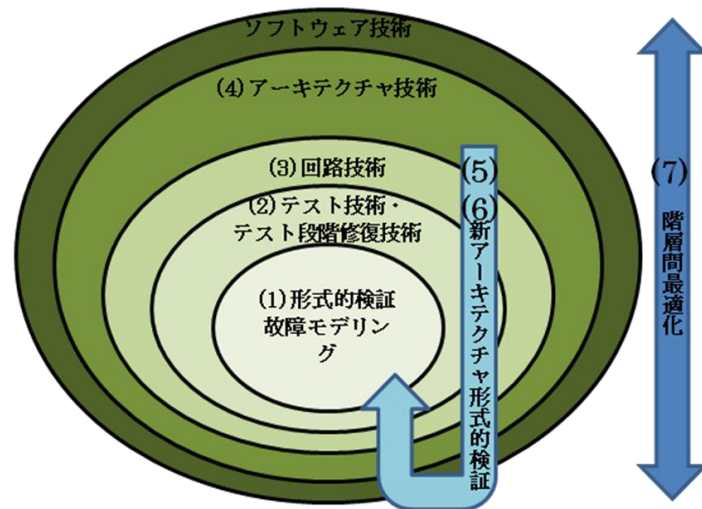


図 1．ディペンダビリティの階層

③本研究の特徴

等価性検証を高度に進めることで、適用規模を従来の一桁以上拡大してプロセッサや SoC など大規模システムまで拡大し、かつ、現実的な時間内に検証できるようにすることで、真に実用的な形式検証を実現した。

デザインばらつきに対する耐性をもつ回路・アーキテクチャ技術を新規開発し、VLSI のタイミング制約を緩和させるとともに、動作速度を数十%以上向上させることに成功したサーバ用・組み込み用を問わず、あらゆるデジタル VLSI で用いることが可能であるが、現在はサーバ・PC 用途の汎用プロセッサ LSI に搭載することを考え、知財化などを行った

宇宙・深海などの人間が修理することの困難な場所で起こる故障に対して、動的再構成技術を柔軟に用いることでこれを回避・回復し、低コスト・高信頼の VLSI システムを構築できるようにした。再構成可能アーキテクチャを有効利用するだけでなく、「再構成制御そのものを仮想化する」という斬新なアイデアを導入し、故障箇所によらず修復可能なアーキテクチャを実現した。

故障を自動で回避したり、自動多重実行したりする機構をルータ内にもつメニーコア VLSI を提案・試作し、真にディペンダブルなプロセッサ VLSI の将来像を明らかにした。これによって、複雑なソフトウェアを構築することなく、プログラム実行時に高いディペンダビリティが確保されるようになった。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

形式的検証、検証技術実証、アーキテクチャ、ディペンダビリティ支援ルータ、の4つのグループを置き、それぞれ検証、検証技術の出口、回路・アーキテクチャ、メニーコアの各研究を受け持つとともに、後2者がディペンダブルアーキテクチャやメニーコアプロセッサの設計データを形式的検証グループに提供し、形式的検証グループがこれらの検証を行った。また、メニーコアプロセッサの中でアーキテクチャグループの耐タイミング故障技術の利用を検討した。

それぞれの技術について数ヶ月に一度綿密な情報交換を行い、進捗や研究協力に関する確認や、必要に応じて新規研究課題の追加などを行った。こうした場では、さらに、VLSI のディペンダビリティをどの階層でどのように実現するべきか討論を行い、コストを含む最適化について検討した。

2) 領域外部の企業等との連携

・等価性検証ツールを国内外の 5 大学、5 企業に NDA 締結の上で提供し、評価を行った（詳細は 2 で記述、以下同様）

- ・ポストシリコンデバッグ・検証について、スタンフォード大学、トロント大学と共同研究を進めた。
- ・算術演算回路の解析について、ドイツ・Kaiserslautern 大学に対してプロトタイプツールを提供し、従来手法より大幅に性能が改善することを確認した。
- ・永久/過渡故障耐性をもつ FPGA アーキテクチャについて、JAXA 斎藤教授との間で、宇宙用高信頼デバイスに関する情報交換を行っており、この分野への展開をはかった。さらに、日立製作所との間で、本研究の展開を図ることになった。

3) 領域内他研究チームとの連携関係

- ・安浦チームとの間で、ディペンダブルデザインと耐タイミング故障技術に関する共同の検討を行った。
- ・米田チームとの間で、NoC、メニーコア技術に関する共同の検討を行った。上位層を本チーム吉瀬グループが、階層を米田チームが分担する方向で検討した結果、吉瀬グループは本研究終了後、米田チームに移って、引き続き研究を進めることとなった。

(2) 研究グループの研究の概要

1) 「ディペンダブルアーキテクチャ」グループ(坂井グループ)

① 本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループは、回路技術・アーキテクチャ技術によって VLSI のディペンダビリティを向上させることを目標に、研究を進めた。さらに、ディペンダブルプロセッサの設計データを形式的検証グループに提供し協力してその動作検証を行うとともに、形式的検証グループおよびディペンダビリティ支援ルータグループと協力して、VLSI システム上でのこれら技術の組合せと最適な役割分担の検討・評価を行った。

回路・アーキテクチャ分野で本グループが受け持った研究課題は以下の 3 点である。

- タイミング故障耐性を持つプロセッサの構成方式
- タイミング故障耐性をもつクロッキング方式
- 永久/過渡故障耐性をもつ FPGA アーキテクチャ

研究課題 a 及び b については、回路に発生するタイミング故障を検出し、回復するための要素技術である。半導体プロセスの微細化に伴い、チップ内の回路遅延のばらつきが増大している。従来の設計手法では、最も遅延の大きいパスの最悪のケースに合わせて電圧や、クロック周波数を決定してきた。このようなワースト・ケース設計は、チップ内ばらつきが増大するに従ってマージンの量が大きくなり、悲観的になりすぎる傾向がある。その結果、このままワースト・ケース設計を続けると、近い将来、微細化による性能の向上が見込めなくなる可能性がある。これらを解決する技術を研究開発した。

研究課題 c は、高信頼の LSI を安価に実現することを目指したものである。高信頼性が要求される分野(航空宇宙、原子力、医療など)においては、そのシステムで用いられる LSI は当然、高信頼のものでなければならない。高信頼部品の代表的なものに MIL 規格品(米軍仕様の高信頼部品)が存在するが、これらは非常に高価で、入手性が悪い。また、新規に専用の LSI を開発する選択肢も、コスト的に現実的でない。このような理由から、高信頼システムの開発は、部品代だけでも多額の費用がかかるという問題を抱えている。これらを解決する技術を研究開発した。

② 本研究グループの達成目標

本グループの研究課題 a、b における目標は、DVFS (Dynamic Voltage and Frequency Scaling) と動的タイミング故障検出・回復を組み合わせることで、実際の電圧、周波数での動作を可能とすることである。

そのために必要となるのは、タイミング故障を検出した際に、正しくプロセッサを回復させることである。研究課題 a では、プロセッサ内でタイミング故障によって影響の受けた情報を確定させずに、正しく再実行する仕組みを提案、実装することを目指した。

また、タイミング故障自体を起こりにくくするアプローチも重要な課題となる。研究課題 b では、製造時、動作時の各種のばらつきに柔軟に対応できるクロッキング方式を提案、実装した。従来の FF によるクロッキング方式と比べ、タイミングに関する制約を大きく緩和させ、タイミング故障の発生確率を減少させるとともに、より積極的なクロック周波数の向上を図った。

上記の二つの技術を組み合わせることで、DVFS + 動的タイミング故障回復を実現し、その有効性を確認した。この手法によって、実際の遅延に基づく電圧、周波数設定が可能になると、ワースト・ケース設計によるマージンの見積もりから解放される。結果として、半導体の微細化による性能向上が、今後も見込めることが確認された。

研究課題cでは、FPGAをベースにして安価に高信頼LSIを実現することが目標であった。ここでは、耐故障性を実現するために追加するハードウェアをできるだけ小さくする必要がある。これが可能になれば、通常のFPGAからのコストアップを最小限に留めることができる。本研究では具体的にこれが可能となるアーキテクチャを示し、評価・実証することで、通常用途向けに大量に製造、販売しながら、そのまま安価な高信頼LSIとして使用可能な耐故障FPGAが実現できることが確認された。

③本グループの研究の特徴

研究課題aの故障回復技術については、関連する既存手法にRazor、Razor IIがある。この手法は、データパス上のタイミング故障にのみ対応するもので、対象とするプロセッサもIn-Orderの単純なものに限定されている。実用的なプロセッサへの応用を考えると、Out-of-Orderの実行系を備える複雑なプロセッサに対しても適用できる故障回復手法が必要不可欠である。

本グループで提案した手法は、リセットをベースにすることでデータパスのみならず、制御パスに生じたタイミング故障も包括的に検出、回復可能とする。さらに、In-Orderの実行系では生じなかったOut-of-Order特有の問題に対しても解決策を提供する。これはロード・ストアキューに生じたタイミング故障を、従来の方法では正確に回復できなかった問題に対応するものである。これらのアプローチは、プロセッサへの故障回復技術の応用を考える上で大きな意義があるといえる。

研究課題bのクロッキング方式は、遅延に対して許容できる範囲を大きく広げることでタイミング故障耐性を持たせる手法である。関連研究のRazorの手法では、信号の遅延がサイクル・タイムを超えた瞬間にエラーとして検出し、回復動作が実行されるのに対し、本手法では遅延の累積が一定以上を超えるまで検出、回復を行わない。言い換えると、あるステージで動的に遅延量が変化し、サイクル・タイムを超えていても、次のステージで取り戻すことができれば、何の支障もなく、動作を継続することができる。この性質により、動的な遅延の変動に対しても、そのばらつきを吸収することができる。

本手法ではこの考え方に加え、入力ばらつきに着目した。入力ばらつきとは、入力値によって出力値が確定するまでの遅延時間が、変動することを指した新しい概念である。入力ばらつきに関する考察の結果、出力値にクリティカルパスが関係する確率は非常に低いことが判明した。入力ばらつきを考慮して、より実地的な遅延にもとづき、動作点を決めることで、タイミングに関する制約を緩和した。この手法は、回路レベルのアプローチであるため、その適用範囲はプロセッサにとどまらず、同期回路一般に応用可能な技術である。

課題cでは、FPGAに耐故障性を付加する際に、追加ハードウェアをいかに最小限に抑え、通常用途と両立させるかが重要な点となる。FPGAに構成する回路を三重冗長化することで故障検出を行う。さらに、検出箇所を動的に再構成することで故障から回復を行う。この際、回路を再構成するために必要な計算を行う回復用ロジックが必要となる。このロジックを従来のようにハードワイアードの固定論理として追加するのではなく、ユーザロジックとしてソフトコアの形で実装する。この結果、ハードウェアを追加せずに高信頼機能を付加することが可能である。同時に回復用ロジックに生じた故障も自身で検出、回復可能であるため単一故障点が生じないという利点も生まれる。

④研究実施方法(研究チーム内外の連携関係など)

課題a、bについては、アーキテクチャグループで提案したディペンダブルアーキテクチャを形式的検証グループに提供し、形式的な検証を行った。また、プロセッサVLSIのベンダーに対して知財として提供するための準備を進めている。

課題cについては、JAXA宇宙科学研究本部の齋藤教授と連携し、宇宙用高信頼デバイスに関する情報交換を行っている。今後も協力体制を築きつつ、宇宙開発の現場への実用化をはかっていく予定である。

2)「形式的検証」グループ（藤田グループ）

① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

本グループでは、設計の正しさの検証技術、各種論理的・電氣的誤設計のデバッグ支援技術、高性能演算回路の解析技術、ならびにディペンダブルアーキテクチャ設計の形式的な解析手法に基づく検証・デバッグ・最適化支援技術を研究開発し、他グループの研究成果に適用し融合することによって、マイクロプロセッサやネットワークプロセッサなどから構成されるディペンダブルアーキテクチャ全般に対するディペンダブルな設計技術の構築を行った。また、形式的検証技術に関しては、そのツール化を推進し、利用が期待できる企業と協調し、実設計や企業で実際に利用されている設計フローの中での評価を通じた実用性向上に関しても研究開発を進めた。

<課題1> 等価性検証ツールの研究開発

本課題では、C言語ベース設計を利用した VLSI 設計に対して、ディペンダビリティ向上のための設計変更や最適化を行った場合を想定し、その前後での等価性を形式的に検証する技術の開発を行った。一般的に、形式的検証では、設計記述の規模に対して指数的に必要な計算量が增大するため、大規模な設計が扱えないのが現状であり、この問題を解決することが主要な技術的課題であった。

<課題2> ポストシリコンデバッグ・検証

VLSI の大規模化・複雑化に伴い、設計検証においてバグを完全に発見することは困難になっており、製造後の VLSI に論理的なバグが残ってしまうことは避けられなくなっている。本課題では、製造後の VLSI チップ中の論理的なバグを中心に、バグ(エラー)の検出方法やデバッグ方法について研究を行った。機能上のバグに対し、可観測性と可制御性に大きな制限がある VLSI チップ上で効率的に検出・デバッグする手法について研究した。

<課題3> 算術演算回路の解析

従来の自動回路合成技術は主に制御回路に特化しており、高品質な算術演算回路の設計に関しては既設計回路を用いるか人手によって設計することが一般的となっている。そのため、ビット幅や演算のタイプなどをカスタマイズしたような算術演算回路を短期間に正しく設計することは現状では非常に難しい。特定演算を行う算術演算回路を短期間に正しく設計することが可能な自動合成技術および形式的検証技術の確立を目指す研究を行った。

<課題4> ディペンダブルアーキテクチャの形式検証

マイクロプロセッサのディペンダビリティ向上の有効な手段として、タイミングエラーなど各種処理エラーを検出し、エラーから自動的に回復するアーキテクチャが提案されているが、アーキテクチャアルゴリズムが複雑であるため、どうしても安全サイドの保守的な設計に成らざるを得ない。本課題は、タイミングエラーのリカバリー機能などディペンダブル機能を取り込んだ最先端プロセッサの効率的な形式的検証手法の研究を行った。

② 本研究グループの達成目標

個々の課題に対する目標は以下の通りである。

<課題1> 等価性検証ツールの研究開発

等価性検証ツールにおける目標は、既存の手法・商用ツールに比べて、検証可能な規模を 1 桁以上高めることである。具体的な設計規模としては、C ベース言語による設計記述で数千行～1 万行規模の等価性検証が可能になることを目標とした。これが達成されれば、多くの VLSI システムのハードウェア部分は、効果的な設計フローと組合せることにより、規模的に検証可能であると言える。なお、研究成果をツール化することで、企業などで実際の設計を用いた評価も進めた。

<課題2> ポストシリコンデバッグ・検証

ポストシリコン(チップ製造後)の検証・デバッグにおける最も重要な点は、チップの実動作速度で生成される大量の信号データを処理できることである。これは、設計段階で取り除くことのできなかった多くのバグは、チップを非常に多くのサイクル数だけ実動作することによって初めて観測可能となることが多いためである。そこで、実動作速度で動作するチップ上で検証・デバッグを行うことが本課題の目標の 1 つであった。

<課題3> 算術演算回路の解析

本課題では、現実的な規模の算術演算回路の自動合成・形式的検証技術の確立およびその設計環境の開発を目標とする。論理関数の充足判定手法や2分決定グラフ(BDD)など従来から研究されてきているが、従来手法では、8～16 ビット程度の回路の解析が処理時間上、限界である。64 ビット以上の現実的な規模の算術演算回路を計算機上で解析するためには、算術演算回路を計算機上で効率的に表現することが不可欠であり、そのような表現を考案することが必要となる。

<課題4> ディペンダブルアーキテクチャの形式検証

ディペンダブルアーキテクチャを正しく検証するためには、エラー回復アーキテクチャ単体の検証だけで不十

分であり、マイクロプロセッサアーキテクチャ全体を含めて検証する必要がある。また、マイクロプロセッサのアーキテクチャにはスーパスカラ、パイプライン、アウト・オブ・オーダー実行など様々な機構があり、またその複雑度も単純なものから非常に複雑なものまで多岐に渡る。本課題では、実用的なアーキテクチャに対しても数時間程度の時間で検証することが可能な手法の確立およびその検証環境の開発を目標とした。

③ 本グループの研究の特徴

形式的検証技術に関しては、等価性検証ツールとして企業などへ提供可能な形にし、実設計も利用して評価改良を進めた。また、ポストシリコンデバッグについては、回路に自動的にプログラマブルな素子を挿入することにより、チップ製造後でも一定の範囲で機能修正を可能とすることでポストシリコンデバッグを支援する技術の確立し、企業と共同で実用ツールの開発を行った。個々の課題の特徴は以下の通りである。

<課題1> 等価性検証ツールの研究開発

大規模な設計の等価性検証においては、検証対象の分割が必要不可欠である。そこで、本研究グループでは、広く用いられている記号シミュレーションをベースとして検証手法に加えて、(i)記述間の差異に注目した局所的な検証、(ii)ルールベースのボトムアップ検証、(iii)ループに対する等価性検証、を提案した。開発している検証ツールにおいては、適用する検証手法は切替え可能になっており、これにより、既存手法に比べて、より広範囲の記述が効率的に検証できる。企業などへの提供も行い、評価改良を進めた。

<課題2> ポストシリコンデバッグ・検証

大量に生成されるチップ信号データから、検証・デバッグに必要な情報を抽出する手法として、(i)通信トランザクション抽出とその解析、および、(ii)対応する上位設計に対する入出力シーケンスの抽出手法、を提案した。この2手法はともにチップ上で回路として実装することが可能であり、チップの実動作速度で検証・デバッグを行うことができる。また、回路に自動的にプログラマブルな素子を挿入することにより、チップ製造後でも一定の範囲で機能修正を可能とすることでポストシリコンデバッグを支援する手法を提案し(Patchable HW と呼んでいる)、関連するツール技術についても実現性を証明した。これについては、現在、企業と供に実用化を進めている(§5参照)。

<課題3> 算術演算回路の解析

自動回路合成や形式的検証の処理を効率化するためには、計算機上でいかに効率よく算術演算回路を表現できるかが鍵となる。本研究グループでは、算術演算回路をグラフ構造で表現することによって、効率的に計算機上に格納および処理することを可能とした。加算グラフを新たに導入し、64ビット以上の掛算を含む算術演算回路を効率よく計算機上で表現し、解析できるようになった。

<課題4> ディペンダブルアーキテクチャの形式的検証

マイクロアーキテクチャレベルの設計に対して形式的検証手法を適用することで、非常に複雑な機構を含む様々なアーキテクチャの検証できる技術を確立した。また検証のみではなくデバッグ過程も支援するため、マルチプレクサを内部信号線に挿入することによるバグフィックス箇所特定手法と mutation モデルを拡張して導入し、誤設計時にはパイプライン処理のどの部分で不具合の指摘・自動修正が可能となった。

④ 研究実施方法(研究チーム内外の連携関係など)

新規技術の学会発表や世界的な先端研究機関でのセミナー開催を通じた交流も進めてきた。

<課題1> 等価性検証ツールの研究開発

国内外の5大学、5企業にNDA締結の上でツールを提供し、評価を行った。そのうち、特に2社において活発な評価を行い、そのフィードバックをもとに、ループ部分の検証効率向上を図ることとなった。

<課題2> ポストシリコンデバッグ・検証

バグがある場合に反例などからバグ位置を特定する手法について、トロント大学と共同研究を進めた。

<課題3> 算術演算回路の解析

Kaiserslautern大学の検証研究グループに対して、こちらで研究開発した算術演算回路の表現手法に関するプロトタイプツールを提供し、従来手法より大幅に性能が改善することを確認した。

<課題4> ディペンダブルアーキテクチャの形式的検証

当チーム内坂井・五島グループで開発しているアウト・オブ・オーダー実行スーパスカラプロセッサをモデルとして、エラー回復機構の検証を行い、その設計の正しさを証明した。

3)「ディペンダビリティ支援ルータ」グループ(吉瀬グループ)

① 本研究グループの研究課題、ならびに所属する研究チームの課題との関係

プロセッサの性能向上と消費電力の削減を目的に、広い分野にわたり、複数のコアを搭載するマルチコアプロセッサが主流となりつつある。今後は、半導体の集積度の向上により、さらに多くのコアを集積するメニーコアプロセッサへと向かうと考えられる。一方、LSI の一層の微細化により、ソフトウェア率およびばらつきが増加し、信頼性の低下が深刻化している。微細化が進むことで臨界電荷量が低減すると、中性子などの影響によりビットが反転する。マルチコアやメニーコアプロセッサにおいてはプロセスの微細化とともに集積するトランジスタ数が増加するため、ソフトウェア率の増加が懸念される。同時に、電源、温度の不均一などに起因するチップ内のランダムなばらつきが信頼性の低下を招いている。

このような背景において、これから VLSI プロセッサの主流となるマルチコアプロセッサ、メニーコアプロセッサにおけるディペンダビリティを飛躍的に向上させるアーキテクチャとして、超ディペンダビリティ支援の高機能ルータを開発することを本研究グループの課題とした。成果は、ディペンダブルアーキテクチャグループ、形式的検証グループと統合して全体として VLSI システムのディペンダビリティを飛躍的に高める技術とした。具体的には、形式的検証グループにメニーコアの設計データを提供し、協力して形式的検証を行うなどであった。

② 本研究グループの達成目標

(1) 低オーバーヘッドで柔軟にディペンダビリティのレベルを向上させられる高機能ルータアーキテクチャの研究開発および評価を行う。

ここで検討する方式は、メニーコアプロセッサ内のネットワーク(NoC)における送受信パケットのレベルで、高機能化されたオンチップルータを核として冗長実行(多重実行)を実現するアーキテクチャである。高機能ルータにパケットの複製などの冗長実行の仕組みを組み込むことで、コアの構成を変更することなく冗長実行が可能となる。また、割り当てるコアの数を柔軟に変更できるため、実行時に、要求に応じてディペンダビリティを向上できるという利点がある。この仕組みを活用して、メニーコアプロセッサにおけるディペンダビリティの飛躍的な向上を達成する。

(2) ディペンダビリティ向上のために(1)で提案したアーキテクチャを実装した場合のハードウェア量および実現可能性を FPGA システムの活用および中規模高機能ルータのチップ試作を通じて明らかにする。

(3) ディペンダビリティ向上のために(1)で提案したアーキテクチャ技術の有用性を、形式的検証によって証明する。

(4) ディペンダビリティを考慮したタスク割り当て方式を含むメニーコアプロセッサのためのスケジューリング技術を研究開発する。

③ 本グループの研究の特徴

低オーバーヘッドで柔軟にディペンダビリティのレベルを向上させられる高機能ルータアーキテクチャとして、SmartCore(Smart many-core system with redundant cores and multifunction routers)を提案した。SmartCore システムは、オペレーティングシステムなどのシステムソフトウェアと協調して動作し、高機能ルータの支援による複数コアの多重実行によって、メニーコアプロセッサにおける信頼性の向上、チップ内ネットワークのバンド幅およびレイテンシの改善を目指す方式である。

SmartCore システムでは、アプリケーションの実行のために本来必要とされるノード(1つのコアや1つのルータを含むメニーコアプロセッサの1つの要素)をマスターノード、多重実行のために SmartCore システムが導入するノードをミラーノードと定義する。高機能ルータにおいて、(a) マスターノードが受信するパケットを複製しミラーノードに送信する、(b) ミラーノードから送信されるパケットの送信先をマスターノードに変更する、(c) ミラーノードから届くパケットを待ち合わせ、マスターノードにおいてパケットの比較およびエラー検出をおこなう、という3つの機能により多重実行を実現し、信頼性の向上を達成する。

高機能ルータの詳細検討はクロックレベルのソフトウェアシミュレータを用いる評価と、FPGA システムを用いる大規模な評価の2つの方法を適切に利用して進めた。ソフトウェアシミュレータには、現実の制約にとらわれずに機能を実装できるという利点があるが、一方で、シミュレーションに要する時間が膨大になるという欠点がある。一方、FPGA システムを用いる場合には、構築のために時間を含むコストを要するが、高速に動作するという利点がある。このため、両方のシステムを適切に使い分けながら、高機能ルータアーキテクチャを評価した。加えて、FPGA システムの活用および中規模高機能ルータのチップ試作を通じて、提案方式のハードウェア規模および実現可能性を明らかにした。

汎用プロセッサにおけるディペンダビリティの向上技術としては、冗長性を利用して故障を検出する技術が提案されている。DIVA(Dynamic Implementation Verification Architecture)や IRI(Instruction Re-Issue)などの初期の技術は命令を2回実行して得られた結果を比較することで故障を検出する。素子特性のばらつきや

最悪ケースに配慮した設計の限界から典型的ケースを指向して Razor やその改良型のカナリア・フロップフロップといった設計手法も提案されている。これらの技術は汎用プロセッサ内部に多重実行やタイミング調整の仕組みを構築する。

一方、我々は、従来の発想を大幅に転換させ、来るべきメニーコアプロセッサの環境を前提として、高機能ルータを積極的に利用することで動的な要求変更に対応する技術、すなわち超ディペンダビリティ支援の高機能ルータを実現した。このような研究はこれまでに例がない。

④ 研究実施方法(研究チーム内外の連携関係など)

研究チーム外の連携として、ネットワークオンチップ(NoC)技術について米田チームとミーティングをおこない、研究を加速させるための体制を構築した。特にトヨタなど、応用分野の方々の意見聴取を行った。

領域アドバイザーの方々のアドバイスを受けながら、NoC 技術の出口戦略に関して様々な観点で検討している。

また、坂井グループの成果をコア内に適用し、メニーコアレベルでは当該グループの成果を入れる成果の統合についても検討を進めた。

2)「検証技術実証」グループ (若林グループ)

① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループは、設計の正しさの検証技術を実設計現場に導入することによって VLSI のディペンダビリティを向上させることを目標に、研究を進めた。そのために、「形式検証」グループ(藤田グループ)と連携して、等価性検証ツールの実用化に対する評価検討を行った。

まず、等価性検証ツールの評価環境の構築を行う必要があった。形式的検証グループが研究開発した等価性検証ツールの実用化のためには、産業界で用いられる設計環境においてより多くの多面的なデータを用いてその性能の評価を行う必要があったのである。しかしながら、C 言語設計は次世代の設計技術であり、実設計回路を評価データとして入手することは容易ではない。これに対して、CyberWorkBench は、動作レベル IP として多くの設計資産を有している。そこで、CyberWorkBench の有する豊富な設計資産を等価性検証ツールの評価に使用するための環境を構築する必要があった。

次に、等価性検証ツールの実設計現場での運用可能性の評価を行う必要があった。一般に、形式的検証は設計記述の規模に対して指数的に必要な計算量が増大するため大規模な回路が扱えないと考えられている。そこで、等価性検証ツールで扱える回路の規模感を実回路設計における実感として正しく認識する必要があった。さらに、等価性検証ツールの実用化のためには、産業界の実設計現場でのどのようにツールを運用するのが良いかを定め、実運用した場合にはどのような課題が起こりうるかを明らかにし、ここで出てきた課題を等価性検証ツールのさらなる改良・機能拡張につなげなければならない。そのため、等価性検証ツールの限界を勘案しつつ実用に供するに堪えるツール運用のシナリオを定め、そのシナリオに沿ってツールを運用し、そこで出てくる課題を洗い出した。

② 本研究グループの達成目標

まず、等価性検証ツールの評価環境の構築として、NEC が提供する CyberWorkBench と形式検証ツール FLEC とのインターフェイスのプロトタイプを作成した。特に、CyberWorkBench が有する設計資産である動作 IP を等価性検証ツールに入力できるようにした。

次に、等価性検証ツールの実設計現場での運用可能性の評価を行った。等価性検証ツールの性能限界を把握するとともに、ツールの特性に応じた適用シナリオを策定し、シナリオに沿ってツールを運用している。

以上により、CyberWorkBench が有する実回路データを用いて等価性検証ツール評価を行い、実運用上の課題を洗い出し、実用化につなげることができるようになった。

③ 本グループの研究の特徴

CyberWorkBench は、NEC から販売されている高位統合設計環境であり、C 言語および SystemC 言語を入力とする動作合成ツールを中心として各種検証ツールも内包し、SoC および FPGA の設計及び検証を C 言語で行うことを可能としている。社内において広く実製品の設計に用いられた実績を有している。また 2007 年から本格的に外販を開始しており、現在では数十社の顧客を有している。このように、次世代の設計上流工程において標準になりうる設計環境である。さらに、CyberWorkBench は浮動小数点演算や三角関数などの数値演算回路などの C 言語や SystemC で記述された実設計回路の設計資産を動作 IP としてツールに併

せて提供している。DES, AES, CRC などの誤り訂正・暗号回路、および、PCI や AMBA などのバス制御回路などの設計資産も有している。

CyberWorkBenchと等価性検証ツールのインターフェイスの作成により、これら豊富な実設計回路の設計資産を用いて等価性検証ツールの評価を行うことができる。

等価性検証ツールの実設計現場での運用可能性の評価では、評価のモチーフとして、等価性検証ツールの挙動を調査するための基本的なデータをはじめ、CyberWorkBench に含まれる動作 IP から評価に適したデータを適宜選択した。

④ 研究実施方法(研究チーム内外の連携関係など)

「形式的検証」グループと密接に連携して進めた。まず、「形式的検証」グループより形式検証ツールの提供を受け CyberWorkBench とのインターフェイスを作成した。さらに、実設計データを用いた評価をもとに実用化に向けた課題を洗い出し、「形式的検証」グループへフィードバックを行った。

§ 2. 研究実施体制

(1)ディペンダブルアーキテクチャグループ(坂井修一)

① 研究参加者

氏名	所属	役職	参加時期
坂井 修一	東京大学大学院 情報理工学系研究科	教授	H19.10～H25.3
五島 正裕	同上	助教授	H19.10～H25.3
塩谷 亮太	名古屋大学 大学院工 学研究科 電子情報シ ステム専攻	助教	H19.10～H25.3
中川 八穂子	東京大学大学院 情報理工学系研究科	博士課程2年	H23.4～H25.3
広津 鉄平	同上	博士課程2年	H23.4～H25.3
豊島 隆志	同上	博士課程2年	H23.4～H25.3
倉田 成己	同上	博士課程1年	H22.4～H25.3
山田 淳二	同上	博士課程1年	H24.4～H25.3
阿部 高大	同上	修士課程2年	H23.4～H25.3
伊達 三雄	同上	修士課程2年	H23.4～H25.3
早川 薫	同上	修士課程2年	H23.4～H25.3
堀口 辰也	同上	修士課程2年	H23.4～H25.3
吉田 宗史	同上	修士課程2年	H23.4～H25.3
浅見 公輔	同上	修士課程1年	H24.4～H25.3
広畑 壮一郎	同上	修士課程1年	H24.4～H25.3
山田 剛史	同上	修士課程1年	H24.4～H25.3
岩田 愛美	同上	修士課程1年	H24.4～H25.3
村上 航規	同上	修士課程1年	H24.4～H25.3
藤田 晃史	同上	修士課程1年	H24.4～H25.3
有馬 慧	コナミデジタルエンタテ インメント(株)	修士課程修了	H22.4～H25.3
都井 紘	日本アイ・ビー・エム(株)	修士課程修了	H22.4～H25.3
八木原 晴水	同上	学術支援職員	H19.10～H25.3
一林 宏憲	同上	修士課程修了	H19.10～H20.3
勝沼 聡	同上	修士課程修了	H19.10～H20.3
廣瀬 健一郎	同上	修士課程修了	H19.10～H20.3

渡辺 憲一	同上	修士課程修了	H19.10～H20.3
亘理 靖展	同上	修士課程修了	H19.10～H20.3
ドゥブトゥ ピエール	同上	修士課程修了	H19.10～H20.3
安藤 徹	同上	修士課程修了	H19.10～H21.3
金 大雄	同上	修士課程修了	H19.10～H21.3
杉本 健	同上	修士課程修了	H19.10～H21.3
樽井 翔	同上	修士課程修了	H19.10～H21.3
山田 恭弘	同上	修士課程修了	H19.10～H21.3
李 坤波	同上	修士課程修了	H19.10～H21.9
江口 修平	同上	修士課程修了	H20.4～H22.3
堀尾 一生	同上	修士課程修了	H20.4～H22.3
文 栄光	同上	修士課程修了	H20.4～H22.3
横田 侑樹	同上	修士課程修了	H20.4～H22.3
王 彦鈞	同上	修士課程修了	H20.4～H22.3
福田 匡則	同上	研究生修了	H21.4～H22.3
喜多 貴信	同上	修士課程修了	H20.4～H22.3
伊藤 悠二	同上	修士課程修了	H21.4～H23.3
岡田 崇志	同上	修士課程修了	H21.4～H23.3
赤松 雄一	同上	修士課程修了	H21.4～H23.3
アビシエク ショーリ	同上	修士課程修了	H21.4～H23.3

② 研究項目

- ・ ディペンダブルプロセッサシミュレータの研究開発
- ・ **FPGA** を用いたテストベッドによる実験環境の整備
- ・ 永久/過渡故障耐性を持つ**FPGA**アーキテクチャ用テストベッドの開発
- ・ タイミング故障耐性を持つクロッキング方式
- ・ タイミング故障耐性を持つプロセッサアーキテクチャ
- ・ 永久/過渡故障耐性をもつ **FPGA** アーキテクチャ

(2) 形式的検証グループ（藤田昌宏）

① 研究参加者

氏名	所属	役職	参加時期
藤田 昌宏	大規模集積システム設計 教育研究センター	教授	H19.10～H25.3
Amir Masoud Gharehbaghi	同上	特任研究員	H20.10～H24.9
松本 剛史	同上	助教	H19.10～H25.3
張 嘉懿	工学系研究科	博士課程3年	H21.10～H25.3
谷田 英生	同上	博士課程3年	H20.4～H25.3
小野 翔平	同上	修士課程2年	H23.4～H25.3
李 在城	同上	修士課程2年	H23.4～H25.3
大島 浩資	同上	修士課程1年	H24.4～H25. 3
田口 直樹	同上	修士課程1年	H24.4～H25. 3
高 尚華	同上	博士課程修了	H19.10～H21.3
小島 慶久	同上	博士課程修了	H19.10～H21.8
西原 祐	同上	博士課程修了	H19.10～H22.3
Ratna Krishnamoorthy	同上	博士課程修了	H19.10～H23.3
李 蓮福	同上	博士課程修了	H19.10～H23.3

安藤 大介	同上	修士課程修了	H19.10～H20.3
石川 悠司	同上	修士課程修了	H19.10～H20.3
李 在浩	同上	修士課程修了	H20.10～H22.9
原田 裕基	同上	修士課程修了	H21.4～H23.3
田川 貴聡	同上	修士課程修了	H21.4～H23.3
森下 賢志	工学部電子工学科	学部修了	H19.10～H20.3
徐 玲	工学系研究科	大学院研究生修了	H19.10～H20.3
高 飛	同上	修士課程修了	H19.10～H21.3
許 金美	同上	修士課程修了	H19.10～H21.3
何 凱隆	同上	研究生修了	H19.10～H.20.9
Bijan Alizadeh Malafeh	大規模集積システム設計 教育研究センター	特任研究員修了	H21.2～H22.9
Giuseppe Di Guglielmo	同上	特任研究員修了	H22.10～H23.3
清水 修一	工学系研究科	修士課程修了	H22.4～H24.3
福井 啓	工学系研究科	修士課程修了	H22.4～H24.3
吉田 浩章	大規模集積システム設計 教育研究センター	特任助教修了	H19.10～H24.3
陳 果	工学系研究科	大学院研究生修了	H24.1～H24.3

② 研究項目

- ・ 上位設計記述に対する形式的等価性検証ツール開発
- ・ 演算系回路に対する効率的な等価性検証手法ならびに回路最適化手法
- ・ タイミングエラーリカバリー機能を持つパイプライン演算回路
- ・ マイクロプロセッサアーキテクチャアルゴリズムの形式的検証手法
- ・ 大規模設計記述の等価性検証のためのトップダウン並びにボトムアップ検証手法
- ・ シミュレーション(エミュレーション)ベース検証における検証カバレッジ向上手法
- ・ Post-silicon デバッグ手法並びに、プログラマブル素子の挿入による In-field 回路デバッグ技術

(3) ディペンダビリティ支援ルータグループ (吉瀬謙二)

① 研究参加者

氏名	所属	役職	参加時期
吉瀬 謙二	東京工業大学大学院 情報理工学研究科	准教授	H20.4～H24.9
佐藤 真平	東京工業大学大学院 情報理工学研究科	博士課程4年	H20.4～H24.9
藤枝 直輝	同上	博士課程3年	H20.8～H24.9
松村 貴之	同上	修士課程3年	H22.4～H24.9
高前田 伸也	同上	博士課程2年	H21.4～H24.9
小林 諒平	同上	修士課程2年	H23.4～H24.9
笹河 良介	同上	修士課程2年	H23.4～H24.9
永塚 智之	同上	修士課程2年	H23.4～H24.9
大久保 直昭	同上	修士課程2年	H23.4～H24.9
池田 貴一	同上	修士課程1年	H24.4～H24.9
五十嵐 俊哉	同上	修士課程1年	H24.4～H24.9
上野 貴廣	同上	修士課程1年	H24.4～H24.9
三好 健文	電気通信大学大学院 情報システム学研究科	助教修了	H21.4.～H24.2
森谷 章	同上	修士課程修了	H20.4～H21.3

植原 昂	同上	修士課程修了	H20.4～H22.3
渡邊 伸平	同上	修士課程修了	H20.4～H22.3
若杉 祐太	同上	修士課程修了	H21.4～H22.3
森 洋介	同上	修士課程終了	H21.4～H23.3
姜 軒	同上	修士課程終了	H21.4～H23.3
佐野 正浩	同上	修士課程終了	H21.4～H23.3
坂口 嘉一	同上	修士課程終了	H22.4～H24.3
佐野 伸太郎	同上	修士課程終了	H22.4～H24.3

②研究項目

- ・ 高機能ルータアーキテクチャの研究開発および評価
- ・ 形式的検証を用いた高機能ルータアーキテクチャ技術の有用性の検討
- ・ 中規模高機能ルータのチップ試作による実現可能性の検討

(4) 検証技術実証」グループ（若林グループ）

①研究参加者

氏名	所属	役職	参加時期
若林 一敏	グリーンプラットフォーム研究所	主管研究員	H22.12～H25.3
竹中 崇	同上	主任研究員	H22.12～H25.3
Benjamin Carrion Schafer	同上	主任	H22.12～H25.3
野田 真一	同上	主任	H24.4～H25.3
貞方 毅	システム IP コア研究所	主任	H22.12～H24.3
春田 泰睦	組込みシステムソリューション事業部	マネージャ	H22.12～H23.9
向山 輝	ソフトウェア生産革新部	マネージャ	H22.12～H25.3

②研究項目

- ・形式的等価性検証技術の実用化に向けた実証実験とその評価

§ 3. 研究実施内容及び成果

(1) 研究の成果と自己評価

1) 成果 1. 「耐永久故障 FPGA テストボード」(坂井グループ)

① 内容

故障を検出し、故障箇所を自身で再構成することで回復する FPGA アーキテクチャのテストベッドを作成した(図 2)。このボードは、ユーザロジックを実装する部分と、故障信号の伝達ネットワークや回復指示を行う固定部分を実装する部分の二つに分けられる。前者の論理設計及び、実機での動作確認を行った。

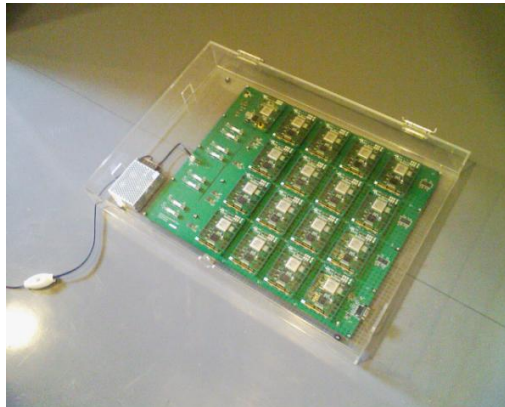


図 2 耐永久故障 FPGA テストボード

② 有用性

本手法は、通常用途 FPGA に対して、わずかな追加ハードウェアで高信頼性を得ることを目的にしている。

そのため、実現した FPGA は、高信頼機能をオプションとして、通常用途 FPGA とまったく変わらず、販売できる。従来の高信頼性部品と比べ、安価に大量生産、販売できるというメリットを持つ。

③ 優位比較

FPGA をベースとした高信頼 LSI に関する類似研究では、故障回復の再構成の際に、外部プロセッサを必要とした。この追加部分は単一故障点となり故障することは許されない。しかし、この追加したプロセッサの信頼性は前提条件となっており、信頼性を持つプロセッサを、どう構成するかについては考えられていなかった。

本テストボードの設計は、故障回復の際に必要なプロセッサを、ハードワイアードの固定論理として追加するのではなく、プログラム可能なユーザロジックとして実装することを想定している。そのため、通常用途に対しての追加は必要ない。さらに、ユーザロジックのプロセッサも、他のロジックと同様に冗長化して実装されるため、自分自身で故障から回復することが可能である。そのため、その部分が単一故障点となることもない。

2) 成果 2. 「タイミング故障耐性を持つスーパスカラプロセッサ」(坂井グループ)

① 内容

タイミング故障検出機構と DVFS を組み合わせた 2-way スーパスカラプロセッサを FPGA 上に実装した(図 3)。

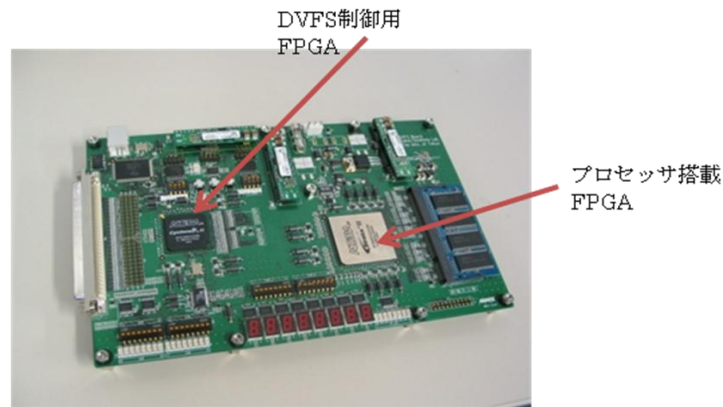


図3 タイミング故障耐性を持つスーパスカラプロセッサ

具体的には、プロセッサ内に存在する全てのフリップフロップを故障検出機能の付いたフリップフロップに置き換え、さらに故障検出信号を伝達するためのフォールト通知ネットワークを追加した。故障検出信号は、パイプラインステージに沿って伝達される。故障によって影響を受けた命令がレジスタファイルやプログラムカウンタなどのプロセッサ状態を更新する前にリセットをかけ、命令を再実行する。このテストベッドは、外部回路によって、電源電圧、動作周波数を任意に設定可能になっている。電圧、周波数が、動作可能範囲を超えた場合、タイミング故障を検出し、故障発生後も正しく再実行を行う様子が確認できた。

② 有用性

従来の手法では、ただ一度の故障も許されないため、十分なマージンを見込んだ設計をする必要があった。しかし、半導体の微細化に伴い、チップ内の信号の伝達遅延のばらつきが増大しているため、十分なマージンを確保すると性能が向上しないという問題があった。

本手法では、タイミング故障検出・回復機構を組み込んだことにより、仮に故障が発生しても、回復し実行を継続することができる。そのため DVFS を利用した積極的な電圧・周波数設定が可能になった。その結果、従来のマージンを見込んだ悲観的な動作点ではなく、タイミング故障が発生する、ぎりぎりの動作点での動作が可能となる。

③ 優位比較

本手法と同様にプロセッサに対しアーキテクチャレベルでの回復を行う手法に、SPARC 64V、Razor 及び Razor II が存在する。

SPARC 64V は高信頼設計のなされた商用のサーバ向けプロセッサである。これにはデータパス上の全てのステージにパリティが付加されており、パリティによってデータパス上の故障を検出する。しかし、制御パス上にはパリティが付加されておらず、制御パス上のタイミング故障は検出することができない。そもそも、制御パス上に故障が発生した場合にプロセッサは設計者の意図しない状態に遷移する可能性があり、このような状態から正常な状態へと回復することは、データパス上の故障の回復に比べて格段に困難である。

Razor 及び Razor II では、タイミング故障を検出するフリップフロップ、及びそれを用いた故障耐性を持つプロセッサを提案している。しかし、ここで提案されているプロセッサも上記と同様に理由で制御パス上に発生したタイミング故障から回復することができない。

一方、本手法では故障からの回復にリセットを用いることで、データパスのみならず、制御パス上のタイミング故障も包括的に検出・回復可能である。

3) 成果3.「動的タイム・ボローイングを行うクロッキング方式の評価ボード」(坂井グループ)

①内容

電源電圧・動作周波数を変更できる FPGA ボードを作成した(図4)。動的タイム・ボローイングを行うクロッキング方式を適用した回路を FPGA 上に実装し、正しく動作することを検証し、また電源電圧・動作周波数を変えて、動作周波数が2倍になることを確かめた。

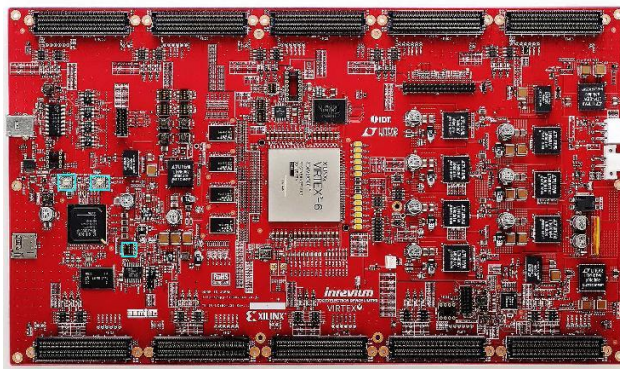


図4 電源電圧・動作周波数可変 FPGA ボード

②有用性

このクロッキング方式を用いれば、バラつきが問題となるプロセスにおいても、継続的な LSI の性能向上を見込むことができる。

③優位比較

タイミングエラーを検出する研究は多いが、動作周波数 2 倍を達成する研究はない。

4) 成果4. 「タイミング故障を検出するキャッシュメモリチップ」(坂井グループ)

①内容

ダブルビットラインのそれぞれにシングルビットライン用のセンスアンプを配し、その出力を比較することで読み出し時のタイミングエラーを検出する SRAM によってデータアレイを構成したキャッシュメモリを 40nm プロセスを用いて実チップ化した (図5)。

②有用性

ロジックに発生するタイミングエラーを検出する研究は多いが、メモリのタイミングエラーを考慮した研究はほとんどない。言うまでもなく、メモリは LSI の重要な一部であり、そのタイミングエラーを検出することはこのような研究において不可欠である。実際のチップでどのようにタイミングエラーが発生するかはほとんど分かっておらず、実チップを用いた研究は極めて重要である。

③優位比較

タイミングエラーを検出する研究は多いが、SRAM のタイミングエラーを考慮した研究はほとんどない。

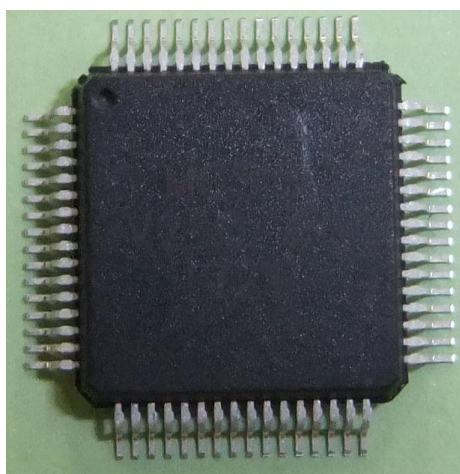


図5 タイミング故障を検出するキャッシュメモリチップ

5) 成果5.「形式的検証・解析技術」(形式的検証グループ)

①内容

ハードウェア設計に対する C 言語設計記述間の等価性を形式的に検証する新規手法を考案し、ツール化するとともに成果10で述べるように産業界での実運用を目指した評価を企業で行った。図6に示すように、比較する2つの設計記述間の差分を自動的に抽出し、その部分を中心に解析することで、実運用で一般的な最適化のための部分的な設計記述の変更前後の等価性を形式的に検証できる。差分抽出では、与えられた設計記述を一旦内部表現に変換する機能も実装しており、C 言語以外の設計記述との等価性に関しても処理可能である。設計記述に応じて、用意してある複数の解析技術から最も効果的なものを適切な順序で適用できるツールも開発した。差分部分の記号シミュレータ、記述に対するボトムアップ解析、既に証明した内部等価性を利用した差分解析などが利用可能である。また解析時は、各種演算器自体は正しいという前提で、制御やデータの流れの解析から、設計全体の等価性を検証するため、C 言語設計記述など、高位の設計記述に対しては、極めて効率的に解析を行うことができる。

演算器自体の検証に関しては、掛け算器や加算器などから構成される多項式を計算する一般的な演算器の形式的な検証を行う新規手法を考案した。図7に示すように、新規決定グラフと一般の多項式計算を表現する正規形表現を新規に提案し、従来技術では不可能であった32ビット以上の演算器の検証(実験では128ビット演算器も検証)が可能となった。固定ビット幅の演算(Modulo 演算)では、係数の異なる多項式が等価になる場合もあり、実際の設計最適化でも利用されている。Modulo 演算に対する正規形多項式をグラフで表現する手法を新規に考案することで、Modulo 等価性を迅速に判断できる。また、ビット単位に表現には、多項式を加算器を元にしたグラフで表現することで、桁上げ信号以外は正規形とできることを示し、高速な解析を実現している。

②有用性

現在、C 言語ベース設計が徐々に普及してきており、C 言語からの自動合成の利用も広まりつつある。設計は段階的に詳細化される場合が多く、各段階間での等価性を毎回多数のシミュレーションで確認することは、処理時間の問題から実際的には不可能となっており、最終的な実装が終了した後、その上位設計記述との等価性を検証することが行われている。しかし、何らかの不一致が発見された場合には、設計のどの段階でどのような問題があったかを調べることは非常に難しく、上位設計との等価性を一部しか保証できないことになってしまう場合も多い。本等価性検証ツールを利用すると、設計の段階的詳細化ごとに等価性を迅速に確認できるため、設計記述の一貫性を保証することができる。このため、大規模設計で最も重要である設計の再利用において、大きな効果を発揮する。

設計の難しさから算術演算回路を決まったものを単純に組合せることが多いが、回路規模、速度、消費電力の上で不利となる。与えられた多項式を計算する回路を面積、遅延、消費電力を最適化しながら直接作成できることが望まれるが、従来は設計された算術演算回路を効率よく形式的に検証できる手法がなく、独自の算術回路を利用することが躊躇されることも多かった。特に、Modulo 等価性を考慮した回路の検証はシミュレーション結果が異なっても等価である場合もあり、非常に難しかった。本手法によりこれらが解決され、カスタマイズされた算術演算器の利用が促進され、結果的に性能向上が期待できる。

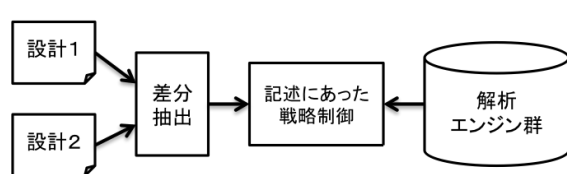


図6 等価性検証の流れ

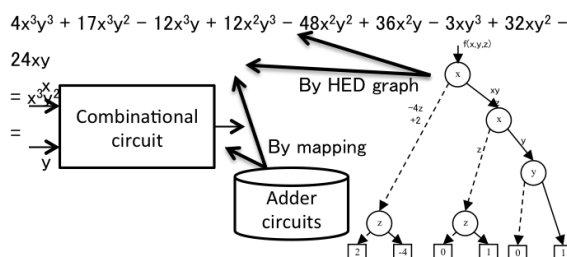


図7 算術演算回路の定式化と検証

③優位比較

C 言語記述間の等価性を記述間の差分を検出することで効率的に検証できるツールは他にない。本ツールは特に記述間の差分が比較的少量である場合には、非常に効率よく検証でき、既設計の再利用も含めて C 言語ベース設計を効率よく支援できる。Modulo 等価性を考慮できる算術演算回路の検証手法として新規のものである。他手法は、すべてを一旦論理関数に展開する必要がある、32 ビット以上の回路に適用すること

は不可能である。本手法は、128ビットの演算回路も高速に処理できることが評価結果から分かっており、実用的有用性は非常に高い。

6) 成果6.「設計デバッグ技術」(形式的検証グループ)

①内容

設計検証結果に問題がある場合には、設計デバッグ作業を行う必要があるが、設計支援技術の観点からは、従来ごく基本的な機能以外は提供されてこなかった。しかし、SoC など設計の大規模化が進み、計算機支援無しに設計デバッグを迅速に行うことは非常に困難になっている。本研究では、以下の項目について新規研究を行った。(d), (e)は特にチップ製造後に判明する設計バグやエラーを対象としている。

- (a) タイミングエラー回復機構など複雑な機能を実装した先端プロセッサの設計検証とデバッグ手法
先端パイプラインプロセッサ自体の検証も難しい問題であるが、タイミングエラーが発生した場合に、プロセッサが自動的にリカバリーするなど、より高度な機能の実装も行われるようになっていく。これらを実装段階で完全に検証することは極めて困難であるが、C 言語設計やマイクロアーキテクチャ設計段階では、適切な設計抽象化を行うことで、形式的に各機構の正しさを検証できることをまず実証した。そして、その手法を応用することで、プロセッサの制御に関する不具合のデバッグを自動的に行う手法を考案し、評価し、その有効性を実証した。
- (b) 算術演算回路に対する効率的なデバッグ手法
成果 3. で示した、算術演算回路に関する形式的検証手法を応用し、設計記述の一部に問題のある mutation バグや回路の部分的な論理関数に問題ある場合に対し、複数のバグが存在する場合に、大規模設計へも適用できる新規デバッグ手法を考案評価し、その有効性を示した。
- (c) シミュレーション結果から元の設計に対する仕様を自動的に類推する手法
設計バグを減らす設計手法として、アサーションベース検証が広く利用されている。アサーションベース検証を利用するには、十分なアサーションが用意されている必要があるが、現実には設計者が用意することは時間的にも難しい。そこで、設計シミュレーション結果から複数時間に及ぶアサーションを自動的に生成する新規手法を考案し、評価を行った。ベンチマーク結果から、実用的に利用可能なアサーションが生成できていることが分かっている。
- (d) 製造された SoC を実行した際に設計不具合が見つかった場合のデバッグ技術(ポストシリコンデバッグ)
ポストシリコンデバッグでは、エラートレースが非常に長く、通常のデバッグ手法が適用できない場合が多い。本研究では SoC を対象とし、SoC 内の各コア間の通信を定期的にバッファすることで、効果的にデバッグできる手法を新規に考案し、いくつかの例でその有用性を示した。また、SoC 内で利用される NoC 内のバグの検出手法についても新規手法を考案し、その有効性を示した。
- (e) 設計に予めプログラム機構を自動挿入することで、製造されたチップのバグやエラーを修復する手法
チップ製造後に設計の不具合が発見された場合、チップを再度製造するには多額の費用と時間が必要となる。そこで、予め一定量のプログラマブルなハードウェアを挿入しておくことで、製造後の不具合をそのハードウェアの再プログラムで解消する手法を提案し、ツールチェーンの開発を行った。設計者は予め挿入するプログラマブルはハードウェア量を制御でき、目的に合わせてチューニングできる。

②有用性

(a)により、各種高速化機構が問題なく形式的に検証できるようになり、従来のように検証の問題から実装を躊躇う必要がない。(b)により、従来不可能であったカスタマイズされた大規模算術演算回路の自動デバッグが可能となる。(c)により、アサーションを十分生成できるだけでなく、設計に誤りがあった場合には、間違ったアサーションが生成されるため、シミュレーションの不備の指摘や設計検証にも有用であることが分かっている。(d)により、NoC を含むような大規模 SoC のデバッグ作業が大幅に効率化される。また、(e)により、チップ製造後にチップの機能を一部修正できるようになり、デバッグだけでなく、部分的な仕様変更などへも対応できる。

③優位比較

(a)のように各種の複雑な機構も含めてプロセッサの検証とデバッグを行える手法は他にはない。また本手法で、先端プロセッサも扱えることがわかっている。(b)は成果 3. でも述べたように、扱える回路規模の点で、他手法を圧倒している。(c)については、他手法は単純なアサーション(考慮する時刻数が少ないもの)のみを扱い、あるいは非常に単純な条件しか考慮しないが、本手法は多数の時刻間で複雑な条件を考慮でき、実用性が非常に高い。(d)は先端 SoC を扱える手法として、他手法より優位である。特に、エラートレースが非常に長くなる場合に有効である。(e)については、必要な追加回路の面積や遅延時間の点で、他手法(単純なプログラマブル素子の利用)と比較し、数倍効率的である。また、設計者がプログラム可能性と追加ハードウェアの

オーバヘッドのトレードオフを選択できる点も他手法にない機能である。

7) 成果7.「高機能ルータアーキテクチャ」(吉瀬グループ)

①内容

ディペンダビリティを支援する高機能ルータアーキテクチャを有するメニーコアプロセッサの枠組みとして SmartCore システムを提案するとともに、高機能ルータの基本アーキテクチャを開発(IPSJ SIG-ARC 2008 年 10 月)した。また、ディペンダビリティのレベルを変更できる高機能ルータアーキテクチャを開発(IPSJ SIG-ARC 2010 年 1 月)した。ここでは、レジスタ転送レベル(RTL)で、高機能ルータの内部構成を定義するとともに、その構成で正しく動作することを確認した。それらを改良し、一般的な NoC ルータと比較してハードウェアの増加を抑えることができる高機能ルータのマイクロアーキテクチャを開発(IPSJ SIG-EMB 2012 年 9 月)した。

②有用性

64 コア構成のメニーコアプロセッサを想定する NAS Parallel Benchmark を用いたソフトウェアシミュレーションの評価から、高機能ルータによるミラーノードから届くパケットとの待ち合わせによるアプリケーションの性能低下を評価した。その結果、SmartCore システムによる多重実行の性能低下は最大で 4.1%と、実用的なレベルであることを明らかにした(IPSJ SIG-ARC 2010 年 1 月, ICNC'10 2010 年 11 月)。

開発中の FPGA システム(ScalableCore システム)に SmartCore システムを実装し、多重実行の仕組みやエラー検出の仕組みなど、正しく動作することを確認した。

③優位比較

汎用プロセッサにおけるディペンダビリティの向上技術としては、冗長性を利用して故障を検出する技術が提案されている。DIVA(Dynamic Implementation Verification Architecture)や IRI(Instruction Re-Issue)などの初期の技術は命令を 2 回実行して得られた結果を比較することで故障を検出する。素子特性のばらつきや最悪ケースに配慮した設計の限界から典型的ケースを指向して Razor やその改良型のカナリア・フロップフロップといった設計手法も提案されている。これらの技術は汎用プロセッサ内部に多重実行やタイミング調整の仕組みを構築する。

一方、我々は、従来の発想を大幅に転換させ、来るべきメニーコアプロセッサの環境を前提として、高機能ルータを積極的に利用することで動的な要求変更に対応する技術、すなわち超ディペンダビリティ支援の高機能ルータの実現を目指す。このような研究はこれまでに例がない。

8) 成果8.「メニーコアプロセッサの評価環境の開発」(吉瀬グループ)

①内容

高機能ルータアーキテクチャを評価するために、マルチコアおよびメニーコアプロセッサを対象としたソフトウェアおよびプロセッサアーキテクチャ研究のための基盤環境を構築した(IEICE 論文誌 2010 年 10 月)。この基盤環境には、プロセッサアーキテクチャ M-Core、クロックレベルのシミュレータ SimMc、ライブラリなどが含まれる。

高機能ルータの詳細評価に利用する FPGA システムとして ScalableCore システムを開発した。多数の FPGA を搭載する従来の評価用システムでは、評価対象のアーキテクチャに応じてスケラブルに構成を変更することが困難であった。この欠点を解決し、高機能ルータの評価を容易にするために、必要に応じてメッシュ接続された FPGA ボードの枚数を増加することができるスケラブルな構成を可能とする ScalableCore システムを提案し、ScalableCore System 1.0 を実装した(SACIS2010 2010 年 5 月)。この改良版として、通信速度の向上および設置面積削減し、100 個を超える FPGA を接続する ScalableCore System 3.3 を実装した(ARC 2012 年 3 月)。

提案システムのチップ試作の準備として、32 ビットの RISC プロセッサを搭載するチップ、4 個のルータを搭載するチップを試作(CMOS 0.18um)した(IPSJ SIG-ARC 2009 年 4 月)。この成果に関連するポスター発表はシンポジウムにおける Most Interesting Poster 賞を獲得した。また、ルータとプロセッサを搭載するチップを試作(2011 年 11 月)し、その動作を確認している。

②有用性

100 枚の FPGA ボードを用いた ScalableCore システムを構築し、ソフトウェアシミュレータと比較して約 129 倍の高速化を達成した。また、128 枚の FPGA ボードを用いたシステムが長時間安定して動作することを確認している。

③優位比較

ScalableCore システムと同様に FPGA を用いたシミュレーション環境には、RAMP をはじめとして、FAST、ATLAS、ProtoFlex などがある。RAMP は、ソフトウェアとハードウェアの両面からマルチコア/メニーコアの研究を加速するためのプラットフォームの研究を推進している。RAMP Gold では、単一の FPGA 上に、機能ユニットをエミュレートする Functional Model と、そのタイミングのみを調停する Timing Model という 2 つの部分に分けてターゲットプロセッサを実装している。そして 1 つの機能ユニットを時間軸方向で多重に利用する host-multithreading という手法を用いて、高スループットを達成している。

FAST は、4 個の Processor Tile を持つシミュレーションプラットフォームであり、チップマルチプロセッサにおけるメモリシステムの研究に適している。ATLAS では、トランザクショナルメモリをサポートした CMP についての実用的なシミュレーション環境を提案している。また、ProtoFlex では、OS の動作をも模倣するフルシステムシミュレーションにおいて 38 倍の高速化を実現している。

これらシステムの多くは大規模 FPGA を用いている。一方、ScalableCore システムは、メッシュ接続のメニーコアプロセッサにターゲットを絞り、小規模な FPGA を用いて拡張可能(スケーラブル)な形でシステムを構成する点に特徴がある。

同様に多数の小規模な FPGA を用いる試みとして、Cube(Imperial College London)がある。これは、64 個の小規模な FPGA をボード上にタイル状に配置する構成のシステムであるが、十分に安定動作していないという報告がある。一方、我々が構築している ScalableCore システムは、非常に安定動作しており実用的なシステムである。

9) 成果9.「マルチコア開発支援ソフトウェア」(吉瀬グループ)

①内容

マルチコアプロセッサの性能はタスク配置(どのタスクをどのコアに割り当てるか)により大きく変化する。この影響を正確に把握するためにメニーコアプロセッサを対象としたタスク配置手法を検討し、効率的なタスク配置手法として RMAP を提案した(UPDAS 2010 年 11 月)。RMAP は NoC における XY 次元順ルーティングの性質に着目し、4-ルーク問題の解として得られるパターンを利用することで通信衝突を削減する。また、使用していないコアを有効に利用するために、複数の RMAP を重ね合わせる RMAP Xn を提案(IPSJ 論文誌 2011)した。

RMAP はある初期配置が与えられた場合に、初期配置の構成をある程度保ちつつパターンに基づいて再配置する手法である。一方、ゼロから初期配置を求める最適化手法として MOPT(Merge Optimization)を提案(IPSJ SIG-ARC 2011)した。

②有用性

RMAP X4 は複数のアプリケーションを重ね合わせるため、他のアプリケーションの通信による悪影響を受ける。この影響を確認するために、256 コア構成のメニーコアプロセッサを想定し、NAS Parallel Benchmarks を用いたソフトウェアシミュレーションの評価を行った。評価の結果、RMAP X4 で最大 11%、平均 4.4%の性能向上が得られることが明らかになった。これらの性能向上は、他のアプリケーションが通信していない時間帯のハードウェア資源を有効に利用した結果である。

ゼロから初期配置を求めるタスク配置手法 MOPT による最適化は、4,096 ノードに対して 490 秒と短時間で終了する。既存手法の RMATT は、20 台の計算機を用いた並列処理であっても、4,096 ノードの解を得るために 16 時間を要している。また、16,384 ノードという大規模な構成であっても、MOPT は、5時間以内の最適化時間にて配置を求めることができる。

通信性能シミュレータ OpenNSIM を使用し、NAS Parallel Benchmarks に含まれる CG, MG, SP, BT ベンチマークの実行時間を評価したところ、一般的なタスク配置と比較して、MOPT によるタスク配置を用いることで、最大 1.5 倍のアプリケーションの性能向上を達成した。

③優位比較

タスク配置の既存手法 RMATT では最適化に Simulated annealing を使用する。ただし、探索空間を削減するために、タスクを複数のグループに分割する。RMATT は Simulated annealing を用いるため、時間をかけるほど最適なタスク配置に近づくという特徴がある。一方、MOPT はタスクのペアを作る作業を繰り返すことで高速にタスク配置を求める。このため、MOPT は、非常に高速にタスク配置を求めることができる。また、ペアを作る際の評価関数を工夫することで、効率的なタスク配置を求めることができる。MOPT はメニーコアプロセッサのためのみではなく、スーパーコンピュータのタスク配置手法としても用いることができる。

10) 成果10.「等価性検証ツールの運用可能性の評価」(若林グループ)

①内容

まず第1に、CyberWorkBench の実設計回路を等価性検証ツール FLEC の入力形式に変換するツールのプロトタイプを作成した。CyberWorkBench の設計記述であるC言語記述を、FLEC に入力可能な SpecC 記述に変換する。第2に、基礎的なデータを用いて等価性検証ツール FLEC を実設計現場で活用するための課題を抽出した。特に、規模と分岐数という、実用化における2つの大きな課題を認識した。第3に、等価性検証ツール FLEC を実設計現場で活用するシナリオを策定した。検証済みの動作IPから異なる製品向けのRTLを自動合成した際の合成前後の等価性を検証するシナリオと、検証済みの動作IPに(機能を保持したまま)性能チューニングのための設計変更を加えた際の設計変更前後の等価性を検証するシナリオの、2つのシナリオを候補として検討した結果、後者のシナリオのうち、特に実用的な要望の強いC言語記述への設計変更前後の等価性検証に絞ったシナリオを策定した。第4に、CyberWorkBench の動作 IP から浮動小数点加減算器を選択し、前記シナリオに沿って実際の設計現場で利用した設計変更例を作成した。第5に、規模と分岐数という実用化における2つの課題を解決するために、比較対象を設計変更部分に限定する手法(差分抽出比較法)を考案した。本手法の評価実験のために記述中の任意の部分で独立した C 言語記述として抽出できるように前記変換ツールを改良した。評価実験では、従来は検証できなかった浮動小数点加減算器の前述の修正前後の等価性検証が可能となることを示した。

②有用性

CyberWorkBench と等価性検証ツール FLEC とのインターフェイスは、単純に入力形式を変換するだけでなく、FLEC の制限となっているポイントや関数も併せて解消するため、浮動小数点加減算器などの動作IPの設計記述を FLEC に入力することが可能である。さらに、C言語中の任意の部分抽出する機構を備えるため、設計変更部分のみを抽出し規模の問題を回避することができる。しかも、ただ単に指定された部分を抽出するだけではなく、データフローを解析して必要な入出力やインターフェイスの定義を追加するなど、抽出後の記述の整合性の保持を達成している。さらに、単一記述中に抽出指定箇所が複数存在する場合には、これら抽出指定箇所間のデータフローも併せて抽出する機能も備え、差分抽出比較法の適用可能範囲を広げている。なお、これらの機能は、等価性検証だけでなく、大規模回路の合成にも有効に応用可能な技術となっている。

一般に形式的手法は大規模回路の検証が難しいことが知られているが、分岐数の課題は認識されていたもののそれほど問題になることは広く知られていなかった。これは、分岐の問題がC言語記述を対象とする場合特有であったためであろう。このように、今まで知られていなかった課題を明らかにしたことは、今後の実用化に向けた前進である。

また、浮動小数点加減算器のシナリオ例は、ASIC 向けに設計された回路を FPGA 向けに設計変更するという状況を想定したものであり、設計変更せずにそのまま利用するよりも動作周波数が 30%向上させることができた。動作IPは設計再利用性が高いとはいえ、実際の設計現場では製品品質を維持するために同様のチューニングを頻繁に行うことが予想され、現実性の高いシナリオ例といえる。

さらに、比較対象を設計変更部分に限定する手法は、前記シナリオで施される設計変更の局所性が高い性質を利用し、比較範囲を限定して規模と分岐数という課題を解決するものであり、一般的に大規模な回路への適用が難しいといわれる形式的検証手法を実用化するうえで有効と考えている。

③優位比較

従来、設計変更時の等価性の保証にはシミュレーションと呼ばれる手法が広く用いられている。しかしながら、シミュレーションを用いて網羅的な検証を行うには多大な時間を要する。一般的に高速であるといわれる動作レベルシミュレーションを用いても 10^{11} パタン(=1,000億パタン)を検査するのに数か月程度の期間がかかる。しかも、このパタン数は全入力パタンのごく一部であり、網羅度としては $5.4 \times 10^{-7}\%$ に過ぎず、コーナーケース

バグを見落とす可能性は否定できない。インターデザイン社の FastVeri など動作レベルシミュレーションを高速化する手法もいくつか提案されてはいるものの、今回のシナリオで想定するような設計変更には適用できず根本的な解決には至っていない。しかも、性能チューニングのための設計変更は、設計記述変更から動作合成、論理合成、配置配線を何度も繰り返すことにより行われることが多く、設計変更のたびに多大な時間をかけてシミュレーションを行うことは非現実的である。

これに対して、形式的手法を用いた等価性検証は、入力パターンなし、かつ、比較的高速に機能等価性を保証することができ、特にディペンダビリティが要求される回路の正当性保証には適当である。

しかしながら、先に述べたように、一般的に形式的手法は大規模回路への適用が難しい。比較対象を設計変更部分に限定する手法は設計変更の局所性を利用したものであり、すべての設計変更に適用できるものではない。

(2) 上記(1)のうち、特筆すべき成果

1) 特に顕著な成果(科学や技術の新しい分野の展望など)

- ・最悪設計ではなく、ベストエフォート設計によって、コストパフォーマンスの高いディペンダブル VLSI を作れることが示された。
- ・部分再構成技術によって、かつて得られなかった高信頼 VLSI が実現できることがわかった。
- ・形式検証が実用的な大規模回路に対して適用できることが実証的に示された。
- ・信頼性が高く、真に実用に耐えるメニーコア・アーキテクチャが示された。

2) 当初計画で想定外であった重要・新規な展開

- ・耐故障アーキテクチャについて、多方面の応用分野から引く手があった。
- ・メニーコアについて、吉瀬チームの成果が、引き続き、米田チームの上位階層として活かされることとなった。
- ・形式的検証に関して、NEC が新しいグループとして参加し、多くの設計資産を有する CyberWorkBench とのインターフェイス構築により、実用化への具体的な道筋をつけることができた。

§ 4. 成果発表等

(1) 原著論文発表 (国内(和文)誌 8 件、国際(欧文)誌 65 件)

1. Kenichiro Hirose, Yasuo Manzawa, Masahiro Goshima and Shuichi Sakai: Delay-Compensation Flip-Flops for Timing-Error Tolerant Circuit Design, Int'l Conf. on Solid State Devices and Materials (SSDM), pp. 480-481, 2007.
2. Shunsuke Sasaki, Tasuku Nishihara, Daisuke Ando, Masahiro Fujita: Hardware/Software Co-design and Verification Methodology from System Level Based on System Dependence Graph, Journal of Universal Computer Science, Vol. 13, No. 13, pp. 1972-2001, 2007.
3. Bijan Alizadeh, Masahiro Fujita, "Automatic Merge-point Detection for Sequential Equivalence Checking of System-level and RTL Descriptions," Proc. of 5th International Symposium on Automated Technology for Verification and Analysis, pp.129-144, October 2007.
4. Thanyapat Sakunkonchak, Satoshi Komatsu, Masahiro Fujita, "Using Counterexample Analysis to Minimize the Number of Predicates for Predicate Abstraction," Proc. of 5th International Symposium on Automated Technology for Verification and Analysis, pp.553-563, October 2007.
5. Hiroaki Yoshida, Masahiro Fujita, "Performance-Constrained Different Cell Count Minimization for Continuously-Sized Circuits," Proc. of Design, Automation & Test in Europe, pp.1099-1102, March 2008.
6. Kenichiro Hirose, Yasuo Manzawa, Masahiro Goshima and Shuichi Sakai, "Delay-Compensation Flip-Flop with In-situ Error Monitoring for Low-Power and Timing-Error-Tolerant Circuit Design", IPAP (Institute of Pure and Applied Physics) Japanese Journal of Applied Physics, 10.1143/JJAP.47.2779, Apr. 2008.
7. O. Sarbishei, B. Alizadeh, M. Fujita, "Arithmetic Circuits Verification without Looking for Internal Equivalences", Proc. of 6th ACM/IEEE International Conference on Formal Methods and Models for Co-Design, pp.7-16, June 2008.

8. Subash Shankar, Masahiro Fujita, "Rule-Based Approaches for Equivalence Checking of Spec C Programs", Proc. of 6th ACM/IEEE International Conference on Formal Methods and Models for Co-Design, pp.39-48, June 2008.
9. Shuichi Sakai, Masahiro Goshima, Hidetsugu Irie, "Ultra Dependable Processor", IEICE Trans. on Electronics, Vol. E91-C, No. 9, pp. 1386—1393 (2008).
10. Yoshihisa Kojima, Tasuku Nishihara, Takeshi Matsumoto, and Masahiro Fujita, "An Interactive Verification and Debugging Environment by Concrete/Symbolic Simulations for System-level Designs", Proc. of the 17th Asian Test Symposium, pp.315-320, November 2008.
11. Goeschwin Fey, Satoshi Komatsu, Yasuo Furukawa, Masahiro Fujita, "Targeting Leakage Constraints during ATPG", Proc. of the 17th Asian Test Symposium, pp.225-230, November 2008.
12. Hiroaki Yoshida, Masahiro Fujita, "Improving the Accuracy of Rule-based Equivalence Checking of System-level Design Descriptions by Identifying Potential Internal Equivalences", Proc. of 10th International Symposium on Quality Electronic Design, pp.360-370, March 2009.
13. O. Sarbishei, M. Tabandeh, B. Alizadeh, M. Fujita, "A Formal Approach for Debugging Arithmetic Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.28, No.5, pp.742-754, May 2009, doi:10.1109/TCAD.2009.2013998.
14. T. Nishihara, T. Matsumoto, M. Fujita, "Word-Level Equivalence Checking in Bit-Level Accuracy with Identical Datapath," IEICE Trans. on Information and Systems, Vol.E92-D, No.5, pp.972-984, May 2009, doi:10.1587/transinf.E92.D.972.
15. B. Alizadeh, M. Fujita, "A Unified Framework for Equivalence Verification of Datapath Oriented Applications," IEICE Trans. on Information and Systems, Vol.E92-D, No.5, pp.985-994, May 2009, doi:10.1587/transinf.E92.D.985.
16. S. Gao, H. Yoshida, K. Seto, S. Komatsu, M. Fujita, "Interconnect-aware pipeline synthesis for array based architectures," IEICE Trans. on Fundamentals, Vol.E92-A, No.6, pp.1464-1475, June 2009, doi:10.1587/transfun.E92.A.1464.
17. O. Sarbishei, M. Tabandeh, B. Alizadeh, M. Fujita, "High-level Optimization of Integer Multipliers over a Finite Bit-Width with Verification Capabilities," Proc. of 7th International Conference on Formal Methods and Models for Codesign, pp.56-65, July 2009, doi:10.1109/MEMCOD.2009.5185378.
18. O. Sarbishei, B. Alizadeh, M. Fujita, "Polynomial Datapath Optimization using Partitioning and Compensation Heuristics," Proc. of the 46th Annual Design Automation Conference, pp.931-936, July 2009, doi:10.1145/1629911.1630151.
19. A.M. Gharehbaghi, M. Fujita, "Transaction-Based Debugging of System-on-Chips with Patterns," Proc. of 27th IEEE International Conference on Computer Design, pp.186-192, Oct. 2009, doi:10.1109/ICCD.2009.5413157.
20. A.M. Gharehbaghi, M. Fujita, "On-Chip Transaction Level Debug Support for System-on-Chips," Proc. of International SoC Design Conference, pp.124-127, Nov. 2009, doi:10.1109/SOCD.2009.5423891.
21. B. Alizadeh, M. Fujita, "Improved Heuristics for Finite Word-Length Polynomial Datapath Optimization," Proc. of 2009 IEEE/ACM International Conference on Computer-Aided Design, pp.169-174, Nov. 2009, doi:10.1145/1687399.1687536.
22. Y. Lee, T. Nishihara, T. Matsumoto, M. Fujita, "A Post-Silicon Debug Support Using High-level Design Description," Proc. of the 18th Asian Test Symposium, pp.141-147, Nov. 2009, doi:10.1109/ATS.2009.28.
23. H. Yoshida, S. Morishita, M. Fujita, "Demonstration of Hardware Accelerated Formal Verification," Proc. of the 2009 International Conference on Field-Programmable Technology, pp.380-383, Dec. 2009, doi:10.1109/FPT.2009.5377610.
24. B. Alizadeh, M. Fujita, "Optimization of Modular Multiplication on FPGA using Don't Care Conditions," Proc. of the 2009 International Conference on Field-Programmable Technology, pp.399-402, Dec. 2009, doi:10.1109/FPT.2009.5377687.
25. B. Alizadeh, M. Fujita, "Guided Gate-level ATPG for Sequential Circuits using a High-level Test Generation Approach," Proc. of 15th Asia and South Pacific Design Automation Conference, pp.425-430, Jan. 2010, doi:10.1109/ASPDAC.2010.5419843.
26. T. Matsumoto, T. Nishihara, M. Fujita, "Performance Estimation with Automatic False-Path Detection for System-Level Designs," IPSJ Transactions on System LSI Design Methodology,

Vol.3, pp.69-80, Feb. 2010, doi:10.2197/ipsjtsldm.3.69.

27. A.M. Gharehbaghi, B. Alizadeh, M. Fujita, "Aggressive Overclocking Support using a Novel Timing Error Recovery Technique on FPGAs," Proc. of Eighteenth ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, page 288, Feb. 2010, doi:10.1145/1723112.1723178.
28. B. Alizadeh, A. M. Gharehbaghi, M. Fujita, "Pipelined Microprocessors Optimization and Debugging," Proc. of 6th International Symposium on Applied Reconfigurable Computing, pp.435-444, March 2010, doi:10.1007/978-3-642-12133-3.
29. Masahiro Fujita, Hideo Tanida, Fei Gao, Tasuku Nishihara, Takeshi Matsumoto, "Synthesis and Formal Verification of On-Chip Protocol Transducers through Decomposed Specification," Proc. of 11th International Symposium on Quality Electronic Design, pp.515-524, March 2010, doi:10.1109/ISQED.2010.5450526.
30. B. Alizadeh, M. Mirzaei, M. Fujita, "Coverage Driven High Level Test Generation using a Polynomial Model of Sequential Circuits," IEEE Transactions on Computer-Aided-Design of Integrated Circuits and Systems, Vol. 29, No. 5, pp. 737-748, May 2010, doi:10.1109/TCAD.2010.2043571.
31. B. Alizadeh, M. Fujita, "Modular Data-path Optimization and Verification Based on Modular-HED," IEEE Transactions on Computer-Aided-Design of Integrated Circuits and Systems, Vol. 29, No. 9, pp. 1422-1435, Sep. 2010, doi:10.1109/TCAD.2010.2059271.
32. Yeonbok Lee, Takeshi Matsumoto, Masahiro Fujita, "Generation of I/O Sequences for A High-Level Design from Those in Post-Silicon for Efficient Post-Silicon Debugging," Proc. of 2010 IEEE International Conference on Computer Design, pp. 402-408, Oct. 2010, doi:10.1109/ICCD.2010.5647681.
33. 植原 昂(東工大), 佐藤真平(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの研究・教育を支援する実用的な基盤環境, 電子情報通信学会システム開発論文特集号, Vol. J93-D, No.10, pp. 2042-2057, Oct. 2010.
34. Ratna Krishnamoorthy, Keshavan Varadarajan, Ganesh Garga, Mythri Alle, Ranjani Narayan, S K Nandy, Masahiro Fujita, "Towards Minimizing Reconfiguration Overhead in Dynamically Reconfigurable Processors: REDEFINE as a case study," Proc. of the 2010 International Conference on Compilers, Architecture, and Synthesis for Embedded Systems, pp. 77-86, October 2010, doi:10.1145/1878921.1878935.
35. F. Haedicke, B. Alizadeh, G. Fey, M. Fujita, R. Drechsler, "A Polynomial Datapath Optimization using Constraint Solving and Formal Modeling," Proc. of the 2010 International Conference on Computer-Aided Design, pp. 756-761, Nov. 2010, doi:10.1109/ICCAD.2010.5654279.
36. Shinya Takamaeda (Tokyo Tech), Shimpei Sato (Tokyo Tech), Takefumi Miyoshi (UEC Tokyo), and Kenji Kise (Tokyo Tech), SmartCore System for Dependable Many-core Processor with Multifunction Routers, International Conference on Networking and Computing (ICNC'10), Nov. 2010, DOI: 10.1109/IC-NC.2010.53:
37. Takefumi Miyoshi (UEC Tokyo), Kenji Kise (Tokyo Tech), Hidetsugu Irie (UEC Tokyo), and Tsutomu Yoshinaga (UEC Tokyo), CODIE: Continuation-based Overlapping Data-transfers with Instruction Execution, International Conference on Networking and Computing (ICNC'10), Nov. 2010, DOI: 10.1109/IC-NC.2010.26.
38. Ryota Shioya, Kazuo Horio, Masahiro Goshima, and Shuichi Sakai: Register Cache System not for Latency Reduction Purpose, IEEE Int'l Symp. on Microarchitecture (MICRO-43), pp. 301-312 (2010).(DOI: 10.1109/MICRO.2010.43)
39. H. Yoshida, M. Fujita, "Performance-Constrained Transistor Sizing for Different Cell Count Minimization," IPSJ Journal of Information Processing, Vol. 18, pp. 252-262, Dec. 2010, doi:10.2197/ipsjjip.18.252.
40. B. Alizadeh, M. Fujita, "A Debugging Method for Repairing Post-Silicon Bugs of High Performance Processors in the Fields," Proc. of the 2010 International Conference on Field-Programmable Technology, pp. 328-331, Dec. 2010, doi:10.1109/FPT.2010.5681434.
41. Y. Lee, T. Matsumoto, M. Fujita, "On-chip Dynamic Signal Sequence Slicing for Efficient Post-Silicon Debugging," Proc. of Asia and South Pacific Design Automation Conference, pp. 719-724, Jan. 2011, doi:10.1109/ASPDAC.2011.5722280.
42. H. Yoshida and M. Fujita, "Exact Minimum Factoring of Incompletely Specified Logic

- Functions via Quantified Boolean Satisfiability,” IPSJ Transactions on System LSI Design Methodology, Vol. 4, pp. 70-79, Feb. 2011.(DOI:10.2197/ipsjtsldm.4.70)
43. 高前田伸也(東工大), 佐藤真平(東工大), 藤枝直輝(東工大), 三好健文(電通大), 吉瀬謙二(東工大): メニーコアアーキテクチャの HW 評価環境 ScalableCore システム, 情報処理学会論文誌コンピューティングシステム, Vol.4, No.1, pp. 24-42, Feb. 2011.
 44. A.M. Gharehbaghi, M. Fujita, “Global Transaction Ordering in Network-on-Chips for Post-Silicon Validation”, Proc. of the 12th International Symposium on Quality Electronic Design, pp. 284-289, March 2011, doi:10.1109/ISQED.2011.5770738.
 45. B. Alizadeh, M. Fujita, “Debugging and Optimizing High Performance Superscalar Out-of-Order Processors Using Formal Verification Techniques”, Proc. of the 12th International Symposium on Quality Electronic Design, pp. 297-302, March 2011, doi:10.1109/ISQED.2011.5770740.
 46. R. Krishnamoorthy, K. Varadarajan, M. Fujita, S.K. Nandy, M. Alle, R. Narayan, “Dataflow Graph Partitioning for Optimal Spatio-Temporal Computation on a Coarse Grained Reconfigurable Architecture,” Proc. the 7th International Symposium on Applied Reconfigurable Computing, pp. 125-132, March 2011, doi:10.1007/978-3-642-19475-7_15.
 47. V. Izosimov, M. Lora, G. Pravadelli, F. Fummi, Peng Zebo, G. Di Guglielmo, M. Fujita, “Optimization of Assertion Placement in Time-Constrained Embedded Systems,” Proc. of 6th IEEE European Test Symposium, pp.171-176, May 2011, doi:10.1109/ETS.2011.35.
 48. Y. Lee, T. Matsumoto, M. Fujita, “An Automatic Method of Mapping I/O Sequences of Chip Execution onto High-level Design for Post-Silicon Debugging,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E94-A, No.7, pp.1519-1529, Jul. 2011, doi: 10.1587/transfun.E94.A.1519.
 49. G. Di Guglielmo, M. Fujita, F. Fummi, G. Pravadelli, S. Soffia, “EFSM-based model-driven approach to concolic testing of system-level design,” Proc. of 9th IEEE/ACM International Conference on Formal Methods and Models for Codesign, pp.201-209, July 2011, doi:10.1109/MEMCOD.2011.5970527.
 50. R. Krishnamoorthy, S. Das, K. Varadarajan, M. Alle, M. Fujita, S K Nandy, R. Narayan, “Data Flow Graph Partitioning Algorithms and Their Evaluations for Optimal Spatio-temporal Computation on a Coarse Grain Reconfigurable Architecture,” IPSJ Transactions on System LSI, Vol.4, pp.193-209, Aug. 2011, doi:10.2197/ipsjtsldm.4.193.
 51. Shinya Takamaeda (Tokyo Tech), Ryosuke Sasakawa (Tokyo Tech), Yoshito Sakaguchi (Tokyo Tech), and Kenji Kise (Tokyo Tech): An FPGA-based Scalable Simulation Accelerator for Tile Architectures, COMPUTER ARCHITECTURE NEWS, Vol.39, No.4, pp.38-43 (International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies HEART2011), Sep. 2011, DOI: 10.1145/2082156.2082166.
 52. H. Yoshida, M. Fujita, “An Energy-Efficient Patchable Accelerator For Post-Silicon Engineering Changes,” Proc. of the 9th International Conference on Hardware/Software Codesign and System Synthesis (CODES+ISSS), pp. 13-20, Oct. 2011, doi:10.1145/2039370.2039376.
 53. 佐野伸太郎(東工大), 吉瀬謙二(東工大): メニーコアプロセッサのための通信衝突に着目したタスク配置手法, 情報処理学会論文誌コンピューティングシステム, Vol.4, No.4, pp. 96-109, Oct. 2011.
 54. B. Alizadeh, M. Fujita, “Modular equivalence verification of polynomial datapaths with multiple word-length operands,” Proc. of 16th IEEE International High Level Design Validation and Test Workshop, pp. 9-16, Nov. 2011, doi:10.1109/HLDVT.2011.6114160.
 55. A.M. Gharehbaghi, M. Fujita, “Formal Verification Guided Automatic Design Error Diagnosis and Correction of Complex Processors”, Proc. of 16th IEEE High-Level Design Validation and Test Workshop, pp. 121-127, Nov. 2011, doi:10.1109/HLDVT.2011.6113987.
 56. H. Mangassarian, H. Yoshida, A. Veneris, S. Yamashita, M. Fujita, “On Error Tolerance and Engineering Change with Partially Programmable Circuits,” Proc. of 17th Asia and South Pacific Design Automation Conference, pp. 695-700, Jan. 2012. doi:10.1109/ASPDAC.2012.6165045.
 57. 佐藤真平(東工大), 吉瀬謙二(東工大): Distributed Shared-Buffer NoC ルータのためのパイプラインバイパス手法 情報処理学会論文誌コンピューティングシステム, Vol.5, No.1, pp.88-102, 2012
 58. A.M. Gharehbaghi, M. Fujita, “Transaction-Based Post-Silicon Debug of Many-Core System-on-Chips”, Proc. of 13th International Symposium on Quality Electronic Design, pp.

703-709, Mar. 2012, doi:10.1109/ISQED.2012.6187568.

59. Shinya Takamaeda (Tokyo Tech), Shintaro Sano (Tokyo Tech), Yoshito Sakaguchi (Tokyo Tech), Naoki Fujieda (Tokyo Tech), and Kenji Kise (Tokyo Tech): ScalableCore System: A Scalable Many-core Simulator by Employing Over 100 FPGA, The 8th International Symposium on Applied Reconfigurable Computing (ARC2011), Lecture Notes in Computer Science, Vol.7199/2012, pp.138-150, March 2012, DOI: 10.1007/978-3-642-28365-9_12.
60. 藤枝直輝(東工大), 吉瀬謙二(東工大): ディレクトリの余剰エントリを利用した CMP 向け分散キャッシュの効率化, 情報処理学会論文誌コンピューティングシステム, Vol.5, No.3, pp.86-100, May 2012.
61. A.M. Gharehbaghi, M. Fujita, "Transaction Ordering in Network-on-Chips for Post-Silicon Validation," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences Vol.E95-A, No.12, pp.2309-2318, Dec. 2012, doi:10.1587/transfun.E95.A.2309 .
62. A.M. Gharehbaghi, M. Fujita, "Automatic Rectification of Design Errors in Complex Processors with Programmable Hardware," Proc. of 2012 IEEE International Conference on Field Programmable Technology, pp.141-146, Aug. 2012, doi:10.1109/FPT.2012.6412126
63. S. Ono, T. Matsumoto, M. Fujita, "Automatic Assertion Extraction in Gate-Level Simulation Using GPGPUs," Proc. of 2012 IEEE 30th International Conference on Computer Design, pp.522-523, Oct. 2012, doi:10.1109/ICCD.2012.6378704
64. Marco Bonato, Giuseppe Di Guglielmo, Masahiro Fujita, Franco Fummi, Graziano Pravadelli, "Dynamic Property Mining for Embedded Software," Proc. of the eighth IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis, pp.187-196, Oct. 2012, doi:10.1145/2380445.2380479
65. T. Matsumoto, S. Ono, M. Fujita, "An Efficient Method to Localize and Correct Bugs in High-Level Designs Using Counterexamples and Potential Dependence," Proc. of 2012 IEEE/IFIP 20th International Symposium on Very Large Scale Integration, pp.291-294, Oct. 2012, doi:10.1109/VLSI-SoC.2012.6379049
66. Bijan Alizadeh, Masahiro Fujita, "A Functional Test Generation Technique for RTL Datapaths," Proc. of 17th IEEE International High Level Design Validation and Test Workshop, pp.64-70, Nov. 2012, doi:10.1109/HLDVT.2012.6418244
67. A.M. Gharehbaghi, M. Fujita, "Error Model Free Automatic Design Error Correction of Complex Processors Using Formal Methods," Proc. of 2012 IEEE 21st Asia Test Symposium, Nov. 2012, pp.143-148, doi:10.1109/ATS.2012.44
68. S. Jo, T. Matsumoto, M. Fujita, "SAT-based automatic rectification and debugging of combinational circuits with LUT insertions," Proc. of 2012 IEEE 21st Asia Test Symposium, pp.19-24, Nov. 2012, doi:10.1109/ATS.2012.55
69. S. Jo, A.M. Gharehbaghi, T. Matsumoto, M. Fujita, "Rectification of Advanced Microprocessors without Changing Routing on FPGAs," Proc. of International Symposium on Field-Programmable Gate Arrays, pp. 279-279, Feb. 2013, doi:10.1145/2435264.2435347.
70. Anmol Mathur, Masahiro Fujita, Edmund M. Clarke, and Pascal Urard, "Functional Equivalence Verification Tools in High-Level Synthesis Flows," IEEE Design & Test of Computers, Vo.26, No.4, pp.88-95, July 2009, doi:10.1109/MDT.2009.79.
71. 吉田 宗史, 広畑 壮一郎, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一: 情報処理学会論文誌コンピューティングシステム(ACS), Vol. 6, No. 1, pp. 1-16, March, 2013.
72. 五島 正裕, 倉田 成己, 塩谷 亮太, 坂井 修一: タイミング・フォールト耐性を持つ Out-of-Order プロセッサ, 情報処理学会論文誌: コンピューティングシステム (ACS), Vol. 6, No. 1, pp. 17-30 March, 2013.
73. 佐野伸太郎(東工大), 五十嵐俊哉(東工大), 吉瀬 謙二(東工大):メッシュ/トラス接続型スーパーコンピュータに適した高性能タスク配置手法,電子情報通信学会論文誌, Vol.J96-D, No.2, pp.269-279, Feb. 2013.

(2)その他の著作物(総説、書籍など)

(3)国際学会発表及び主要な国内学会発表

①招待講演 (国内会議 8 件、国際会議 23 件)

1. 坂井修一(東大):社会情報インフラの安全と信頼, 平成 19 年度日本学術会議情報学委員会および情報

処理学会共催講演会「情報処理で社会を守る」, November 2007.

2. Shuichi Sakai, Hidetoshi Onodera, Hiroto Yasuura, James C. Hoe, “Dependable VLSI: Device, Design and Architecture - How should they cooperate? -”, ASP-DAC Panel Discussions, Pacifico Yokohama, Jan. 2009.
3. 坂井修一(東大), 藤田昌宏(東大), 五島正裕(東大), 吉瀬謙二(東工大), “超ディペンダブル VLSI への挑戦”, 招待講演、電子情報通信学会総合大会, 愛媛大学, 2009 年3月.
4. 五島正裕, LSI とシステムにおけるアーキテクチャの果たすべき役割, LSI とシステムのワークショップ 2009 (2009).
5. T. Matsumoto(The University of Tokyo), T. Nishihara(The University of Tokyo), Y. Kojima(The University of Tokyo), M. Fujita(The University of Tokyo), “Equivalence Checking of High-Level Designs Based on Symbolic Simulation,” Proc. of 2009 International Conference on Communications, Circuits and Systems, San Jose, USA, pp.1129-1133, July 2009, doi:10.1109/ICCCAS.2009.5250316.
6. H. Yoshida (The University of Tokyo), M. Fujita(The University of Tokyo), “Rule-based Equivalence Checking of System-level Design Descriptions,” Proc. of International Conference on Communications, Circuits and Systems, pp.1139-1143, San Jose, USA, July 2009, doi:10.1109/ICCCAS.2009.5250314.
7. 藤田昌宏(東大), “C 言語ベース設計に対する高位設計検証技術,” DA シンポジウム 2009 論文集, pp.199-204, 金沢, 2009 年 8 月.
8. Masahiro Fujita(The University of Tokyo), “Verification and debugging of hardware designs utilizing C-based high-level design descriptions,” Intel DTS Symposium, Haifa, Israel, September 2009.
9. Masahiro Fujita(The University of Tokyo), “Techniques assuring logical correctness of hardware design,” 23rd International Conference on VLSI Design, Bangalore, India, January 2010.
10. Shuichi Sakai(東大), Ultra Dependable VLSI Processor Architecture, VDEC D2T Symposium 2010, June 2010.
11. Shuichi Sakai(東大), Dependable VLSI Systems, VDEC D2T Symposium 2010, panel discussion, June 2010.
12. M. Fujita(The University of Tokyo), B. Alizadeh(The University of Tokyo), H. Yoshida(The University of Tokyo), T. Matsumoto(The University of Tokyo), “Post-silicon debugging with high level design descriptions and programmable controllers,” International Workshop on Microprocessor Test and Verification, Austin, US, Dec. 2010.
13. M. Fujita(The University of Tokyo), “Utilizing high level design information to speed up post-silicon debugging,” Proc. of Asia and South Pacific Design Automation Conference, pp. 301-305, Yokohama, Jan. 2011, doi:10.1109/ASPDAC.2011.5722203.
14. M. Fujita(The University of Tokyo), “Post-silicon debugging,” IEEE International Workshop on Reliability Aware System Design and Test, Chennai, India, Jan. 2011.
15. * M. Fujita(The University of Tokyo), “Programmability based approach to post-silicon debug and rectification,” IEEE 29th VLSI Test Symposium, Dana Point, California, USA, May, 2011.
16. M. Fujita(The University of Tokyo), “Patchable Hardware Design,” 3rd IEEE Design for Reliability and Variability Workshop, Dana Point, California, USA, May 2011.
17. M. Fujita(The University of Tokyo), “Formal Verification of Timing Error Recovery Algorithms for Pipelined Processors,” IEEE International Workshop on Processor Verification, Test and Debug (IWPVTD'11), Trondheim, Norway, May 2011.
18. M. Fujita(The University of Tokyo), “Synthesizing, Verifying, and Debugging SoC with FSM-Based Specification of On-Chip Communication Protocols,” 9th International Symposium on Automated Technology for Verification and Analysis, pp.43-50, Taipei, Taiwan, Oct. 2011, doi:10.1007/978-3-642-24372-1_4.
19. M. Fujita(The University of Tokyo), “High Level Verification and its Use at Post-Silicon Debugging and Patching,” 20th Asian Test Symposium, pp.464-469, New Delhi, India, Nov. 2011, doi:10.1109/ATS.2011.51.
20. M. Fujita(The University of Tokyo), “Structural and functional test generation from RTL/behavioral descriptions,” IEEE Twelfth Workshop on RTL and High Level Testing 2011, MNIT Jaipur, India, Nov. 2011.

21. 坂井 修一(東大): [フェロー記念講演] 安全・安心社会と電子情報技術 ～ 何をどうやって守るか～,
1. 電子情報通信学会 CPSY2011-42, pp. 1-2, Nov. 2011.
22. M. Fujita(The University of Tokyo), "Accelerating Tsunami simulation with FPGA and GPU through automatic compilation," International Conference on Wireless Technologies for Humanitarian Relief, Kerala, India, Dec. 2011.
23. M. Fujita(The University of Tokyo), H. Yoshida(The University of Tokyo), "Post-Silicon Patching for Verification/Debugging with High-Level Models and Programmable Logic," 17th Asia and South Pacific Design Automation Conference, pp. 232 - 237, Sydney, Australia, Jan. 2012.
24. Y. Yang(Vennsa Technologies), A. Veneris(University of Toronto), N. Nicolici(McMaster University), M. Fujita(The University of Tokyo), "Automated Data Analysis Techniques for a Modern Silicon Debug Environment," 17th Asia and South Pacific Design Automation Conference, pp. 298 - 303, Sydney, Australia, Jan. 2012.
25. 藤田昌宏(東大), "高位合成、低消費電力用デザインの最適化、及び、等価検証における最近の傾向と今後の方向," 基調講演, Calypto Tech Forum 東京, 2012 年 4 月.
26. Masahiro Fujita(The University of Tokyo), "System-on-Chip (SoC) design techniques," Tutorial in Third International Conference on Computing Communication and Networking Technologies 2012, Coimbatore, India, July 2012.
27. Masahiro Fujita(The University of Tokyo), "Error Tolerance and Engineering Change with Partially Programmable Circuits and their SAT-Based Programming," In Dagstuhl seminar (Seminar 12341): Verifying Reliability, Dagstuhl, Germany, Aug. 2012.
28. Masahiro Fujita(The University of Tokyo), "Development of High Performance and Flexible Computing Systems with Electronic Design Automation Algorithms," 2012 International Conference on Signal Processing, Communications and Computing, Hong Kong, Aug. 2012.
29. Masahiro Fujita(The University of Tokyo), "Formal Analysis and Verification of Multiple Programs Based on Difference Identification," Verified Software Workshop and Summer School 2012, Shanghai, China, Aug. 2012.
30. Masahiro Fujita(The University of Tokyo), "Simulation based analysis of cyberphysical systems," 15th Euromicro Conference on Digital System Design, Cesme Izmir, Turkey, Sep. 2012 .
31. Masahiro Fujita(The University of Tokyo), "Post-silicon verification and debugging with control FSM traces and patchable HW," 17th IEEE International High Level Design Validation and Test Workshop, Huntington Beach, California, USA, Nov. 2012 .

②口頭発表 (国内会議 110 件、国際会議 20 件)

1. 坂井修一: アーキテクチャと形式的検証の協調による超ディペンダブル VLSI, JST CREST「ディペンダブル VLSI システムの基盤技術」研究領域平成 19 年度ワークショップ, pp. 30-51, Dec.2007.
2. Bijan Alizadeh(The University of Tokyo), Masahiro Fujita(The University of Tokyo), "A Novel Formal Approach to Generate High-level Test Vectors without ILP and SAT Solvers," IEEE International High Level Design Validation and Test Workshop 2007, pp.97-104, Irvine, USA, November 2007.
3. Pierre Devautour, Shuichi Sakai and Masahiro Goshima: Fault-tolerant FPGA Architecture with Distributed Internal Configuration-Memory, Access, IPSJ SIG Technical Reports 2008--ARC--177 (HOKKE 2008), Vol.2008, No. 19, pp. 1-6, Mar 2008.
4. 安藤大介(東大), 松本剛史(東大), 西原佑(東大), 藤田昌宏(東大), "システムレベル設計言語に対するフォールスパスを考慮した性能評価," VLSI 設計技術研究会, 電子情報通信学会技術研究報告, Vol.107, No.507, pp.49-54, 那覇, 2008 年 3 月.
5. 森下賢志(東大), 吉田浩章(東大), 藤田昌宏(東大), "準形式的モデル検査のハードウェア実装による高速化の検討," システム LSI 設計技術・組込みシステム合同研究発表会, 電子情報通信学会技術研究報告, Vol.107, No.558, pp.115-120, 屋久島, 2008 年 3 月.
6. 小島慶久(東大), 西原 佑(東大), 松本剛史(東大), 藤田昌宏(東大), "システムレベル設計記述に対する具体値・記号値混合シミュレーションによる入力パターンの自動生成手法," システム LSI 設計技術・組込みシステム合同研究発表会, 電子情報通信学会技術研究報告, Vol.107, No.558, pp.133-138, 屋久島, 2008 年 3 月.

7. Goeschwin Fey(The University of Tokyo), Satoshi Komatsu(The University of Tokyo), Yasuo Furukawa(Advantest Corp.), Masahiro Fujita(The University of Tokyo), "Targeting Leakage Constraints during ATPG", 5th IEEE International Workshop on Silicon Debug and Diagnosis, San Diego, USA, April 2008.
8. Masahiro Fujita(The University of Tokyo), Hiroaki Yoshida(The University of Tokyo), Satoshi Morishita(The University of Tokyo), "Hardware/Software Co-Design/Execution Approach to Silicon Debug and Diagnosis", 5th IEEE International Workshop on Silicon Debug and Diagnosis, San Diego, USA, April 2008.
9. Daisuke Ando(The University of Tokyo), Tasuku Nishihara(The University of Tokyo), Takeshi Matsumoto(The University of Tokyo), Masahiro Fujita(The University of Tokyo), "Performance Estimation with Automatic False-Path Detection for System-Level Designs", The 17th International Workshop on Logic and Synthesis, pp. 15-22, Lake Tahoe, USA, June 2008.
10. Hiroaki Yoshida(The University of Tokyo), Satoshi Morishita(The University of Tokyo), Masahiro Fujita(The University of Tokyo), "Hardware-Accelerated Formal Verification", The 17th International Workshop on Logic and Synthesis, pp.247-252, Lake Tahoe, USA, June 2008.
11. 杉本 健、入江英嗣、五島正裕、坂井修一, "タイミング故障耐性を持つスーパスカラ・プロセッサ", 電子情報通信学会研究報告 CPSY2008-14, pp. 19-24, Aug. 2008.
12. 樽井 翔、塩谷亮太、五島正裕、坂井修一, "タイミングフォールト耐性を持つクロッキング方式", 電子情報通信学会研究報告 CPSY2008-14, pp. 25-30, Aug. 2008.
13. 西原 祐(東大), 松本剛史(東大), 藤田昌宏(東大), "プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出方法", DA シンポジウム 2008, pp.121-126, 浜松, 2008 年 8 月.
14. Bijan Alizadeh(The University of Tokyo), Masahiro Fujita(The University of Tokyo), "Modular-HED: A Canonical Decision Diagram for Modular Equivalence Verification of Polynomial Functions", Fifth International Workshop on Constraints in Formal Verification, Sydney, Australia, August, 2008.
15. 吉瀬謙二(東工大), 植原 昂(東工大), 佐藤真平(東工大), "メニーコアプロセッサのディペンダビリティ向上と高性能を目指す SmartCore システム", 情報処理学会研究報告 2008-ARC-180, pp. 49-52, Oct. 2008.
16. 植原 昂(東工大), 佐藤真平(東工大), 森谷章(東工大), 藤枝直輝(東工大), 高前田伸也(東工大), 渡邊伸平(東工大), 三好健文(東大), 小林良太郎(豊橋技科大), 吉瀬謙二(東工大), "シンプルで効率的なメニーコアアーキテクチャの開発", 情報処理学会研究報告 2008-ARC-180, pp. 39-44, Oct. 2008.
17. 吉田浩章(東大), 藤田昌宏(東大), "内部等価性の推定によるルールベース高位検証の高精度化", 情報処理学会システム LSI 設計技術研究会, 電子情報通信学会技術研究報告, Vol.108, No.298, pp.109-114, 北九州, 2008 年 11 月.
18. 松本剛史(東大), 李 蓮福(東大), 吉田浩章(東大), 余宮尚志(東芝), 藤田昌宏(東大), "反例を利用した網羅性の高いプロパティ集合生成手法", 情報処理学会システム LSI 設計技術研究会, 電子情報通信学会技術研究報告, Vol.108, No.298, pp.115-120, 北九州, 2008 年 11 月.
19. Tasuku Nishihara(The University of Tokyo), Takeshi Matsumoto(The University of Tokyo), Masahiro Fujita(The University of Tokyo), "Multi-Level Bounded Model Checking to Detect Bugs Beyond the Bound", 2008 IEEE International High Level Design, Validation and Test Workshop, pp.49-55, Lake Tahoe, USA, November 2008.
20. 許 金美(東大), 西原 祐(東大), 松本剛史(東大), 藤田昌宏(東大), "順序回路の上位設計記述における等価性指定の自動化手法", 電子情報通信学会技術研究報告, Vol.108, No.412, 東京, pp.105-110, 2009 年 1 月.
21. 高 飛(東大), 西原 祐(東大), 松本剛史(東大), 藤田昌宏(東大), "仕様から自動生成されたプロパティによるプロトコル変換器の形式的検証手法", 電子情報通信学会技術研究報告, Vol.108, No.412, pp.111-116, 東京, 2009 年 1 月.
22. 李 蓮福(東大), 松本剛史(東大), 藤田昌宏(東大), "上位設計記述におけるダイナミックプログラムスライシングを用いたポストシリコンデバッグ支援手法", 電子情報通信学会技術研究報告, Vol.108, No.463, pp.31-36, 佐渡島, 2009 年 3 月.
23. 田川貴聡(東大), 吉田浩章(東大), 藤田昌宏(東大), "チップ内プログラマブル配線向け形式的検証手法", 電子情報通信学会技術研究報告, Vol.108, No.478, pp.95-100, 那覇, 2009 年 3 月.

24. 原田裕基(東大), 西原 佑(東大), 松本剛史(東大), 藤田昌宏(東大), “システムレベル設計における並列動作の同期に関するデバッグ支援手法”, 電子情報通信学会技術研究報告, Vol.108, No.463, pp.37-42, 佐渡島, 2009 年 3 月.
25. 若杉祐太(東工大), 佐藤真平(東工大), 植原 昂(東工大), 藤枝直輝(東工大), 渡邊伸平(東工大), 高前田伸也(東工大), 森 洋介(東工大), 吉瀬謙二(東工大): 極めて低コストで効率的な VDEC チップ試作・検証システムの開発と応用, 情報処理学会研究報告 2009-ARC-183, pp. 1-8, Apr. 2009.
26. 佐藤真平(東工大), 植原 昂(東工大), 吉瀬謙二(東工大): メニーコアプロセッサのオンチップネットワーク性能を向上させる SmartCore システム, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 27-35, May 2009.
27. 植原 昂(東工大), 佐藤真平(東工大), 高前田伸也(東工大), 渡邊伸平(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの HW/SW 研究開発を加速する実用的な基盤環境, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 199-207, May 2009.
28. 森 洋介(東工大), 森谷 章(東工大), 吉瀬謙二(東工大): マルチコアプロセッサの高速化を目指したキャッシュコアの最適化, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 389-398, May 2009.
29. B. Alizadeh(The University of Tokyo), M. Fujita(The University of Tokyo), “Modularity in Word-level Decision Diagrams,” Reed Muller Workshop, pp.33-41, Naha, Japan, May 2009.
30. O.Sarbishei(Sharif University of Technology), B. Alizadeh(The University of Tokyo), M. Fujita(The University of Tokyo), “A Debug Methodology for Arithmetic Circuits Based on Horner Expansion Diagram,” Proc. of 6th International Workshop on Constraints in Formal Verification, pp.30-45, Grenoble, France, June 2009.
31. Shinya Takamaeda (Tokyo Tech), Shimpei Watanabe (Tokyo Tech), Takefumi Miyoshi (Tokyo Tech), and Kenji Kise (Tokyo Tech): ScalableCore: The Concept of Practical and Low-Cost Prototyping System for Many-Core Processor Research and Education, The 4th Workshop on Architectural Research Prototyping (WARP 2009) held in conjunction with the ISCA-2009, Jun. 2009.
32. 喜多貴信, 樽井 翔, 塩谷亮太, 五島正裕, 坂井修一, タイミング制約を緩和するクロッキング方式の予備評価, 電子情報通信学会研究報告 CPSY2009-26, pp. 61-66, Aug.2009.
33. 岡田崇志, 喜多貴信, 五島正裕, 坂井修一, 耐永久故障 FPGA アーキテクチャ, 情報処理学会研究報告 2009-ARC-184, No. 4, Aug. 2009.
34. 三好健文(東工大), 笹田耕一(東大), 植原 昂(東工大), 佐野伸太郎(東工大), 森 洋介(東工大), 吉瀬謙二(東工大): メニーコア向けタスクスケジューリングシステムの検討, 情報処理学会研究報告 2009-ARC-184, pp. 1-7, Aug. 2009.
35. 西原 佑(東大), 松本剛史(東大), 藤田昌宏(東大), “HW/SW 協調設計の形式的検証における同期点の抽出による効率的な状態削減手法,” DA シンポジウム 2009 論文集, pp. 49-54, 金沢, 2009 年 8 月.
36. 喜多貴信, タイミング制約を緩和するクロッキング方式, CREST DVLS テスト構造フォーラム(第 1 回), FD1-4 (2009), 京都大学, Sep. 2009.
37. 渡邊伸平(東工大), 高前田伸也(東工大), 姜 軒(東工大), 三好健文(東工大), 吉瀬謙二(東工大): 小容量 FPGA によるスケーラブルなシステム評価環境の構築手法, 電子情報通信学会研究報告 RECONF2009-31, pp. 73-78, Sep. 2009.
38. B. Alizadeh(The University of Tokyo), M. Fujita(The University of Tokyo), “Modular Arithmetic Decision Procedure with Auto-correction Mechanism,” Proc. of International High Level Design, Validation and Test Workshop, pp.138-145, San Francisco, USA, Nov. 2009.
39. 佐野伸太郎(東工大), 佐野正浩(東工大), 佐藤真平(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアプロセッサのためのネットワークトラフィックに着目したタスク配置問題の解析と考察, 電子情報通信学会研究報告 CPSY2009-40, pp. 31-36 Nov. 2009.
40. 高前田伸也(東工大), 渡邊伸平(東工大), 姜 軒(東工大), 藤枝直輝(東工大), 植原昂(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアアーキテクチャ研究のためのスケーラブルな HW 評価環境 ScalableCore システム, 情報処理学会研究報告 2009-ARC-185, pp. 1-10, Nov. 2009
41. 山下 茂(立命館大), 吉田浩章(東大), 藤田昌宏(東大), “Increasing Yield Using Partially-Programmable Circuits,” 電子情報通信学会技術研究報告, Vol. 109, No. 315, pp. 125-130, 高知, 2009 年 12 月.
42. 吉田浩章(東大), 藤田昌宏(東大), “設計固有セルライブラリの自動生成手法,” 電子情報通信学会技術研究報告, Vol. 109, No. 315, pp. 179-184, 高知, 2009 年 12 月.

43. 谷田英生(東大), Mukul R. Prasad(Fujitsu Laboratories of America), Sreeranga P. Rajan(Fujitsu Laboratories of America), 藤田昌宏(東大), “動的ウェブアプリケーションのクライアントを使用した網羅的検証手法,” 第6回 ディペンダブルシステムシンポジウム DSS2009 論文集, pp.82-93, 大阪, 2009年12月.
44. Naoki Fujieda (Tokyo Tech), Takefumi Miyoshi (Tokyo Tech), and Kenji Kise (Tokyo Tech): SimMips: A MIPS System Simulator, Workshop on Computer Architecture Education (WCAE) held in conjunction with MICRO-42, pp. 32-39, Dec. 2009.
45. Koh Uehara (Tokyo Tech), Shimpei Sato (Tokyo Tech), Takefumi Miyoshi (Tokyo Tech), and Kenji Kise (Tokyo Tech): A Study of an Infrastructure for Research and Development of Many-Core Processors, Workshop on Ultra Performance and Dependable Acceleration Systems held in conjunction with PDCAT'09, pp. 414-419, Dec. 2009.
46. Yusuke Mori (Tokyo Tech) and Kenji Kise (Tokyo Tech): The Cache-Core Architecture to Enhance the Memory Performance on Multi-Core Processors, Workshop on Ultra Performance and Dependable Acceleration Systems held in conjunction with PDCAT'09, pp. 445-450, Dec. 2009.
47. 植原 昂(東工大), 佐藤真平(東工大), 佐野伸太郎(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの研究・教育を支援する実用的な基盤環境 M-Core, 情報処理学会研究報告 2009-ARC-188, pp. 1-10, Mar. 2010.
48. Ratna Krishnamoorthy(The University of Tokyo), Keshavan Varadarajan(Indian Institute of Science), Mythri Alle(Indian Institute of Science), Ranjani Narayan(Indian Institute of Science), Masahiro Fujita(The University of Tokyo), S K Nandy(Indian Institute of Science), “Reducing Scheduling Overheads in Dynamically Reconfigurable Processors,” 電子情報通信学会技術研究報告, Vol.109, No.395, pp.7-12, 東京, 2010年1月.
49. Y. Lee(The University of Tokyo), T. Nishihara(The University of Tokyo), T. Matsumoto(The University of Tokyo), M. Fujita(The University of Tokyo), “A Method of Reproducing Input/Output Error Trace on High-level Design for Hardware Debug Support,” 電子情報通信学会技術研究報告, Vol.109, No.406, pp.30-35, 東京, 2010年2月.
50. 喜多貴信, 塩谷亮太, 五島正裕, 坂井修一: タイミング制約を緩和するクロッキング方式の提案, 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.239-240, 2010年3月
51. 岡田崇志, 喜多貴信, 五島正裕, 坂井修一: 耐永久故障 FPGA アーキテクチャの予備評価, 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.221-222, 2010年3月
52. 有馬 慧, 岡田崇志, 堀尾一生, 喜多貴信, 塩谷亮太, 五島正裕, 坂井修一: 過渡故障耐性を持つ Out-of-Order スーパースカラ・プロセッサの評価, 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.223-224, 2010年3月
53. 佐藤真平(東工大), 植原 昂(東工大), 三好健文(東工大), 吉瀬謙二(東工大): SmartCore システムによるメニーコアプロセッサの信頼性向上手法, 情報処理学会研究報告 2009-ARC-186, pp. 1-6 , Jan. 2010.
54. 渡邊伸平(東工大), 高前田伸也(東工大), 姜 軒(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアプロセッサ向けプロタイピングシステムの高速度化, 情報処理学会第 72 回全国大会, Vol.1, No. 4M-7, pp. 205-206, Mar. 2010.
55. 植原 昂(東工大), 佐藤真平(東工大), 三好健文(東工大), 吉瀬謙二(東工大): 洗練されたメニーコアアーキテクチャの開発, 情報処理学会創立 50 周年記念(第 72 回)全国大会, Vol.1, No. 4M-2, pp. 195-196, Mar. 2010.
56. 佐野正浩(東工大), 佐野伸太郎(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアプロセッサにおける柔軟なタスク配置を実現する論理コア変換機構, 情報処理学会創立 50 周年記念(第 72 回)全国大会, Vol.1, No. 4M-6, pp. 203-204, Mar. 2010.
57. 森 洋介(東工大), 植原 昂(東工大), 吉瀬謙二(東工大): メニーコアプロセッサにおけるオンチップネットワークの可視化ツールの開発, 情報処理学会創立 50 周年記念(第 72 回)全国大会, Vol.1, No. 2M-8, pp. 177-178, Mar. 2010.
58. 姜 軒(東工大), 高前田伸也(東工大), 渡邊伸平(東工大), 三好健文(東工大), 吉瀬謙二(東工大): マルチプロセッサシステムにおけるルータの実装と評価, 情報処理学会創立 50 周年記念(第 72 回)全国大会, Vol.1, No. 2M-5, pp. 171-172, Mar. 2010.
59. 佐野伸太郎(東工大), 佐野正浩(東工大), 佐藤真平(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メ

- ニーコアプロセッサの性能向上を目指すタスク配置手法, 情報処理学会創立 50 周年記念(第 72 回)全国大会, Vol.1, No. 4M-3, pp. 197-198, Mar. 2010.
60. 植原 昂(東工大), 佐藤真平(東工大), 佐野伸太郎(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの研究・教育を支援する実用的な基盤環境 M-Core, 情報処理学会研究報告 2009-ARC-188, pp. 1-10, Mar. 2010.
 61. 原田裕基(東大), 西原 佑(東大), 松本剛史(東大), 藤田昌宏(東大), “ワードレベル論理式の充足可能性判定問題を利用したシステムレベル設計デバッグ支援手法,” 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.1-459-1-460, 東京, 2010 年 3 月.
 62. 田川貴聡(東大), 松本剛史(東大), 藤田昌宏(東大), “動作合成された東データ方式による非同期式回路とその動作仕様に対する等価性検証手法,” 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.1-153-1-154, 東京, 2010 年 3 月.
 63. 谷田英生(東大), Mukul R. Prasad(Fujitsu Laboratories of America), Sreeranga P. Rajan(Fujitsu Laboratories of America), 藤田昌宏(東大), “動的ウェブアプリケーションの操作に対する画面間遷移の網羅的検証,” 情報処理学会創立 50 周年記念(第 72 回)全国大会, pp.1-459-1-460, 東京, 2010 年 3 月.
 64. 吉田浩章(東大), 藤田昌宏(東大), “潜在的多様性を考慮したプログラマブルハードウェアの高位合成手法,” 電子情報通信学会技術研究報告, Vol.109, No.462, pp.67-72, 那覇, 2010 年 3 月
 65. 有馬 慧, 岡田崇志, 喜多貴信, 塩谷亮太, 五島正裕, 坂井修一(東大), Out-of-Order スーパースカラ・プロセッサの耐過渡故障方式の改良, 電子情報通信学会 CPSY 研究会, 東工大, 電子情報通信学会研究報告 CPSY2010-5, pp. 21-26, Apr. 2010.
 66. 岡田崇志, 喜多貴信, 塩谷亮太, 五島正裕, 坂井修一(東大), 耐永久故障 FPGA アーキテクチャ, 電子情報通信学会 CPSY 研究会, 東工大, 電子情報通信学会研究報告 CPSY2010-7, pp. 33-37, Apr. 2010.
 67. 堀尾一生, 塩谷亮太, 五島正裕, 坂井修一(東大), 面積効率を指向するプロセッサの設計, 先進的計算基盤システムシンポジウム SACSIS2010, 奈良新公会堂, pp. 339-346, May 2010
 68. 喜多貴信, 塩谷亮太, 五島正裕, 坂井修一(東大), タイミング制約を緩和するクロッキング方式, 先進的計算基盤システムシンポジウム SACSIS2010, 奈良新公会堂, pp. 347-354, May 2010
 69. 原田裕基(東大), 西原 佑(東大), 松本剛史(東大), 藤田昌宏(東大), “充足可能性判定に基づくシステムレベルデバッグ支援手法におけるバグモデル導入による効率化,” 電子情報通信学会技術研究報告, Vol. 100, No. 36, pp. 55-60, 北九州, 2010 年 5 月.
 70. 高前田伸也(東工大), 渡邊伸平(東工大), 姜 軒(東工大), 植原 昂(東工大), 藤枝直輝(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアアーキテクチャの HW 評価環境 ScalableCore システムの開発, 先進的計算基盤システムシンポジウム SACSIS2010, pp.287-294, May 2010.
 71. 佐野伸太郎(東工大), 佐野正浩(東工大), 佐藤真平(東工大), 三好健文(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの性能向上を達成するパターンに基づいたタスク配置手法, 先進的計算基盤システムシンポジウム SACSIS2010, pp.167-174, May 2010.
 72. Y. Lee(The University of Tokyo), T. Matsumoto(The University of Tokyo), M. Fujita(The University of Tokyo), "An I/O Sequence Slicing Method for Post-silicon Debugging," 電子情報通信学会技術研究報告, Vol. 110, No. 106, pp. 31-36, 東京, 2010 年 6 月.
 73. A.M. Gharehbaghi(The University of Tokyo), M. Fujita(The University of Tokyo), "Extracting Global Transaction orders From Local Ordering Information in Network-on-Chips," E-Digest of 4th Workshop on Diagnostic Services in Network-on-Chips, pp.249-262, Anaheim, June 2010.
 74. 有馬 慧, 岡田崇志, 塩谷亮太, 五島正裕, 坂井修一: 過渡故障耐性を持つ Out-of-Order スーパースカラ・プロセッサのコミット方式, SWoPP2010, 金沢市文化ホール, 情報処理学会研究報告 2010-ARC-190, No. 10, Aug. 2010.
 75. 三好健文(電通大), 吉瀬謙二(東工大), 入江英嗣(電通大), 吉永 努(電通大): コンパイラとランタイムによるソフトウェアキャッシュの更新オーバーヘッド隠蔽手法, 情報処理学会研究報告 2010-ARC-190, pp. 1-12, Aug. 2010.
 76. 坂口嘉一(東工大), モッハammadアスリ(東工大), 高前田伸也(東工大), 金子晴彦(東工大), 吉瀬謙二(東工大): 誤り訂正符号を用いた軽量な高速シリアル通信機構の実装と評価, 電子情報通信学会研究報告 CPSY2010-19, pp. 67-72, Aug. 2010.
 77. 吉田浩章(東大), 藤田昌宏(東大), “製造後機能修正可能な高電力効率アクセラレータの高位設計手

- 法,” DA シンポジウム 2010 論文集, pp.45-50, 豊橋, 2010 年 9 月.
78. Jiayi Zhang(The University of Tokyo), Masahiro Fujita(The University of Tokyo), “Automatic Interface Synthesis Between Incompatible Protocols with Advanced Features,” DA シンポジウム 2010 論文集, pp.27-32, 豊橋, 2010 年 9 月.
 79. 松本剛史(東大), 瀬戸謙修(東京都市大), 藤田昌宏(東大), “ループ最適化に対する形式的等価性検証手法,” DA シンポジウム 2010 論文集, pp.105-110, 豊橋, 2010 年 9 月.
 80. 李 在浩(東大), 吉田浩章(東大), 藤田昌宏(東大), “プログラマブルアクセラレータ向け制御回路方式の検討,” DA シンポジウム 2010 論文集, pp.183-188, 豊橋, 2010 年 9 月.
 81. 坂口嘉一(東工大), 高前田伸也(東工大), 吉瀬謙二(東工大): ScalableCore システム 2.0 の実装と評価, 電子情報通信学会研究報告 RECONF, pp. 121-126, Sep. 2010.
 82. 吉田浩章(東大), 藤田昌宏(東大), “動的パッチ読み出し機構を備えた製造後機能修正可能アクセラレータ,” 情報処理学会研究報告, Vol. 2010-SLDM-146, No. 6, pp. 31-36, 千葉, 2010 年 10 月.
 83. Shintaro Sano (Tokyo Tech), Masahiro Sano (Tokyo Tech), Shimpei Sato (Tokyo Tech), Takefumi Miyoshi (UEC Tokyo), and Kenji Kise (Tokyo Tech), Pattern-based Systematic Task Mapping for Many-core Processors, Workshop on Ultra Performance and Dependable Acceleration Systems held in conjunction with ICNC'10, Nov. 2010.
 84. 吉田浩章(東大), 藤田昌宏(東大), “仮想マルチプロセッサモデルに基づく高速 SoC プロトタイピング手法,” 電子情報通信学会技術研究報告, Vol. 110, No. 316, pp. 7-12, 福岡, 2010 年 11 月.
 85. 小野翔平(東大), 吉田浩章(東大), 藤田昌宏(東大), “発見的解法に基づくスケーラブルなインクリメンタル高位合成手法,” 電子情報通信学会技術研究報告, Vol. 110, No. 316, pp. 13-18, 福岡, 2010 年 11 月.
 86. 谷田英生(東大), 吉田浩章(東大), 藤田昌宏(東大), “高性能 SoC プロトタイプ of FPGA 実装方式の検討,” 電子情報通信学会技術研究報告, Vol. 110, No. 316, pp. 79-84, 福岡, 2010 年 11 月.
 87. G. Di Guglielmo(The University of Tokyo), M. Fujita(The University of Tokyo), F. Fummi(University of Verona), G. Pravadelli(University of Verona), S. Soffia(University of Verona), “EFSM-based weight-oriented concolic testing for embedded software,” 情報処理学会研究報告, Vol. 2010-SLDM-147, No. 4, pp. 1-6, 福岡, 2010 年 11 月.
 88. 松本剛史(東大), 藤田昌宏(東大), “上位設計記述の解析を利用した製造後機能テストの効率化,” 情報処理学会研究報告, Vol. 2010-SLDM-147, No. 10, pp. 1 -6, 福岡, 2010 年 11 月.
 89. 高前田伸也, 笹河良介, 吉瀬謙二:FPGA によるメニーコアシミュレータ ScalableCore システムの正当性検証, 電子情報通信学会研究報告 RECONF2010-81, pp.187-192 (January 2011)
 90. 岡田 崇志, 塩谷 亮太, 五島 正裕, 坂井 修一: 耐永久故障 FPGA アーキテクチャの評価, 情報処理学会 第 73 年全国大会, 1H-1 (2011).
 91. 吉田 宗史, 有馬 慧, 岡田 崇志, 塩谷 亮太, 五島 正裕, 坂井 修一: 動的タイムボローイングを可能にするクロッキング方式, 情報処理学会 第 73 年全国大会, 3H-4 (2011).
 92. 吉瀬謙二: 計算機システム研究のためのハードウェア試作, 情報処理学会第 73 回全国大会, Vol.1, No. 3A-3, pp. 5-6 (March 2011)
 93. 佐藤真平(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの空間冗長性を利用する TMR の提案, 情報処理学会第 73 回全国大会, Vol.1, No. 3A-4, pp. 7-8, Mar. 2011.
 94. 森洋介(東工大), 吉瀬謙二(東工大): MCViewer: オンチップネットワークを可視化する高機能ツール, 情報処理学会第 73 回全国大会, Vol.1, No. 6H-5, pp. 137-138, Mar. 2011.
 95. 高前田伸也(東工大), 吉瀬謙二(東工大): HW メニーコアシミュレータ ScalableCore システムの高速化, 情報処理学会第 73 回全国大会, Vol.1, No. 1H-6, pp. 61-62, Mar. 2011.
 96. 姜軒(東工大), 吉瀬謙二(東工大): メニーコアプロセッサのオンチップネットワークに関する研究, 情報処理学会第 73 回全国大会, Vol.1, No. 6H-2, pp. 131-132, Mar. 2011.
 97. 佐野伸太郎(東工大), 吉瀬謙二(東工大): メニーコアプロセッサのためのタスク配置手法 RMAP の評価 (学生奨励賞), 情報処理学会第 73 回全国大会, Vol.1, No. 6H-4, pp. 135-136, Mar. 2011.
 98. 坂口嘉一(東工大), 松村貴之(東工大), 吉瀬謙二(東工大): スーパースカラ版 MIPS CORE の実装と評価, 情報処理学会第 73 回全国大会, Vol.1, No. 1H-2, pp. 53-54, Mar. 2011.
 99. 松村貴之(東工大), 坂口嘉一(東工大), 吉瀬謙二(東工大): マイクロアーキテクチャの異なるプロセッサの性能比較, 情報処理学会第 73 回全国大会, Vol.1, No. 1H-4, pp. 57-58, Mar. 2011.
 100. M. Fujita(The University of Tokyo), H. Yoshida(The University of Tokyo), J.-H. Lee(The

- University of Tokyo), “Low Power Programmable Controllers for Reliable and Flexible Computing,” IEEE International Workshop on Reliability Aware System Design and Test, pp. 19-24, Chennai, India, Jan. 2011.
101. S. Ono(The University of Tokyo), H. Yoshida(The University of Tokyo), M. Fujita(The University of Tokyo), “A Scalable Heuristic for Incremental High-Level Synthesis and Its Application to Reliable Computing,” IEEE International Workshop on Reliability Aware System Design and Test, Chennai, India, pp. 54-59, Jan. 2011.
 102. 清水修一(東大), 松本剛史(東大), 藤田昌宏(東大), “形式的検証を用いたプロセッサエラー回復機構の耐性評価手法の検討,” 情報処理学会研究報告, Vol.2011-SLDM-150, No.11, pp.1-6, 北九州, 2011年5月.
 103. 原田裕基(東大), 松本剛史(東大), 藤田昌宏(東大), “反例と設計分割に基づく高位設計に対する効率的な設計修正支援手法,” Vol.2011-SLDM-150, No.12, pp.1-6, 北九州, 2011年5月.
 104. 吉田浩章(東大), 藤田昌宏(東大), “インクリメンタル高位合成に向けた設計記述間差分の計算手法,” 情報処理学会研究報告, Vol. 2011-SLDM-149, No. 21, pp. 1-6, 宮古島, 2011年8月.
 105. 高前田伸也(東工大), 吉瀬謙二(東工大), DMA ベースメニーコアにおける通信オーバーヘッド削減手法, 情報処理学会研究報告 2011-ARC-196, pp.1-6, Jul. 2011.
 106. 佐藤真平(東工大), 笹河良介(東工大), 吉瀬謙二(東工大), Distributed Shared-Buffer NoC ルータのためのパイプラインバイパス手法の改良, 情報処理学会研究報告 2011-ARC-196, pp.1-9, Jul. 2011.
 107. 藤枝直輝(東工大), 吉瀬謙二(東工大), CMP 向け分散キャッシュにおけるキャッシュパーティショニング方式, 情報処理学会研究報告 2011-ARC-196, pp.1-8, Jul. 2011.
 108. 池田貴一(東工大), 佐藤真平(東工大), 吉瀬謙二(東工大):冗長実行時の SmartCore システムの性能評価, 情報処理学会研究報告 2011-ARC-197(32)/2011-HPC-132(32), pp. 1-8, Nov. 2011.
 109. 佐野伸太郎(東工大), 吉瀬謙二(東工大):メッシュトーラス接続網に適したタスク配置手法, 情報処理学会研究報告 2011-HPC-132(15)/2011-ARC-197(15), pp. 1-9, Nov. 2011.
 110. 藤枝直輝(東工大), 吉瀬謙二(東工大):CMP 向け分散キャッシュの可視化ツールを用いた効率化, 情報処理学会第 74 回全国大会, Mar. 2012.
 111. 佐野伸太郎(東工大), 吉瀬謙二(東工大):軽量でシンプルなマルチコアシミュレータの開発, 情報処理学会第 74 回全国大会, Mar. 2012.
 112. 笹河良介(東工大), 佐藤真平(東工大), 吉瀬謙二(東工大):SmartCore システムのデッドロック回避, 情報処理学会第 74 回全国大会, Mar. 2012.
 113. 小林諒平(東工大), 吉瀬謙二(東工大):メッシュ接続 FPGA アレーにおけるステンシル計算の検討, 情報処理学会第 74 回全国大会, Mar. 2012.
 114. A.M. Gharehbaghi(The University of Tokyo) and M. Fujita(The University of Tokyo), “Post-Silicon Debugging of Many-Core Systems by Identifying Execution Paths Through Constraint Refinement”, International Workshop on Constraints in Formal Verification, San Jose, CA, USA, Nov. 2011.
 115. 李在城(東大), 松本剛史(東大), 藤田昌宏(東大), “論理関数の充足不可能性に注目した論理回路デバッグ手法の検討,” 情報処理学会研究報告, Vol. 2012-SLDM-155, No. 5, pp. 1-6, 松島, 2012年3月.
 116. 吉田浩章(東大), 藤田昌宏(東大), “動作レベル・レジスタ転送レベル混在設計記述向け高位合成手法,” 電子情報通信学会技術研究報告, Vol. 111, No. 450, VLD2011-128, pp. 49-54, 別府, 2012年3月.
 117. 高前田伸也(東工大), 佐藤真平(東工大), 吉瀬謙二(東工大):高機能ルータを利用した DMR 実行メニーコアにおける効率的なタスク配置手法の検討, 情報処理学会研究報告 2011-ARC-199, pp.1-8, Mar. 2012.
 118. 笹河良介(東工大), 佐藤真平(東工大), 吉瀬謙二(東工大):2次元メッシュ上のマルチキャスト通信における使用仮想チャネル数の削減, 情報処理学会研究報告 2011-ARC-199, pp.1-4, Mar. 2012.
 119. 浅見 公輔, 倉田 成己, 塩谷 亮太, 三輪 忍, 五島 正裕, 坂井 修一: キャッシュの利用効率の向上に関する研究, 情報処理学会 第 74 回全国大会 pp. 1-61-1-62 (2012).
 120. 広畑 壮一郎, 吉田 宗史, 五島 正裕, 坂井 修一: 動的タイム・ボローイングを可能にするクロッキング方式の CLA への適用, 情報処理学会 第 74 回全国大会 pp. 1-63-1-64 (2012).
 121. 有馬 慧, 倉田 成己, 塩谷 亮太, 五島 正裕, 坂井 修一 (東大): タイミング・フォールト耐性を

持つ Out-of-Order プロセッサ, 先進的計算基盤システムシンポジウム SACSIS2012, Vol. 2012, pp. 270-279, May 2012.

122. 吉田 宗史, 広畑 壮一郎, 倉田 成己, 五島 正裕, 坂井 修一 (東大): 動的タイム・ボローイングを可能にするクロッキング方式, 先進的計算基盤システムシンポジウム SACSIS2012, Vol. 2012, pp. 382-389, May 2012.
123. 小野翔平(東大), 松本剛史(東大), 藤田昌宏(東大), “潜在的な依存関係を利用した高位設計デバッグ支援手法,” 電子情報通信学会技術研究報告, Vol. 112, No. 71, VLD2012-4, pp. 19-24, 北九州, 2012年5月.
124. 小林諒平(東工大), 佐野伸太郎(東工大), 高前田伸也(東工大), 吉瀬謙二(東工大): メッシュ接続 FPGA アレーにおける高性能ステンシル計算, 先進的計算基盤システムシンポジウム SACSIS2012, pp.142-149, May 2012.
125. Takakazu Ikeda (Tokyo Tech), Shinya Takamaeda-Yamazaki (Tokyo Tech), Naoki Fujieda (Tokyo Tech), Shimpei Sato (Tokyo Tech), and Kenji Kise (Tokyo Tech): Read Density Aware Fair Memory Scheduling, 3rd JILP Workshop on Computer Architecture Competitions (JWAC-3): Memory Scheduling Championship (MSC) in conjunction with ISCA 2012, Jun. 2012.
126. 小野翔平(東大), 松本剛史(東大), 藤田昌宏(東大), “ゲート回路シミュレーションにおける GPGPU を利用したアサーション自動抽出,” 第25回回路とシステムワークショップ, pp. 426-431, 淡路島, 2012年7月.
127. 池田貴一(東工大), 高前田信也(東工大), 吉瀬謙二(東工大): ロード命令のプログラムカウンタに着目したメモリスケジューリング手法, 情報処理学会研究報告 2012-ARC-201(10), pp.1-9, Aug.2012
128. 吉瀬謙二(東工大): ディペンダブル VLSI のための高機能 NoC ルータアーキテクチャ, 情報処理学会研究報告 2012-EMB, pp.1-7, Sep. 2012.
129. 広畑 壮一郎, 神原 太郎, 吉田 宗史, 倉田 成己, 五島 正裕, 坂井 修一: 動的タイムボローイングを可能にするクロッキング方式の適用手法の実装, 情報処理学会研究報告 2013-ARC-204(11), pp. 1-9, March 2013
130. 吉田宗史, 倉田成己, 塩谷亮太, 五島正裕, 坂井修一: タイミング・フォールト耐性を持つ Out-of-Order プロセッサの検出/回復方式, 先進的計算基盤システムシンポジウム SACSIS2013. (採録決定) .

③ポスター発表 (国内会議 7 件、国際会議 8 件)

1. Shanhua Gao(The University of Tokyo), Takeshi Matsumoto(The University of Tokyo), Hiroaki Yoshida(The University of Tokyo), and Masahiro Fujita (The University of Tokyo), “Equivalence Checking of Loops Before and After Pipelining by Applying Symbolic Simulation and Induction”, The 14th Workshop on Synthesis And System Integration of Mixed Information technologies, Naha, Japan, March 2009.
2. Yoshihisa Kojima(The University of Tokyo), Tasuku Nishihara(The University of Tokyo), Takeshi Matsumoto(The University of Tokyo), Masahiro Fujita(The University of Tokyo), “FLEC: A Framework for System-level Debugging Support, Formal Verification and Static Analysis”, The 14th Workshop on Synthesis And System Integration of Mixed Information technologies, Naha, Japan, March 2009.
3. Shinya Takamaeda (Tokyo Tech), Shimpei Watanabe (Tokyo Tech), Shimpei Sato (Tokyo Tech), Koh Uehara (Tokyo Tech), Yuhta Wakasugi (Tokyo Tech), Naoki Fujieda (Tokyo Tech), Yosuke Mori (Tokyo Tech), and Kenji Kise (Tokyo Tech): ScalableCore: High-Speed Prototyping System for Many-Core Processors, in International Symposium on Low-Power and High-Speed Chips (COOL Chips), p. 161, Apr. 2009.
4. 塩谷亮太, 五島正裕, 坂井修一, プロセッサ・シミュレータ「鬼斬式」の設計と実装, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 120-121, May 2009.
5. 若杉祐太(東工大), 藤枝直輝(東工大), 吉瀬謙二(東工大): アーキテクチャ研究をサポートする低コストで効率的な VDEC チップ試作・検証システムの開発と応用, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 134-135, May 2009.
6. 高前田伸也(東工大), 渡邊伸平(東工大), 吉瀬謙二(東工大): メニーコアプロセッサの高速プロトタイプピンシステム ScalableCore, 先進的計算基盤システムシンポジウム SACSIS2009, pp. 145-146, May 2009.

7. 高前田伸也(東工大), 佐藤真平(東工大), 三好健文(電通大), 吉瀬謙二(東工大), メニーコアアーキテクチャのHW評価環境 ScalableCore システムの活用 ～ディペンダブルプロセッサの実装～, 先進的計算基盤システムシンポジウム SACSIS2010, pp.115-116, May 2010.
8. S. Yamashita(Ritsumeikan University), H. Yoshida(The University of Tokyo), M. Fujita(The University of Tokyo), "Increasing Yield Using Partially-Programmable Circuits," Proc. of Workshop on Synthesis And System Integration of Mixed Information technologies, pp. 237-242, Taipei, Taiwan, Oct. 2010.
9. 笹河良介(東工大), 高前田伸也(東工大), 藤枝直輝(東工大), 吉瀬謙二(東工大), ScalableCore システムの挙動検証 ～ソフトウェアシミュレータと比較して～, 先進的計算基盤システムシンポジウム SACSIS2011, pp. 262-263, May 2011.
10. 藤枝直輝(東工大), 吉瀬謙二(東工大) : CMP 向け分散キャッシュにおけるディレクトリの余剰エントリの活用手法, 先進的計算基盤システムシンポジウム SACSIS2012, pp.8-9, May 2012.
11. H. Yoshida(The University of Tokyo) and M. Fujita(The University of Tokyo), "A Highly Energy-Efficient Accelerator Enabling Post-Silicon Engineering Changes and Its Patch Compilation Method," Work-In-Progress Session, ACM/IEEE Design Automation Conference (DAC), San Diego, CA, USA, June 2011.
12. G. Di Guglielmo (Verona University), M. Fujita(The University of Tokyo), F. Fummi (Verona University), G. Pravadelli(Verona University), "Model-Based Concolic Testing for Embedded Software," Work-In-Progress Session, ACM/IEEE Design Automation Conference (DAC), San Diego, CA, USA, June 2011.
13. R. Krishnamoorthy(National University of Singapore), K. Varadarajan(Indian Institute of Science), M. Fujita(The University of Tokyo), and S K Nandy(Indian Institute of Science), "Interconnect-Topology Independent Mapping algorithm for a Coarse Grained Reconfigurable Architecture," 2011 International Conference on Field-Programmable Technology, New Dehli, India, Dec. 2011.
14. M. Fujita(The University of Tokyo) and H. Yoshida(The University of Tokyo), "Post-silicon Debugging Targeting Electrical Errors with Patchable Controllers," ACM/SIGDA International Symposium on Field Programmable Gate Arrays, Monterey, CA, USA, Feb. 2012.
15. 広畑 壮一郎, 吉田 宗史, 倉田 成己, 五島 正裕, 坂井 修一 (東大) : 動的タイム・ボローイングを可能にするクロッキング方式の適用, 先進的計算基盤システムシンポジウム SACSIS2012 (2012).

(4)知財出願

①国内出願 (3 件)

1.

発明の名称: 集積回路装置
 発 明 者: 坂井修一、廣瀬健一郎、萬澤康雄、五島正裕
 出願番号: 2007-339774
 出 願 日: 2007 年 12 月 28 日
 出 願 人: 東京大学 100%

2.

発明の名称: 回路検証装置、回路検証システム及び回路検証機能付 LSI
 発 明 者: 吉田浩章、森下賢志、藤田昌宏
 出願番号: 2008-145413
 出 願 日: 2008 年 6 月 3 日
 出 願 人: 東京大学 100%

3.

発明の名称: アクセラレータ及びデータ処理方法
 発 明 者: 吉田浩章、藤田昌宏

出願番号: 2010-193136
出 願 日: 2010 年 8 月 31 日
出 願 人: 東京大学 100%

②海外出願 (3 件)

1. < 発明の名称、発明者、出願人、出願日、出願番号、出願国 >

発明の名称: CIRCUIT VERIFICATION DEVICE, CIRCUIT VERIFICATION SYSTEM AND LSI WITH CIRCUIT VERIFICATION FUNCTION

発 明 者: Hiroaki Yoshida, Masahiro Fujita, Satoshi Morishita

出願番号: 61/152349

出 願 日: 2009 年 2 月 13 日

出 願 人: 東京大学 100%

2. < 発明の名称、発明者、出願人、出願日、出願番号、出願国 >

発明の名称: On-chip Dynamic Signal Sequence Slicing for Efficient Post-Silicon Debugging

発 明 者: Yeonbok Lee, Takeshi Matsumoto, Masahiro Fujita

出願番号: 61/423829

出 願 日: 2010 年 12 月 16 日

出 願 人: 東京大学 100%

3. < 発明の名称、発明者、出願人、出願日、出願番号、出願国 >

発明の名称: ACCELERATOR AND DATA PROCESSING METHOD

発 明 者: Hiroaki Yoshida, Masahiro Fujita

出願番号: 13/403500

出 願 日: 2012 年 2 月 23 日

出 願 人: 東京大学 100%

③その他の知的財産権

(5)受賞・報道等

①受賞

1. 森下賢志, 東京大学工学部長賞,「準形式的モデル検査のハードウェア・ソフトウェア協調実行による高速化」, 2008 年 3 月
2. 森下賢志, システム LSI 設計技術研究会 2007 年度最優秀発表学生賞「準形式的モデル検査のハードウェア実装による高速化の検討」
3. 西原 佑、プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DA シンポジウム 2008, 08/08/26)、情報処理学会システム LSI 設計技術研究会平成 21 年度優秀論文賞
4. 西原 佑、プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DA シンポジウム 2008, 08/08/26)、情報処理学会システム LSI 設計技術研究会 2008 年度最優秀発表学生賞
5. 西原 佑、プロパティ分割と限定モデル検査を利用した長い反例を持つ設計誤りの検出手法 (DA シンポジウム 2008, 08/08/26)、情報処理学会山下記念研究賞
6. 藤枝直輝(東工大), 若杉祐太(東工大), MipsCoreDuo: A Multifunction Dual-core Processor, LSI デザインコンテスト in 沖縄 2009 LSI of the Year for Student 賞, March 2009.
7. 若杉祐太(東工大), 藤枝直輝(東工大), 吉瀬謙二(東工大), アーキテクチャ研究をサポートする低コストで効率的な VDEC チップ試作・検証システムの開発と応用, 先進的計算基盤システムシンポジウム SACSIS2009 Most Interesting Poster 賞, May 2009.
8. 喜多貴信, 予測ミスした命令の実行を継続する投機手法 (ARC178-2),平成 21 年度 山下記念研究賞, 社団法人 情報処理学会 (2009).
9. 若杉祐太(東工大), 藤枝直輝(東工大), 吉瀬謙二(東工大), アーキテクチャ研究をサポートする低コストで効率的な VDEC チップ試作・検証システムの開発と応用, 先進的計算基盤システムシンポジウム

SACIS2009 Most Interesting Poster 賞, May 2009.

10. 森 洋介(東工大), メニーコアプロセッサにおけるオンチップネットワークの可視化ツールの開発, 情報処理学会創立 50 周年記念(第 72 回)全国大会 学生奨励賞, March 2010.
11. 佐野伸太郎(東工大), メニーコアプロセッサの性能向上を目指すタスク配置手法, 情報処理学会創立 50 周年記念(第 72 回)全国大会 学生奨励賞, March 2010.
12. 有馬 慧, Out-of-order スーパスカラ・プロセッサの耐過渡故障方式の改良, 情報処理学会創立 50 周年記念第 72 回全国大会, 情報処理学会推奨卒業論文認定, 2010
13. 喜多貴信, タイミング制約を緩和するクロッキング方式, 情報処理学会創立 50 周年記念第 72 回全国大会, 情報処理学会推奨修士論文認定, 2010
14. 高前田伸也(東工大), 佐藤真平(東工大), 三好健文(電通大), 吉瀬謙二(東工大), メニーコアアーキテクチャの HW 評価環境 ScalableCore システムの活用 ～ディペンダブルプロセッサの実装～, 先進的計算基盤システムシンポジウム SACIS2010 優秀ポスター賞, May 2010.
15. 佐野伸太郎(東工大), メニーコアプロセッサの性能向上を目指すタスク配置手法, 情報処理学会創立 50 周年記念(第 72 回)全国大会 大会優秀賞, June 2010.
16. 谷田英生, 動的ウェブアプリケーションの操作に対する画面間遷移の網羅的検証, 情報処理学会推奨修士論文認定, 2010 年
17. 吉田浩章, 設計固有セルライブラリの自動生成手法, 情報処理学会システム LSI 設計技術研究会平成 22 年度優秀論文賞, 2010 年 9 月
18. 西原 佑, ハードウェア・ソフトウェア協調設計の形式的検証における同期点の抽出による効率的な状態削減手法, システム LSI 設計技術研究会 2009 優秀発表学生賞, 2010 年 9 月
19. 西原 佑, ハードウェア・ソフトウェア協調設計の形式的検証における同期点の抽出による効率的な状態削減手法, 情報処理学会システム LSI 設計技術研究会平成 22 年度優秀論文賞, 2010 年 9 月
20. 吉田 浩章, 仮想マルチプロセッサモデルに基づく高速 SoC プロトタイピング手法, 情報処理学会デザインガイア 2010, 最優秀ポスター賞 (2010).
21. 吉田 浩章, 設計固有セルライブラリの自動生成手法, 情報処理学会システム LSI 設計技術研究会, 平成 22 年度優秀論文賞 (2010).
22. S. Yamashita, H. Yoshida and M. Fujita, "Increasing Yield Using Partially-Programmable Circuits," Workshop on Synthesis And System Integration of Mixed Information technologies, Best Paper Award (2010).
23. 塩谷 亮太: 面積効率を指向するプロセッサの研究, 博士論文, 東京大学大学院情報理工学系研究科長賞 (2011).
24. 吉田 宗史: 動的タイムボローイングを可能にするクロッキング方式, 情報処理学会 第 73 回全国大会, 情報処理学会学生奨励賞 (2011).
25. 岡田 崇志: 耐永久故障 FPGA アーキテクチャ, 2010 年度 ISS スクエアシンポジウム, ISS スクエア賞 (2011).
26. 佐野伸太郎(東工大), メニーコアプロセッサのためのタスク配置手法 RMAP の評価, 情報処理学会第 73 回全国大会 学生奨励賞, March 2011.
27. 早川 薫: プラットフォーム遠隔認証, 情報処理学会第 73 回全国大会, 情報処理学会推奨卒業論文認定 (2011).
28. 高前田伸也(東工大), メニーコア時代の HW/SW 研究を加速するスケーラブルシステム, 情報処理学会 第 73 回全国大会 学会推奨修士論文, May 2011.
29. 吉瀬謙二(東工大), 超ディペンダビリティ支援高機能ルータの開発, 平成 23 年度東工大挑戦的研究賞, August 2011.
30. *坂井 修一: 電子情報通信学会 平成 23 年フェロー, 新世代コンピュータシステムに関する研究開発 (2011.9.14).
31. *塩谷 亮太: Register Cache System not for Latency Reduction Purpose, IEEE/ACM International Symposium on Microarchitecture (MICRO 43), IEEE Computer Society Japan Chapter Young Author Award 2011(2011).
32. 吉田浩章, 製造後機能修正可能な高電力効率アクセラレータの高位設計手法, 情報処理学会システム LSI 設計技術研究会平成 23 年度優秀論文賞, 2011 年 9 月
33. 小野翔平, 発見的解法に基づくスケーラブルなインクリメンタル高位合成手法, システム LSI 設計技術研究会 2010 年度優秀発表学生賞, 2011 年 9 月

34. 清水修一, 形式的検証を用いたプロセッサエラー回復機構の耐性評価手法の検討, システム LSI 設計技術研究会 2010 年度優秀発表学生賞, 2011 年 9 月
35. H. Yoshida and M. Fujita, "An Energy-Efficient Patchable Accelerator For Post-Silicon Engineering Changes," Best Paper Candidate, IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis, Taipei, Taiwan, Oct. 2011.
36. 吉田浩章, 仮想マルチプロセッサモデルに基づく高速 SoC プロトタイピング手法, 情報処理学会平成23年度山下記念研究賞, 2012 年3月
37. *Masahiro Fujita, ISQED Fellow, Utmost Dedication to ISQED and Technical Excellence, March 2012.
38. 佐野伸太郎(東工大), メッシュトラス接続網に適したタスク配置手法, 情報処理学会 計算機アーキテクチャ研究会若手奨励賞, January 2012.
39. Takakazu Ikeda (Tokyo Tech), Shinya Takamaeda-Yamazaki (Tokyo Tech), Naoki Fujieda (Tokyo Tech), Shimpei Sato (Tokyo Tech), and Kenji Kise (Tokyo Tech): Performance Track Award in 3rd JILP Workshop on Computer Architecture Competitions (JWAC-3): Memory Scheduling Championship (MSC), "Read Density Aware Fair Memory Scheduling", Jun. 2012.
40. 吉田 宗史: タイミング・フォールト耐性を持つ回路/アーキテクチャ技術, 東京大学大学院 情報理工学系研究科 電子情報学専攻 専攻長賞(修士論文) (2013)
41. 松本剛史, "反例と設計分割に基づく高位設計に対する効率的な設計修正支援手法," 情報処理学会平成 24 年度山下記念賞, 2013 年 3 月.
42. 城 怜, 東京大学工学部長賞, 「反例を利用した回路の抽象化に基づく大規模回路の自動修復技術」, 2013 年 3 月.
43. 城 怜, 東京大学電気電子工学科優秀卒論賞, 反例を利用した回路の抽象化に基づく大規模回路の自動修復技術」, 2013 年 3 月.

②マスコミ(新聞・TV等)報道

氏名	掲載月日	掲載新聞名	記事タイトル
藤田昌宏	H20.6.7	日経 BP 社(Tech-On)	東大が乗算器の等価性チェックを高速化する技術を併設学会の MOCODE'08 で発表
坂井修一	H20.7.2	日経産業新聞	CPU の不具合 自動復旧
坂井修一	H20.12.15	日経 BP 社(Tech-On)	「並列コンピュータと EDA」などで招待講演, 高信頼 LSI でパネル討論
五島正裕	H21.5.21	日経 BP 社(Tech-On)	「性能よりも書きやすさ」, マルチコア LSI でソフトウェア設計者の心を知る

③その他

(6)出口活動(成果展開の状況)

①実用化に向けての展開

(1) 実用化展開1「ポストシリコンデバッグ技術の商用ツール化開発」(形式的検証グループ)

- ・ バッチ可能ハードウェアを含むポストシリコンデバッグ技術について商用ツール開発のための準備として、2012 年 2 月に民間企業と秘密保持契約を締結した。
- ・ 商用ツール化に向けて、民間企業と共同で市場調査とツール使用策定を実施した。
- ・ 特許出願 2010-193136 について、民間企業に実施権許諾を行い、その企業はこれに基づいて開発を開始している。
- ・ 2012 年度末にアルファバージョンが完成し、それをもとに潜在的な顧客企業にデモを行ってフィードバックを得た後、改良を加えてベータバージョンの開発を行う予定である。なお、継続して開発を行うために、本件は JST A-STEP に応募を予定している。

(2) 実用化展開2「等価性検証ツールの実用化」(形式的検証グループ)

- ・海外(主に欧米)12大学・研究グループに対する研究開発した技術とそれを実現したツールに関する講演などを通した啓蒙活動を活発に行い、うち6大学・研究グループにツールを提供し、利用してもらっている。
- ・オックスフォード大学 Luke Ong 教授とは、彼らの研究成果とこちらの等価性検証に関する研究成果を融合するための共同研究を開始している。
- ・オックスフォード大学 Daniel Kroeningsennsei (Reader)とは、ポストシリコンデバッグに関して、Daniel 先生が共同研究を行っている大手半導体ベンダーも含めた共同研究の準備を行っている。
- ・平成 22 年度途中から坂井チームに参加した検証技術実証グループに対して、ツールを提供し、評価を行い、その結果を基に、実用化へ向けた技術開発を共同で行っている。

(3) 実用化展開3「EDA ベンダー・設計会社との協調」(形式的検証グループ)

- ・EDA ベンダー・設計会社への影響力を行使しながら、研究開発した技術をツールに導入するための、協業をスムーズに行うため、6社に対して、Technology Advisory Board のメンバーに就任し、実際に技術確認などを行っている。
- ・海外設計会社(英国1社)とは、研究開発した技術を利用する協議を行っている。ツールとしての利用と技術のみの利用の2通りがあるが、主に前者の可能性を検討している。現在、特定の設計フローに合わせる必要があり、そのための開発コストをどうするかという点について協議している。また、EDA ベンダーから提供される形も希望されている。
- ・国内 EDA 会社1社、米国検証ベンダー2 社とは、その会社が提供しているツールとの協調について、協議している。

(4) 実用化展開4「メニーコア用FPGAカード」(吉瀬グループ)

- ・メニーコアの実験ボードはアーキテクチャ・ソフトの開発で有用であり、吉瀬グループで開発したFPGAカード(ScalableCore システム)の販売のために、販売予定企業と著作物使用許諾契約の契約を締結した。

②社会還元的な展開活動

(坂井グループ)

- ・開発したプロセッサのシミュレータ基本部を公開し、一般に情報提供した。

(吉瀬グループ)

- ・開発したメニーコアプロセッサの評価環境のソースコードの一部をインターネット(URL; <http://www.arch.cs.titech.ac.jp/mcore/>) で公開し、一般に情報提供している。
- ・高機能ルータを核として汎用メニーコアプロセッサのディペンダビリティを向上させるシステム SmartCore システムの仕様書の一部をインターネット(URL; <http://www.arch.cs.titech.ac.jp/a/smartcore>)で公開し、一般に情報提供している。

§ 5. 研究期間中の主なワークショップ、シンポジウム、展示会、アウトリーチ等の活動

年月日	名称	場所	参加人数	概要
H.20.4.23	電子情報通信学会 コンピュータシステム (CPSY)/ディペンダ ブルコンピューティン グ(DC)研究会	東京大学 武田先端知ホ ール	70 名	Prof. Edward Suh 招待講演 “Architectural Support for Trustworthy Computing Systems” 【ビッグ対談】セキュリティとディペ ンダビリティ: 統合へのグランドプ ラン 今井秀樹(中央大教授)vs 南谷崇 (東大教授)コーディネータ: 坂井修一
H.20.4.25	Prof. Suh とのディス カッション	東京大学 電気系会議室4	20 名	セキュアプロセッサに関する最新 の技術動向
H.20.12.15	Prof. Subhasish Mitra との討論会	東京大学 VDEC 会議室	12 名	ソフトウェアの自動補正技術に関 する討論
H.20.12.18	Prof. Bernd Becker との討論会	東京大学 VDEC 会議室	10 名	LSI のテスト生成技術の最新動向 に関する討論
H.21.1.16	Dr. Andy Chou との 討論会	東京大学 VDEC 会議室	10 名	C 言語記述の静的検証技術の最 新動向に関する討論
H21.1.16	Prof. Jinian Bian と の討論会	東京大学電気 系 会議室1A 室	15 名	ハードウェア設計記述の形式的検 証手法に関する討論
H20.1.19	Prof. Hoe との討論 会	東京大学 電気系会議室1 B	20 名	ディペンダブル VLSI に関する討 論
H20.1.20	Prof. Hoe との討論 会	東京大学 電気系会議室1 B	20 名	坂井五島研ディペンダブル VLSI に関する討論
H20.1.21	Prof. Ho, Dr. Nikhil との討論会	東京大学 電気系会議室4	20 名	VLSI 設計の高信頼化に関する 講演・討論
H20.1.22	ASP DAC パネル討 論	パシフィコ横浜	150 名	ディペンダブル VLSI に関するパ ネル討論(安浦先生、小野寺先 生、Prof. Hoe、坂井)
H.21.1.23	Prof. Chung-Yang Huang との討論会	東京大学 VDEC 会議室	10 名	SystemC 等高位設計技術言語 の高速エミュレーション技術に関 する討論
H.21.9.25	CREST DVLSI テ スト構造フォーラム	京都大学工学 部 3 号館 北館 N4 講義室	30 名	5GHz 帯 324Mbps 無線通信シス テムの開発・実装(東北大学・坪 内チーム小熊 博) 周波数領域等化回路の ASIC 実装(東北大学坪内チーム 小松 和寛・亀田 卓) 手設計, 自動設計混在 LSI 設計 環境の構築(京都工芸繊維大学 小野寺チーム 小林 和淑)

				タイミング制約を緩和するクロッキング方式(東京大学坂井チーム 喜多貴信) 非同期式回路設計における遅延モデルと遅延変動特性について(東京大学米田チーム 今井 雅) 高精度トランジスタアレイの回路設計と測定(京都大学小野寺チーム 佐藤高史) 事後討論
H21.11.17	講演会「メニーコアプロセッサのためのインターコネクションネットワーク」電気通信大学 吉永努先生	東京工業大学 E1004 号室	16 名	メニーコアプロセッサのためのインターコネクションネットワークの構成方式の解説および最先端の研究内容について講演する。
H.21.11.26	Prof. Arvind 講演会	東京大学工学部 2号館 N 棟 10F 電気系会議室 5	50 名	Talk: Is Hardware Innovation Over?
H.21.12.14, 16, 17	Mitra 教授、Blanton 教授、Cheng 教授、Khasidashvilihak 博士との研究打合せ	東京大学武田先端知ビル 4 階 VDEC 会議室	20 名	藤田グループ内の検証・テスト関連テーマの発表と議論
H22.6.29	東京大学 VDEC D2T シンポジウム 2010	東京大学武田先端知ビル 5 階 武田ホール	130 名	藤田教授をモデレータとして、パネリスト 6 人(浅井総括、坂井教授、安浦教授、Chakrabarty 教授、Blanton 教授、Mitra 教授)による Dependable VLSI Systems についてのパネル討論を開催
H22.9.2	高信頼性 SOI デバイス Meeting	工学部 2 号館電気系会議室6	6 名	宇宙用の高信頼 LSI の開発現況について
H23.2.2	VDEC 高位設計セミナー	東京大学武田先端知ビル	60 人	高位設計・検証に関する公開のセミナー
H24.1.12	Professor Derek Chiou 講演会	東京大学工学部 N 棟4階 244 講義室	10 名	Computer System Design Through Parallilized Simulators の講演および Discussion
H24.8.19～ H24.8.24	Dagstuhl seminar: “Verifying Reliability”	Schloss Dagstuhl (Dagstuhl, Germany)	36 人	DVLSI の複数チームの研究成果を含む、信頼性とその検証に関するトピックを網羅した1週間のセミナー
H25.3.5	IEEE CS 会長 デヴィッド・グリアー氏 東大来訪	東京大学 工学部 2 号館 11F 112B1	10 名	IEEE CS 会長デヴィッド・グリアー氏東大来訪に際し、坂井・五島研において、DVLSIを含む研究の紹介とクロッキングのデモを行う
H25.3.18	日立研との共同研究の報告会	東京大学 工学部 2 号館 10F 会議室 5	7 名	日立研との高信頼 FPGA に関する共同研究の年度末報告会

§ 6. 結び

ディペンダブルアーキテクチャに関しては、(1) デザインばらつきの大きな環境で高性能・高信頼性を確保する手法を世界に先駆けて研究開発し、実VLSIチップを製作して有効性を実証した点、(2) 耐故障FPGAアーキテクチャを提案・有効性を実証した点、の2点で大きな成果があり、所期の目標をほぼ達成した。前者は当初、中長期的な技術という評価が多かったが、昨今のデザイン危機を鑑みると、今すぐにでも役立つ技術と思われる。今後は、企業からの受託などによって、実用化を進めたい。

形式的検証技術は、まずこれが実用に供することを証明した点が最大の成果と考える。大規模回路の短時間での検証に成功し、さらに、東大・NECの共同作業によって、商用化への目処をつけた点は、当初の目標を上回る成果と考える。

メニーコアについては、高機能ルータによって飛躍的にディペンダビリティを高める技術の開発に成功した。そのさい、試作したFPGAテストベッドシステム(ハード、ソフト、評価環境)は汎用的なもので、さまざまな用途に使われることとなった。さらに、本研究は米田チームで新展開を試みるようになっており、総じて、期待通りの成果と言える。

今回、特徴的だったのは、形式的検証とアーキテクチャを組み合わせた技術である。特に、ディペンダブルアーキテクチャの形式的検証については、世界でも類を見ないユニークな成果をあげることになった。

プロジェクトの運営については、当初より各グループの役割分担・目標がはっきりしていたため、予算分配・スケジュール管理など、具体的・合理的に行うことができた。吉瀬グループ発足については、アーキテクチャがプロセッサコア内の技術であったのを補う意味でメニーコアを導入する必然性があり、最適な人選を行った。また、NEC若林グループ発足については、実用化段階の形式的検証ツールを産業に展開する上で必然性があり、強くご支援いただいた浅井総括・JSTに深く感謝する次第である。

運営会議・成果発表会など適宜開催したが、担当者全員が首都圏の研究者であったため、効率的であった。一方で、産業への展開を考えると、これからの展開では、地理的(場合により国際的)に分散したプロジェクトも手がける必要があるだろう。

予算は多いに越したことがなく、「現行の2倍あれば」の要望は普遍的にあるだろう。ポストドク雇用、検証ツール群の開発、VLSI開発など、人とモノの両面で予算増は大きな効果を生むが、「成果は予算に比例する」ということではないだろう。研究予算は、単なるポートフォリオ以上の創発的な工夫をしながら使うものと思うし、そこに代表者の仕事の一部分があったと思う。

すでに何度も述べたように、これからは成果の産業界への展開を具体的にはかっていくことになるが、同時に、基礎研究の分野でも大きな展開が必要な分野と思う。ディペンダビリティ研究についての引き続きより一層のご支援・ご鞭撻をお願いする次第である。



「ディペンダブルアーキテクチャ」グループの試作ボードとメンバー



形式的検証グループ研究参加メンバー