

戦略的創造研究推進事業 CREST
研究領域「ディペンダブル VLSI システムの基盤技術」
研究課題「ロバストファブリックを用いたディペンダブル
VLSI プラットフォーム」

研究終了報告書

研究期間 平成19年10月～平成25年3月

研究代表者:小野寺 秀俊
(京都大学大学院
情報学研究科 教授)

§ 1. 研究実施の概要

(1) チーム全体の研究構想と概要

① 本研究の背景、社会や産業に存在する問題と本研究の課題設定

微細化の限界に近づくにつれ、VLSI の製造性が急速に劣化するとともに、デバイス特性のばらつきが顕在化してきた。動作にともなう特性の劣化も深刻化している。回路中の電荷量の減少により雑音や宇宙線への耐性が低下している。これらの要因で発生する物理的、自然現象的フォールトは VLSI のディペンダビリティを毀損する深刻な原因である。ITRS2009 ロードマップにおいても、設計部門(Design)における総合課題(合計 5 項目)の 2 項目(製造容易化設計:design for manufacturability と信頼性:reliability)において、これらへの解決策探求の重要性が指摘されている。

ディペンダビリティ以外にも、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっている。この問題を解決する有力候補が再構成可能 VLSI である。同一のチップで、要求されるディペンダビリティの異なる多様なアプリケーションを効率よく実現することが、産業上強く求められている。

本研究では、素子寸法の極限的な微細化に伴って問題となってきたディジタル VLSI の製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびに一過性雑音事象(ソフトエラー)によるディペンダビリティ低下を克服することを目的とし、搭載回路の再構成と特性の適応的調整が可能な VLSI プラットフォームを開発する。

VLSI プラットフォームの開発にあたり、高信頼プロセッサと再構成可能アレイ部から構成される VLSI プラットフォームのハードウェアに加えて、C 言語で記載されたアプリケーションを開発 VLSI プラットフォーム上で実行させるためのソフトウェア環境を整備する。

② 本研究チームの達成目標

本研究の目標は、①で説明した微細化に伴う製造性の劣化、特性のばらつきと劣化、ソフトエラーといった物理的・自然現象的フォールトに対して高い耐性を有する再構成可能 VLSI プラットフォームを明らかにすることである。本プラットフォームでは、製造性を強化し特性ばらつきに対する靱性を高めたロバストファブリックを構成要素とすることにより製造性劣化や特性ばらつきに対応し、特性ばらつき量を等価的に半減することを目標とする。ソフトエラーや特性劣化に対しては、必要とされる信頼性に応じた冗長化構成やホットスワップが実現可能な粗粒度再構成可能アーキテクチャを開発し、宇宙空間においても 100FIT の故障率を達成することを目標とする。プラットフォームのハードウェアと共に、C 言語記載のアプリケーションが実行可能なソフトウェア環境を整備することにより、アプリケーション開発者自身がプラットフォームの評価を行うことが出来る環境を提供する。

③ 本研究の特徴

本研究では、表 1 に示すディペンダビリティ阻害要因を対象として、回路技術からアーキテクチャまでの階層横断的取り組みにより各阻害要因を排除する技術を研究し、要求されるディペンダビリティに応じた回路を実現できる再構成可能 VLSI プラットフォームを開発する。本プラットフォームは、再構成可能アレイとプロセッサで構成する。回路技術、再構成可能アーキテクチャ技術、設計自動化技術、プロセッサ構成技術の総合的取組により、要求されるレベルに応じたディペンダビリティを提供する組込みシステム用 VLSI プラットフォームを構築する点に特徴がある。各要素技術についても、以下に示すように高い独自性と有用性を有している。ロバストファブリックの回路技術は、ばらつき耐性や放射線耐性の高いライブラリ構成技術そのものであり、一般的なセルベース設計に広く活用できる。再構成可能アーキテクチャは、様々な信頼性をハードウェアレベルで設定可能な世界初の再構成可能回路であり、通信回路や暗号処理などの様々なアプリケーションに適用できる。アプリケーションを再構成可能プラットフォームにマッピングする設計自動化技術では、機能仕様としてディペンダビリティを与え、それを実現する回路を自動構成する計画であるが、ディペンダビリティを考慮したマッピング技術の開発は世界初の試みである。C 言語からプラットフォームへのマッピング手段を提供することにより、プラットフォームの実課題への適用可能性評価がユーザサイドで可能となる。プロセッサ構成技術についても、要求される信頼性に応じて、パイプラインステージ毎に誤り検出や訂正が実施可能な世界初のアーキテクチャを明らかにする。

表1. ディペンダビリティ阻害要因と、対応する技術要素および阻害要因排除手法

ディペンダビリティ阻害要因		製造性劣化	物理的揺らぎ	一過性雑音	特性劣化
階層	技術要素				
ソフトウェア	—				
アーキテクチャ	再構成可能アーキテクチャ			○	○
プロセッサ	再構成プロセッサ			○	○
設計自動化	マッピング技術			○	○
回路技術	ロバストファブリック	○	○		○
デバイス技術	—				
阻害要因排除手法		製造容易構造	自己調整	適応的冗長化	自己修復

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本件チームは、表 1 に示す各要素技術を担当する「ロバストファブリック」「再構成アーキテクチャ」「再構成プロセッサ」「マッピング技術」の各グループに加えて、H23 年の 6 月より加わった「C 設計ツール技術」と、本プラットフォームのアプリケーション展開に向けた「評価・実用化検討」グループで構成されている。各グループは担当課題の開発を主導するとともに、チーム全体としての階層横断的な取り組みによりディペンダブル VLSI プラットフォームの実現を目指す。すなわち、ロバストファブリックグループはディペンダブル VLSI プラットフォームを実現するためのライブラリを提供する。マッピング技術グループは、当該粗粒度再構成可能アーキテクチャを対象としたアプリケーションのマッピング技術を開発する。評価・実用化検討グループは、ディペンダブル VLSI プラットフォームの動作検証環境を整えると共に、具体的応用課題をプラットフォーム上に実現し、そのディペンダビリティを評価する。C 設計ツール技術グループは、アプリケーションの C 言語記述よりディペンダブル VLSI プラットフォームの機能・構造・動作記述を生成する。更に、DRP/STP といった動的再構成可能ハードウェア用のソフトウェア開発や多様な VLSI システムの開発を通じて獲得した粗粒度再構成可能アーキテクチャに関する豊富な知見に基づき、再構成可能アレイのアーキテクチャやプロセッサとの連携方式などに関する検討に積極的に参加する。

2) 領域外部の企業等との連携

再構成可能アーキテクチャを中心としたディペンダブル VLSI プラットフォームに関する情報交換を、ルネサスエレクトロニクス社と NEC 社において動的再構成デバイスの商品化開発を担当するグループと実施している。再構成可能アーキテクチャならびにソフトウェア対策技術に関する情報交換を、日立製作所生産技術研究所において高信頼化技術を担当しているグループと実施している。宇宙衛星用組み込みシステムに関する要件調査と意見交換ならびにソフトウェア対策技術に関する技術討論を、JAXA の総合技術研究本部および宇宙科学研究本部の研究者と実施した。衛星搭載用組み込みシステム設計技術に関する情報交換を、NEC 東芝スペースシステム社と実施している。また、JAXA の総合技術研究本部の協力のもと、耐放射線フリップフロップのソフトウェア耐性を評価するための重イオンを用いた加速テストを実施した。ソフトウェアに焦点を絞った技術討論会を 2011 年 9 月に京都工芸繊維大学で開催し、JAXA、日立製作所、富士通セミコンダクタ、ルネサスエレクトロニクスなどに所属する日本を代表するソフトウェア関係の研究者と情報交換するとともに、今後の連携可能性について協議した。2012 年 9 月には、第 2 回の技術討論会を福岡システム LSI 総合開発センターにて開催し、今後も当該技術領域に特化した国内唯一の技術情報交換と連携の場として活動を継続する事を確認した。さらに SpaceWire ユーザ会に参加し、公開頂いた SpaceWire IP を用いたリアルタイム動画転送への適用を市販 FPGA ボードを用いて評価し、再構成可能 VLSI プラットフォームへの統合を進めた。

3) 領域内他研究チームとの連携関係

平成 22 年度までは「VLSI ディペンダビリティの物理・デバイス・回路レベルテスト構造フォーラム」を開催し、特に TEG(Test Element Group)の設計や評価技術に関する情報交換を領域内の多くの研究チームの間で実施した。平成 23 年度からは、上記 2) で説明したソフトウェアに関する技術討論会を開催し、安浦チームや吉本チームなど領域内でソフトウェアに関する研究を行っているチームからの参加者も得て、ソフトウェアに関する技術討論と研究連携に関する議論を行った。

(2) 研究グループの研究の概要

1)「ロバストファブリック」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

ロバストファブリックは、ディペンダブル VLSI プラットフォームを構成する基本回路要素である。スタンダードセルを対象として、プロセスの微細化に伴う製造性の劣化や特性ばらつきならびに特性劣化に対処するための設計技術を開発している。現時点での最新 Edition である ITRS2011 の Design Chapter に掲げられている 5 総合課題中の 2 課題である「Manufacturability(製造容易性)」と「Reliability and resilience(信頼性・回復性)」が、本グループが取り組む研究課題である。すなわち、本研究グループは、製造容易性が高くデバイス特性のばらつきに対して高い耐性を持つ論理ゲートの設計法を明らかにすることと、デバイス特性の劣化を防止する、もしくは劣化の影響を補償する設計技術を開発することを目的としている。

②本研究グループの達成目標

ITRS ロードマップにおいては製造性の劣化や閾値ばらつきなどにより回路特性に生じるばらつき量の許容最大値が目標として掲げられている。例えば、ITRS2011 においては、2018 年の段階では 50%が目標値であることや、その目標値を達成する実用化技術が存在していないことが示されている。本グループの達成目標は、ばらつき耐性を高める設計技術や回路特性の適応的調整技術により、回路特性のばらつき量を等価的に半減させることを目標とする。この目標は、先に述べた研究課題に対する直接的な解決目標となっている。

③本研究グループの研究の特徴

製造性劣化への対策と、特性ばらつきならびに特性劣化への対策について、それぞれ説明する。

製造性劣化に対しては、レイアウトの単純化と規則性の導入により露光性を向上させることにより対処する。日本国内での最先端プロセス(40nm)を対象として、ポリやメタルなどのレイヤー毎に必要な規則性を保ちつつプリミティブセル全体のレイアウト面積を最小化するセルレイアウト生成技術を開発した。本技術により、製造性・性能・コストが高い次元で両立したライブラリを構築でき、一般的なセルベース設計全般に対して効果がある。

特性ばらつきならびに特性劣化に対しては、ばらつきならびに劣化の正確な分析とモデル化を行う。特性ばらつきは、微細デバイスが内在する原子レベルの揺らぎによるランダムな成分や、チップ毎に変動する成分などで構成される。ランダムばらつきに対してはランダム性を前提とした統計的設計技術により対処する。チップ内の場所に依存したばらつきやチップ間ばらつきについては、ばらつき量を定量的にモニタする回路技術と基板バイアス電圧印加による動作特性調節技術を組合せ、特性ばらつきの動的な補償を行う回路技術を開発した。

④研究実施方法(研究チーム内外の連携関係など)

ロバストファブリックはチップ設計における基本ライブラリである。再構成アーキテクチャグループや再構成プロセッサグループのチップ実装に使用するライブラリならびに設計フローを提供する。また、再構成プロセッサグループと連携し、回路レベルにおける高信頼化設計技術の開発に取り組む。

製造性向上技術、特性ばらつきや劣化のモデル化と補償技術のいずれにおいても、理論的な検討に留まらず、実シリコンにおける特性と実回路における効果の実証を重視する。そのため、シャトルサービス等でのデバイス試作とともに、デバイスメーカーとの意見交換や各種試作支援プロジェクトに積極的に取り組み、実用化技術への展開を図っている。

2)「再構成アーキテクチャ」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、ディペンダビリティ阻害要因をアーキテクチャレベルで排除することを研究課題として研究開発に取り組んできた。ソフトウェアによる回路誤動作、経年劣化によるタイミング故障など、VLSI のディペンダビリティを阻害する要因は多岐にわたるが、これらを排除しディペンダビリティを担保するために許容されるコストは、アプリケーションおよびその動作環境に依存する。このため、VLSI 設計時に必要に応じて適切な信頼性を考慮することが求められていた。本研究グループでは、適応的冗長化と機能交換を可能とする粗粒度再構成可能アーキテクチャを開発し、同一のチップで、要求されるディペンダビリティの異なる多様なアプ

リケーションを効率よく実現するという産業界における実用的課題に取り組んだ。

②本研究グループの達成目標

本研究グループでは、FPGA 等の既存デバイスよりも遙かに高い信頼性を実現し、構成要素毎に信頼性を可変にできる粗粒度再構成可能アーキテクチャを提案することを目指している。また、経年劣化に基づく遅延故障やハードウェア故障を起こしている回路をスペア回路と交換する機構を確立することも本研究グループの目標である。これらの目標の達成により、要求される VLSI のディペンダビリティに応じて、許容される面積コストを考慮しながら柔軟な高信頼構成でアプリケーションを効率よく実現することができる。

③本研究グループの研究の特徴

本研究グループでは、従来の再構成可能アーキテクチャで回路の仮想化に利用されてきたマルチコンテキスト構造をディペンダビリティ確保に利用することにより、構成要素毎に柔軟な冗長構成を実現することを可能とする粗粒度再構成可能アーキテクチャ FRRARY (Flexible Reliability Reconfigurable Array) を開発した。FRRARY は、SRAM 型 FPGA に対して構成情報量が少なく済むため、SRAM 型 FPGA では到底実現できない高いソフトウェア耐性を実現できる。また、耐放射線 FPGA であるアンチフューズ型 FPGA に対しては、FRRARY は先端 CMOS プロセスを用いて実装できるため、高い集積度を確保することができ、先進的なアプリケーションに利用できる。

レジスタやメモリの実装、条件分岐やビット演算の実現方式について検討を進め、制御処理も含む実用的なアプリケーションが搭載可能な粗粒度再構成可能アーキテクチャを開発した。信頼性を考慮した CAD 技術との連携により、ソフトウェア耐性と面積コストのトレードオフを考慮しながら必要な性能が実現できる。

ディペンダブル VLSI プラットフォームとして高信頼プロセッサも含めた SoC を開発した。平行して開発する評価ボードを用いて、提案粗粒度再構成可能アレイによるハードウェアアクセラレータとしての性能評価、高信頼度マッピングによる高いソフトウェア耐性の実現、ならびに柔軟な信頼性可変性を利用した小面積高信頼マッピングの実証を現在行っている。実証実験における提案再構成可能アレイへのアプリケーションマッピングは、信頼性を考慮した高位合成、配置配線アルゴリズムに基づき行っている。

また、経年劣化などによる故障対策として、ハードウェアサポートによる故障回避と再構成による故障回避の代表的な方式について、同一の論理的機能をもつアレイに複数の同一アプリケーションをマッピングすることにより、その効果を定量的に比較評価し、開発している粗粒度再構成可能アーキテクチャに適した故障回避機構を示した。

④研究実施方法(研究チーム内外の連携関係など)

評価・実用化検討グループおよび再構成プロセッサグループと密に連携し、出口戦略を見据えたシステムアーキテクチャの検討し、その実現に向けて研究開発に取り組んできた。

C設計ツール技術グループとの連携を通じて、効率的な制御回路やビット演算の実現方式を明らかにし、アーキテクチャ開発に反映した。また、マッピング技術グループと連携し、必要なディペンダビリティを考慮したアプリケーションマッピングを可能とするアーキテクチャへの改良を行った。これにより、提案する再構成可能アーキテクチャの構成要素毎に信頼性を設定することができるという特長を最大限に活かしたアプリケーションマッピングが可能となり、要求されるディペンダビリティを高い面積効率で実現することができるようになった。

3)「再構成プロセッサ」グループ

①研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループでは、プロセッサのアーキテクチャレベル/回路レベルでのディペンダビリティの確保を研究課題とした。集積回路の微細化にともない、ソフトウェアなどによるプロセッサの誤動作が頻発するようになる。ソフトウェア対策なしでは、誤動作が頻発し、自動車のような信頼性の必要な機器はもとより、携帯電話などの電子機器においてもその対策が必須となる。高信頼性化に必要なコスト(回路面積/電力など)の削減という産業界からの要請に応じた高信頼プロセッサとソフトウェア耐性を持つFFを開発した。

②研究グループの達成目標

本研究グループでは、信頼性を可変にできるプロセッサ・アーキテクチャ(DARA)ならびに、冗長化 FF を用い

たソフトウェアに強い回路構造を提案することを目標とした。これらの目標の達成により、電子機器のソフトウェア耐性が大幅に高まる。また、動的に信頼性を可変にする適応的多重化実行により、高信頼性のためのコスト(特に電力コスト)が削減する。

③グループの研究の特徴

本研究グループでは、高信頼化に必要なコストを削減するため、多重化度を動的に変更できる構造を考え、一時故障の発見／回復と永久故障の発見には2重化構成を、永久故障の回復には3重化構成を用いることで実行時の平均多重化度を削減するプロセッサ・アーキテクチャを提案した。この平均多重度削減は、特に電力コストの削減において顕著である。この電力削減は動作温度の削減にもつながり、NBTI などの高温で進行が早い経年劣化を軽減できる。また、パイプラインを比較器、比較通信用データパス、協調動作回路を含めたモジュール構成として設計しておくことで、種々のマルチコア／多重化構成実現における設計変更を不要にする。また、モジュールに対してあらかじめ耐ばらつき設計を適用しておく。これにより、高信頼化だけでなく、設計／製造容易性や耐ばらつき設計への親和性という観点からも有利である。

回路レベルの高信頼化技術として、ソフトウェア耐性の高いフリップフロップの回路構造を開発し、その実装に適したレイアウト構造を明らかにした。本開発では、シミュレーションに基づく検討と共に、実際の照射実験での検証を重視した。これは複数ビット同時反転など、実機検証でしか把握できない物理現象が顕在化しているためである。実測により得られた知見を元に、更なるエラー耐性の向上に取り組み、回路やレイアウト構造の最適化を実施した。本研究期間中に開発し、特許出願を行った BCDMR FF はそのソフトウェア耐性が通常の FF の数十倍以上と強いことを実証した。また低電力化を図った BCDMR ACFF も開発し、活性化率 10% よりも小さい場合に、通常の DFF(TGFF)よりも電力が低く、エラー耐性も BCDMR FF と同様であることが分かった。

実チップ上での検証を目的とし、上記の二つの成果を適用した再構成プロセッサを実装、試作した。エラー耐性の高いフリップフロップを用いて実装し、アルファ線照射下においてもプロセッサが正常に動作することを確認した。

④研究実施方法(研究チーム内外の連携関係など)

DARA のアーキテクチャの検討と実装による評価については、アーキテクチャに強い嶋田・姚ら(奈良先端大)と、回路に強い小林ら(京都工繊大)とで協力し、DARA の LSI 試作を行った。この試作では通常の FF を用いた DARA と小林らの提案した高信頼 FF を用いた DARA を実装し、DARA のアーキテクチャ評価ともに、高信頼 FF をプロセッサのような大規模回路に用いた場合の評価を行った。また、社会還元的な展開活動のため、命令セットアーキテクチャの権利を持つルネサスエレクトロニクスの許諾のもと、ホームページ上(<http://arch.naist.jp/pub/openDARA/>)で DARA アーキテクチャの SH-2 命令セットにおける実装例として公開を行った。

本プロセッサは再構成可能アーキテクチャと協調動作するプロセッサとして、汎用バス経由で再構成アーキテクチャと接続する SoC 構成の実装を行った。そのため、再構成アーキテクチャグループや、その適用先を検討する評価・実用化検討グループと連携し、汎用バス/汎用入出力インタフェース/再構成アーキテクチャ用の高バンド幅入出力インタフェースの設計を行った。

また、フリップフロップの開発においては、日立製作所、ルネサスエレクトロニクス、富士通マイクロエレクトロニクスで産業用機器やスパコンなどのソフトウェア対策に実際にかかわっている技術者の協力を得て、開発技術の実用化展開を図った。

4)「マッピング技術」グループ

①研究グループの研究課題、ならびに所属する研究チームの課題との関係

VLSI の微細化に伴い、動作にともなう特性の劣化や、雑音や宇宙線への耐性低下等が問題となっており、これらに対するディペンダビリティの確保が課題となっている。他方、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっており、この問題を解決する有力候補として再構成可能 VLSI へのニーズや期待が高まっている。このため、高いディペンダビリティを持った再構成可能 VLSI の開発が急務となっており、再構成アーキテクチャグループがこの課題に取り組んでいるが、再構成可能 VLSI の性能やディペンダビリティを最大限に引き出すためには、アプリケーションを最適にマッピングする環境が不可欠で

ある。

本研究グループでは、再構成アーキテクチャグループが開発する粗粒度再構成可能アーキテクチャを対象としたアプリケーションのマッピング技術の研究開発に取り組んだ。これには、配置配線ツール、シミュレーションベースの脆弱性評価環境に加え、与えられた回路面積等の制約のもとでソフトウェア耐性を最大化するための選択的三重化技術の開発などが含まれる。

②本研究グループの達成目標

動作仕様から脆弱性の高い箇所を特定して要求されるディペンダビリティに応じた冗長化回路構成を導き、C 設計ツール技術グループの開発するツールと連携して再構成可能アレイにマッピングする技術を確立する。これにより、再構成アーキテクチャグループの開発した再構成可能 VLSI の性能やディペンダビリティを最大限に引き出すことが可能となる。

③本グループの研究の特徴

粗粒度再構成可能アーキテクチャと選択的三重化に注目し、与えられた回路面積等の制約のもとで、ソフトウェア耐性を最大化すべく、三重化を適用する箇所を自動的に選択する手法の研究に取り組んだ。ソフトウェア耐性の正確な評価には、アプリケーションの配置配線や故障挿入シミュレーションによる信頼性評価が必要になるが、これらには多くの時間を要する。そこで本研究グループでは、データフローグラフの段階で適用可能な評価関数を開発し、これを用いることで最適な三重化の適用箇所の探索を加速した。また、これまでに構築してきた自動配置配線ツールを含む信頼性評価環境を用いて、提案手法の有用性を示した。

粗粒度再構成可能アーキテクチャとこれに向けた配置配線ツールの開発には先行研究が多くあるが、多重化を導入する等、ディペンダビリティを考慮したマッピングツールは他に開発されておらず、本研究グループが先行している。他方、FPGA を対象とした脆弱性指標 (Sensitive bit) の評価および部分的三重化の導入は Los Alamos 研究所などで研究が行われているが、粗粒度再構成可能アーキテクチャを対象としたものはない。

④研究実施方法(研究チーム内外の連携関係など)

動作仕様から具体的な再構成可能 VLSI アーキテクチャにマッピングするプロセスを、脆弱性の高い箇所を特定して要求されるディペンダビリティに応じた冗長化回路構成を導くプロセスと、これに基づいて実際にハードウェアにマッピングするプロセスの2段階に分割する。前者のプロセスは再構成可能なアーキテクチャには独立なプロセスであり、特にディペンダビリティを動作仕様レベルで考慮する方法の開発に注力してきた。後者のプロセスは、更に C 言語から RTL を合成するプロセスと、RTL から配置配線を含むマッピングを行うプロセスに分けられ、前半は C 設計ツール技術グループが、後半は本研究グループが開発してきた。また、再構成アーキテクチャグループが開発したアーキテクチャの評価を行う際は、再構成アーキテクチャグループや C 設計ツール技術グループと密に情報交換し、相互にフィードバックをかけながら実験や評価を遂行した。

5)「C 設計ツール技術」グループ

① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

粗粒度再構成可能デバイス上で性能や面積を最適化したアプリケーションを実装するためには、対象とする粗粒度アーキテクチャに特化した設計支援環境が必須である。特に、実用的なアプリケーションを対象とする場合には、単純なデータストリーミング処理だけではなく複雑な制御処理も合わせて実装できることが重要である。本研究チームでは、再構成アーキテクチャグループが開発している信頼性可変粗粒度再構成可能アレイ向けの設計支援環境として、マッピング技術グループで配置配線・マッピングツールの開発とアプリケーションの動作仕様レベルでの部分的多重化技術の研究を行っている。しかしながら、実用的なアプリケーションのアルゴリズムを元に、部分的多重化および対象アーキテクチャの特性を考慮しながら設計者がマッピングの入力となる RTL を作成するのは非常に困難である。そのため、動作仕様レベルから RTL へ自動合成するための設計支援環境が必要であり、その開発が本グループで取り組むべき研究課題である。

②本研究グループの達成目標

動作仕様レベルの C 言語記述を再構成可能アレイ向けの RTL 記述へ自動変換する技術に関する研究を行う。本技術により、C 言語記述を再構成アレイ上で高速に実行でき、さらに部分的多重化技術によりディペンダ

ビリティを向上した RTL の記述を自動合成可能とする。

③本グループの研究の特徴

NEC が保有する C 言語動作合成ツール CyberWorkBench を基盤ツールとして、本プロジェクトの再構成可能アレイ向けの C 言語コンパイラを作成する。具体的には、動作仕様レベルの C 言語記述から RTL 記述を合成する際に、マッピンググループで研究している部分的多重化を実現する機構を作成する。また、部分多重化を実現する方法として、故障にも適用可能な空間的多重化、主にソフトウェア対策に有効な時間的多重化の双方を実現可能とする技術を実現する。動作仕様レベルで多重化する部分を指定し、選択的部分多重化をサポートするハードウェアに対応した RTL 上に実現する技術は、従来、存在していないものであり、アルゴリズムの特性を理解している設計者が選択的部分多重化ハードウェアを活用するために、必須の技術である。また、本研究では、時間的多重化と空間多重化の混在を実現させ、ハードウェアによる演算時間と演算リソース数のバランスを取りながら、多重化によるディペンダビリティ向上の効果を確認した。

また、粗粒度再構成可能デバイスは、ALU ベースのアーキテクチャであるため、論理ゲートをベースとした ASIC や LUT をベースとした FPGA などとは演算のためのリソース配分がまったく異なる。通常の ASIC や FPGA 向けに最適化した RTL では、粗粒度アーキテクチャの特性を生かすことができず、リソースの効率的利用は困難である。本研究では、アーキテクチャの特性も考慮し、対象アーキテクチャ上で有利な演算を多く使用するように RTL を合成することで、人手により記述した RTL よりも使用するリソースを抑え、多重化によるディペンダビリティの確保にリソースを活用することを実現した。

④研究実施方法(研究チーム内外の連携関係など)

マッピンググループのマッピングツール開発及び部分的多重化技術研究と連携を行いながら、C 言語動作合成ツールでの部分的多重化対応に取り組んだ。また、再構成アーキテクチャグループが開発している再構成可能アレイについて、マッピンググループを含めた3グループでの議論を通じて、アーキテクチャの改良についてコンサルティングを行った。特に、再構成可能アレイのアーキテクチャやマッピング技術の最適化を助力するため、複数のサンプルの C 記述から、様々な RTL を合成し、再構成アレイの詳細アーキテクチャや全体構成の構築のための事例を提供し、共同で最適化をすすめた。

6)「アプリケーション展開のための評価・実用化検討」グループ

① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

本研究グループは、再構成アーキテクチャの粗粒度再構成アレイと、宇宙用通信規格 SpaceWire による高速データ転送機能を組み合わせることにより、宇宙用途だけでなく CCTV (Closed-Circuit Television) やアレイ信号処理といった民生分野にも有望な展開が可能であることを示し、提案している再構成可能 VLSI プラットフォームの適用先の開拓を行った。

また再構成アーキテクチャグループ、再構成プロセッサグループと連携して、再構成可能 VLSI プラットフォームの RTL の IP の整備を行った。整備した RTL を基に試作したチップを用いて、提案プラットフォームの有効性を示すデモンストレーション環境を構築した。

今後は、試作したチップの動作確認を進めつつ、研究成果の実用化に向けさらなるアプリケーションの開拓を目指す。

②本研究グループの達成目標

研究成果の再構成可能 VLSI プラットフォームの適用先の候補となるアプリケーションに対して、ディペンダビリティ要件を具体的に調査し、耐故障化や誤動作への耐性強化の指標を明確化する。研究成果の実用化に向け、ディペンダビリティ評価技術の確立を図り、技術移転を実施する。粗粒度再構成可能アーキテクチャ (FRRARY) と再構成プロセッサ (DARA) が協調動作する VLSI プラットフォームを用いて、画像処理等のデモンストレーションを実施し、提案プラットフォームの有効性を示す。また SpaceWire 通信規格に基づき、粗粒度再構成可能アーキテクチャ (FRRARY) を遠隔から再構成することを可能とする。

③研究のアプローチ

再構成可能アレイ部とプロセッサからなるプラットフォームが効率的に動作するように、チップ外部との入出

力(メモリもしくは通信)部分を中心に設計を行った。また外部入出力ピン数によりバンド幅が制限されることを解消するため、SpaceWire を用いた高速シリアル通信方式の導入を検討した。さらに再構成可能アレイとSpaceWire 通信の組み合わせによる、新たな民生用途への展開の検討を行い、リアルタイム画像処理や信号処理への適用が可能であることを確認した。整備した RTL 記述については、前年度までに整備した市販FPGAボードを用いた動作検証環境を用いて、検証を進めた。

④研究実施方法(研究チーム内外の連携関係など)

再構成アーキテクチャグループならびに再構成プロセッサグループと緊密に連携し、再構成可能アレイ部とプロセッサが協調動作するプラットフォームIP(RTL 記述)を整備した。本グループは、プラットフォームの入出力部分の設計を専ら担当した。粗粒度再構成可能アーキテクチャ(FRRARY)と SpaceWire 通信機能を組み合わせることにより、故障からの機能回復や演算機能の有効活用といった相乗効果が生まれることを、SpaceWire ユーザ会に提案する。

§ 2. 研究実施体制

(1)「京都大学」グループ

①研究参加者

氏名	所属	役職	参加時期
小野寺 秀俊	京都大学情報学研究科	教授	H19.10～H25.3
佐藤 高史	京都大学情報学研究科	教授	H21.4～H25.3
越智 裕之	京都大学情報学研究科	准教授	H19.10～H25.3
土谷 亮	京都大学情報学研究科	助教	H19.10～H25.3
筒井 弘	京都大学情報学研究科	助教	H22.4～H25.3
松本 高士	京都大学情報学研究科	D3	H21.4～H25.3
Islam A.K.M. Mahfuzul	京都大学情報学研究科	D2	H21.4～H25.3
古田 潤	京都大学情報学研究科	D2	H21.4～H25.3
西澤 真一	京都大学情報学研究科	D2	H21.4～H25.3
釜江 典裕	京都大学情報学研究科	D1	H22.4～H25.3
金 信寧	京都大学情報学研究科	D3	H24.4～H25.3
陳 世鵬	京都大学情報学研究科	M2	H23.4～H25.3
三木 淳司	京都大学情報学研究科	M2	H23.4～H25.3
小宮山 敦史	京都大学情報学研究科	M2	H24.4～H25.3
近藤 正大	京都大学情報学研究科	M1	H24.4～H25.3
西村 彰平	京都大学情報学研究科	M1	H24.4～H25.3
修 齊	京都大学情報学研究科	M1	H24.4～H25.3
三木 崇史	京都大学情報学研究科	M2	H21.4～H23.3
今川 隆司	京都大学情報学研究科	D3	H20.4～H25.3
川島 潤也	京都大学情報学研究科	M2	H23.4～H25.3
森下 拓海	京都大学情報学研究科	M2	H23.4～H25.3
池辺 卓	京都大学情報学研究科	M2	H23.4～H25.3
栗野 皓光	京都大学情報学研究科	M2	H23.4～H25.3
李 志	京都大学情報学研究科	M1	H23.10～H25.3
張 詩翼	京都大学情報学研究科	M1	H23.10～H25.3
関 良平	京都大学情報学研究科	M2	H19.10～H20.3
福岡 孝之	京都大学情報学研究科	M2	H19.10～H20.3
寺田 晴彦	京都大学情報学研究科	M2	H19.10～H21.3
久米 洋平	京都大学情報学研究科	M2	H20.4～H21.3
砂川 洋輝	京都大学情報学研究科	M2	H20.4～H22.3
牧野 紘明	京都大学情報学研究科	M2	H20.4～H22.3

伊東 恭佑	京都大学情報学研究科	M2	H21.4～H23.3
北島 和彦	京都大学情報学研究科	M2	H22.4～H24.3
藤本 秀一	京都大学情報学研究科	M2	H22.4～H24.3
神山 真一	京都大学情報学研究科	D3	H19.10～H20.3
TRAN, Son Phu	京都大学情報学研究科	M2	H19.10～H20.3
山口 典昭	京都大学情報学研究科	M2	H19.10～H21.3
武智 翔吾	京都大学情報学研究科	M2	H19.10～H21.3
RAKOSI, Zoltan Endre	京都大学情報学研究科	M2	H20.4～H22.3
藤中勇成	京都大学情報学研究科	M2	H20.4～H22.3
萩原 汐	京都大学情報学研究科	D3	H21.4～H23.3
寺岡 秀人	京都大学情報学研究科	M2	H21.4～H23.3
大上 崇博	京都大学情報学研究科	M2	H21.4～H23.3
高橋 知之	京都大学情報学研究科	M2	H21.10～H22.3
小崎 忠道	京都大学情報学研究科	M2	H22.4～H24.3
湯浅 洋史	京都大学情報学研究科	M2	H22.4～H24.3
小林 和淑	京都大学情報学研究科	准教授	H19.10～H21.3
嶋田 創	京都大学情報学研究科	助教	H19.10～H21.3
姚 駿	京都大学情報学研究科	研究員	H19.10～H21.3
廣本 正之	京都大学情報学研究科	研究員	H19.10～H22.3
上藺 巧	京都大学情報学研究科	研究員	H21.4～H23.3
Bishnu Prasad Das	京都大学情報学研究科	研究員	H21.10～H24.5

②研究項目

- ・ロバストファブリック
- ・再構成可能ディペンダブル VLSI へのマッピング技術

(2) 阪大グループ

①研究参加者

氏名	所属	役職	参加時期
尾上 孝雄	大阪大学情報科学研究科	教授	H19.10～H25.3
橋本 昌宜	大阪大学情報科学研究科	准教授	H19.10～H25.3
密山 幸男	大阪大学情報科学研究科	助教	H19.10～H23.3
更田 裕司	大阪大学情報科学研究科	D2	H19.10～H22.3
高 永勲	大阪大学情報科学研究科	M2	H19.10～H21.3
濱本 浩一	大阪大学情報科学研究科	M2	H19.10～H21.3
天木 健彦	大阪大学情報科学研究科	D1	H20.4～H24.3
原田 諒	大阪大学情報科学研究科	M2	H21.4～H25.3
郡浦 宏明	大阪大学情報科学研究科	M2	H21.4～H25.3
Dawood Alnajjar	大阪大学情報科学研究科	D3	H20.4～H25.3
亀田 敏広	大阪大学情報科学研究科	M1	H22.4～H.24.3
楊 賛	大阪大学情報科学研究科	特任研究員	H23.2～H24.3
阿部 慎也	大阪大学情報科学研究科	M2	H19.10～H21.3

②研究項目

- ・ディペンダブル VLSI プラットフォーム用再構成可能 VLSI アーキテクチャ

(3) 京都高度技術研究所グループ

①研究参加者

氏名	所属	役職	参加時期
----	----	----	------

神原 弘之	京都高度技術研究所	主席研究員	H19.10～H25.3
奥畑 宏之	京都高度技術研究所	研究員((株)シンセシスより出向)	H20.12～H24.3
伊勢 正尚	京都高度技術研究所	研究員((株)シンセシスより出向)	H20.12～H22.3
大巻 裕治	京都高度技術研究所	研究員((株)シンセシスより出向)	H20.12～H24.3
渡邊 賢治	京都高度技術研究所	研究員((株)シンセシスより出向)	H21.4～H24.3
金城 良太	京都大学	研究補助員(M2)	H20.2～H22.3
戸田 勇希	関西学院大学	研究補助員(M2)	H20.2～H22.3
笹山 瑛由	京都大学	臨時雇用(M2)	H20.4～H20.10
矢野 昭治	京都大学情報学研究科	研究補助員(M2)	H20.4～H25.3
田村 真平	関西学院大学理工学研究科	研究補助員(M1)	H23.4～H24.3
山下 真司	関西学院大学理工学研究科	研究補助員(M1)	H23.4～H24.3
高島 史明	関西学院大学理工学研究科	研究補助員(M1)	H22.4～H24.3
織野 真琴	関西学院大学理工学研究科	研究補助員(M1)	H22.4～H25.3
武田 晃一	関西学院大学	臨時雇用者(M1)	H20.4～H21.3
杉原 有理	京都大学情報学研究科	臨時雇用者(M2)	H20.2～H20.3
松崎 裕樹	立命館大学	臨時雇用者(M2)	H20.2～H20.3
西村 啓成	関西学院大学	臨時雇用者(M2)	H20.3～H20.3
廣本 正之	京都大学情報学研究科	臨時雇用者(D1)	H20.3～H20.3
菅野 裕輝	京都大学情報学研究科	臨時雇用者(D1)	H20.3～H20.3

②研究項目

・ディペンダブル VLSI プラットフォームのアプリケーション展開に向けた評価・実用化検討

(4) 奈良先端大グループ

①研究参加者

氏名	所属	役職	参加時期
嶋田 創	奈良先端科学技術大学院大学情報科学研究科	准教授	H21.4～H25.3
姚 駿	奈良先端科学技術大学院大学情報科学研究科	助教	H21.4～H25.3
渡邊 良二	奈良先端科学技術大学院大学情報科学研究科	M2	H21.9～H23.3
竹迫 晴之	奈良先端科学技術大学院大学情報科学研究科	M1	H22.10～H22.11
狭間 良平	奈良先端科学技術大学院大学情報科学研究科	M2	H22.10～H24.3
Yuttakonkit Yuttakon	奈良先端科学技術大学院大学情報科学研究科	M1	H24.10～H25.3

②研究項目

・再構成プロセッサ

(5) 京都工繊大グループ

①研究参加者

氏名	所属	役職	参加時期
小林 和淑	京都工芸繊維大学大学院工芸科	教授	H21.4～H25.3

	学研究科電子システム工学専攻		
藪内 美智太郎	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	D1	H22.4～H25.3
濱中 力	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H21.4～H23.3
山本 亮輔	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H22.4～H24.3
石井 翔平	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H23.4～H25.3
岡田 翔伍	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H23.4～H25.3
久保田 勘人	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H23.4～H25.3
増田 政基	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H23.4～H25.3
張 魁元	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M2	H23.4～H25.3
万沢 勇貴	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M1	H24.4～H25.3
谷弘 脩一	京都工芸繊維大学大学院工芸科学研究科電子システム工学専攻	M1	H24.4～H25.3

②研究項目

・ディペンダブル VLSI プラットフォーム信頼性向上技術の検討

(6)「高知工科大学」グループ

①研究参加者

氏名	所属	役職	参加時期
密山 幸男	高知工科大学システム工学群	講師	H23.4～H25.3

②研究項目

・ディペンダブル VLSI プラットフォーム用高信頼性インタフェースの研究

(7)「NEC」グループ

①研究参加者

氏名	所属	役職	参加時期
若林 一敏	NEC グリーンプラットフォーム研究所	主幹研究員	H23.7～H25.3
竹中 崇	NEC グリーンプラットフォーム研究所	主任研究員	H23.7～H25.3
貞方 毅	NEC システムIPコア研究所	主任	H23.7～H24.3
春田 泰睦	NEC 組込みシステムソリューション事業部	マネージャ	H23.7～H23.9
野田 真一	NEC グリーンプラットフォーム研究所	主任	H24.4～H25.3
中村 寿彦	NEC 共通ソリューション開発本部	主任	H24.4～H25.3

②研究項目

・再構成アレイ向け合成ツール
・部分的多重化技術
・全体コンサルティング

§ 3. 研究実施内容及び成果

(1) 研究の成果と自己評価

1) 成果1. 「ディペンダブル VLSI プラットフォーム」(全グループ)

①内容

本プロジェクトの最終成果物として、再構成アーキテクチャグループによる信頼性可変再構成可能アーキテクチャ FRRARY、再構成プロセッサグループによる高信頼性プロセッサ DARA と高信頼性 FF の研究成果を統合したディペンダブル VLSI プラットフォームを構築した。本ディペンダブル VLSI プラットフォームを SoC として実装し、さらにその性能とディペンダビリティを評価するデモシステムを開発した。ビデオ入出力ボードを接続し、容易に動画像アプリケーションによる評価が実行できる。

実証実験における信頼性可変再構成可能アーキテクチャへのアプリケーションマッピングは、C 設計ツールグループによる信頼性を考慮した動作合成技術と、マッピング技術グループによる信頼性を考慮した配置配線技術によって実現する。

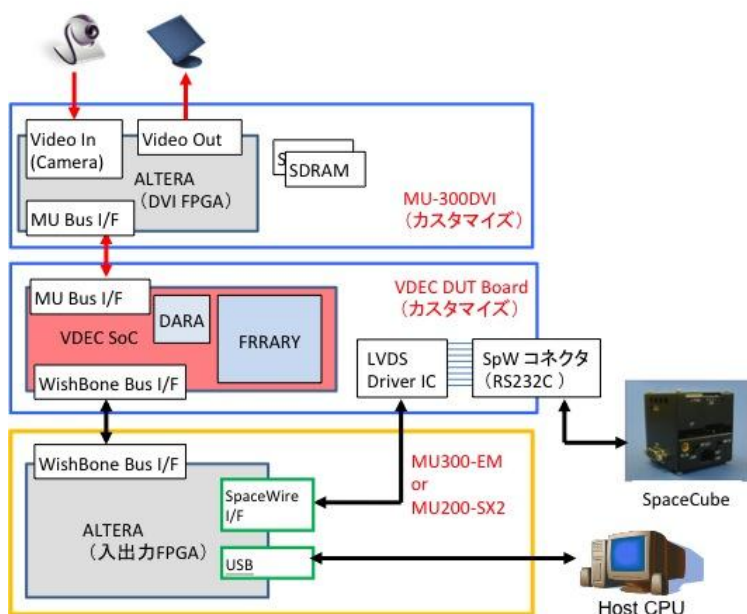
宇宙向け高信頼通信規格 SpaceWire I/F も搭載しており、SpaceWire を介して再構成可能アーキテクチャの動的再構成が可能である。

②有用性

評価用アプリケーションとしてリアルタイム画像処理を実現できる規模のディペンダブル VLSI プラットフォームの試作 SoC において、信頼性を考慮した動作合成や配置配線が可能な CAD 技術を利用することによって、面積コストとディペンダビリティのトレードオフ評価が可能である。アプリケーションに要求されるディペンダビリティを限られた面積コストで実現しながら、必要な処理性能を達成することができる。

③優位比較

本プラットフォームは、製造性劣化、物理的揺らぎ、一過性雑音、特性劣化などのディペンダビリティ阻害要因を対象として、回路技術、再構成可能アーキテクチャ技術、設計自動化技術、プロセッサ構成技術の総合的階層横断的取組みにより、要求されるレベルに応じたディペンダビリティを提供することができる世界初の組込みシステム用再構成可能 VLSI プラットフォームである。



(a) 全体構成



(b) 評価用デモボード

図 1: ディペンダブル VLSI プラットフォーム ((a) 評価システム全体構成、(b) FPGA ボードの組み合わせによる試作 SoC 評価システム写真)

2) 成果 2. 「信頼性可変再構成可能アーキテクチャ」(再構成アーキテクチャグループ)

①内容

ソフトウェアによる回路誤動作や、経年劣化によるタイミング故障などの信頼性毀損要因に対して、アーキテクチャレベルで柔軟にディペンダビリティを担保することが可能な粗粒度再構成可能アーキテクチャ FRRARY を開発した。FRRARY は、アレイ構造の基本要素であるクラスタ内で、構成情報メモリおよび演算回路の冗長化と機能交換を可能としており(図 2(a))、要求されるディペンダビリティに応じた適応的冗長化と、遅延故障やハードウェア故障発生時のスベア回路との動的機能交換(ホットスワップ)が可能である。FRRARY は、ALU ベースの粗粒度型構成要素(図 2(b))のほかに、LUT ベースの細粒度型構成要素(図 2(c))も有しており、条件分岐などの制御構造を含むプログラム全体のアクセラレータとして利用可能である。開発した信頼性可変再構成可能アーキテクチャの VLSI 化を行い、高信頼プロセッサとあわせて試作チップを作成した(図 2(d))。成果 1 で述べた評価用デモシステムを用いて有効性を示す。

②有用性

再構成可能アーキテクチャでは、回路の冗長化によってディペンダビリティを実現するが、従来の構成可能アーキテクチャでは、LUT の内容や配線接続といった回路構成を定義する構成情報自体の冗長化は不可能である。一方、FRRARY は、構成要素毎に構成情報メモリと演算回路の適応的冗長化が可能である。これにより、FRRARY は、許容される面積コストで求められるソフトウェア耐性を効率良く実現できる。

粗粒度と細粒度の構成要素を併せ持つことで、データストリーミング処理だけでなく条件分岐などの制御処理を実現できるようになり、一般的な粗粒度型再構成可能アーキテクチャと比較して対象アプリケーション領域が大幅に拡大され、より実用的なアプリケーションが搭載することができる。さらに、C 設計ツール技術グループによる動作合成ツールとの連携により、状態遷移機械の導入によるリソース共有を効率的に実現でき、必要なリソース量の削減が可能である。また、マッピング技術グループによる信頼性を考慮したマッピングツールとの連携により、限られた面積で最大限のディペンダビリティを実現する。

③優位比較

FRRARY における構成情報のサイズは、SRAM 型 FPGA と比較して約 1% であるため、FRRARY のソフトウェア発生率は相対的に 2 桁小さくなる。さらに、構成情報の書き換えに必要なサイクル数が少なく、再起動時のダウタイムを大幅に削減できる。耐放射線 FPGA として利用されているアンチフューズ型 FPGA では、高いソフトウェア耐性と引き替えに動作速度や集積度が SRAM 型 FPGA に対して大きく劣る。これに対し、FRRARY は先端 CMOS プロセスを用いて実装できるうえ、何度でも回路構成を書き換えることができる。

一方、粗粒度型再構成可能アーキテクチャの中での優位性について考えると、状態遷移機械による粗粒度再構成可能演算器アレイの制御が可能であることに加えて、制御処理などを実現する細粒度構成要素を持つことで状態遷移機械やビット演算も再構成可能アレイ上で実現できるデバイスは他に例がない。さらに、信頼性を考慮したアプリケーションマッピングを行うための CAD 技術との連携により、構成要素毎に適切な信頼性を設定し、アプリケーションや動作環境に応じて要求されるディペンダビリティを効率良く実現する。

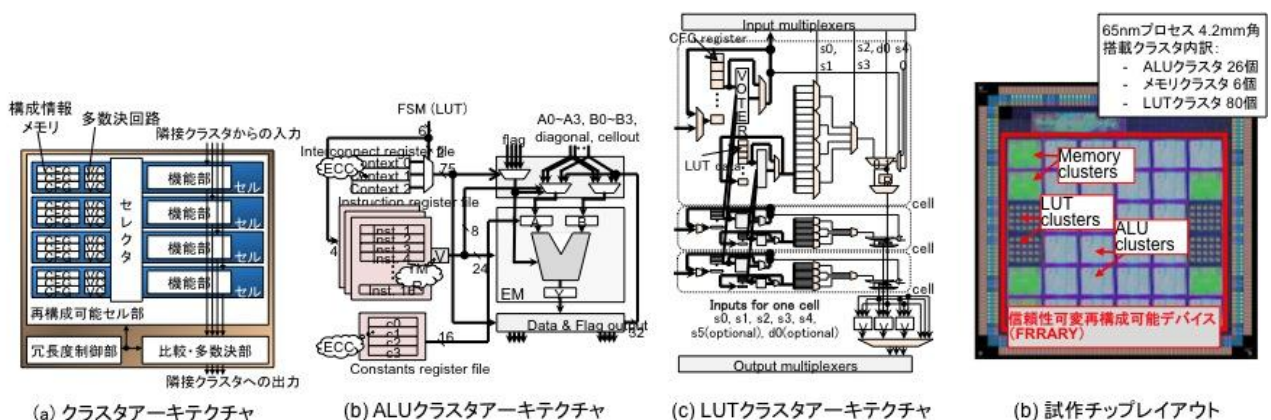


図 2: 信頼性可変再構成可能アーキテクチャ FRRARY ((a)構成要素の基本構成、(b)状態遷移機械による制御が可能な ALU クラスタ、(c)制御処理系やビット演算を実現する LUT クラスタ、(d)試作チップレイアウト)

3) 成果3. 高信頼性プロセッサ(再構成プロセッサグループ)

①内容

多重化度を動的に変更し、一時故障の発見／回復と永久故障の発見には2重化構成を、永久故障の回復には3重化構成を用いることで平均多重化度を削減し、信頼性向上に要するコストを削減するプロセッサ・アーキテクチャDARA(Dynamic Adaptive Redundancy Architecture)を提案した。適応的多重化実行の様子を図3左に示す。高信頼実行は2重化実行による故障検出と故障検出時の再実行を基本とし、一時故障からは実行結果不一致時に2重化実行のまま再実行することで回復する。永久故障は再実行を繰り返しても回復せず、引き続き実行結果不一致の状態が続くため、3重化実行に移行して故障箇所の検出と切り離しを行った後、また2重化実行に戻る形を取る。2重化から3重化への変更は、パイプライン中の正常な状態のコピーによって実現する。

②有用性

従来は3重化構成が一般的であった永久故障への対応についても、2重化を基本とするため、高信頼化のオーバーヘッド、特に電力コストが削減できる。3重化実行を要する時間は2重化実行と比べて極めて短く、従来の固定3重化と比較して電力コストを約2/3に削減する。この電力削減による動作温度の低下は、NBTIなどの高温で進行が早い経年劣化の軽減にも効果がある。3重化動作時に使う予備パイプラインを別用途のプロセッサ・コアと共有することにより、回路面積コストも削減する。ステージ単位でエラー検出を行うため、エラーから高速に回復し、複数のエラーが蓄積してプロセッサ状態が回復不可能な状況に陥ることを防ぐ。なお、比較器等もパイプライン・モジュールに組み込み、種々のマルチコア／多重化構成における設計変更を不要とすることで設計／製造容易性について考慮してある。

DARAの有効性を示すため、180nmプロセスで試作したDARA上で α 線を照射しつつStanfordベンチマークの各ベンチマーク・プログラムを1,000回実行した。図3右に、各ベンチマーク・プログラムの実行時間、および、実行中に発生したエラー数の平均/最大値/最小値を示す。グラフの横軸はベンチマーク・プログラムであり、棒グラフとそのエラー・バーは1実行あたりの再実行数を、折れ線グラフとそのエラー・バーは実行時間を示す。高いエラー・レートのもとでもエラーを検出して再実行を行い、プログラムの正常出力が得られることを確認した。

③優位比較

多くのエラー耐性を持つプロセッサはチェックポイント回復と2重化実行を組み合わせるものであり、永久故障には対応できないうえ、チェックポイント間のストア処理を保存するバッファが必要となる。マルチコア・プロセッサを利用した耐エラー・プロセッサの類似研究として、Configurable Isolation[1]やCore Cannibalization Architecture[2]がある。前者は多重化を行うコアの組が固定されており、また、多重化をエラー検出後に多重化を切り替える機構は準備されていない。後者は永久故障に特化した構成であり、また、故障発生時にプログラム実行を継続させたまま回復することを考慮していない。これらに対し、DARAは一時故障／永久故障双方への対応、多重化を行う組の自由度によるより長いライフサイクル、プログラム実行を継続したままエラー検出後の多重化度変更による電力／回路面積コスト削減、比較器等もパイプライン・モジュールに組み込み種々のマルチコア／多重化度に対する設計／製造容易性についても考慮してある点で優位である。

[1] N. Aggarwal, et al., "Configurable Isolation: Building High Availability Systems with Commodity Multi-Core Processors," ISCA-2007, Jun. 2007.

[2] B. F. Romanescu, et al., "Core Cannibalization Architecture: Improving Lifetime Chip Performance for Multicore Processors in the Presence of Hard Faults," PACT-2008, Oct. 2008.

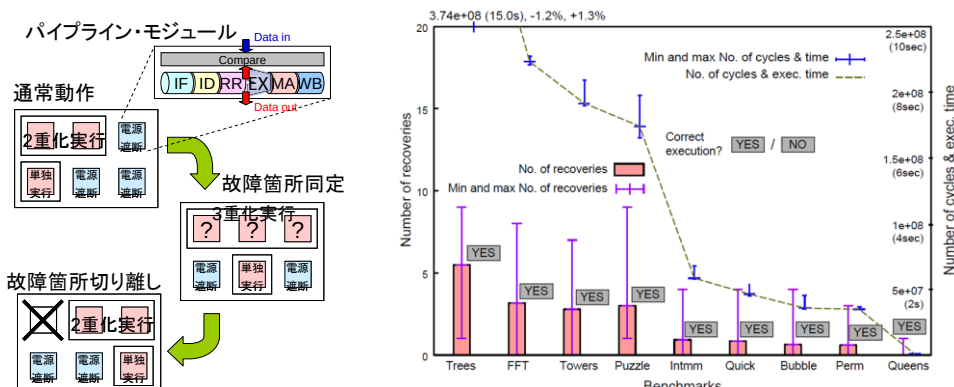


図 3: DARA による適応的多重化実行(左)と試作チップにおける α 線照射評価結果(右)

4) 成果4. 「C 言語設計環境」(C 設計ツールグループ・マッピング技術グループ)

①内容

選択的三重化に対応した粗粒度再構成可能アーキテクチャをターゲットとする、C 言語からの設計開発環境の構築を進めた(図 4(a))。

動作合成は産業的にも実績のある Cyber Work Bench をベースとし、ANSI-C 言語に準拠したデザインエントリと、面積や遅延時間制約への対応を可能とした。粗粒度再構成可能デバイスは、ALU ベースのアーキテクチャであるため、論理ゲートをベースとした ASIC や LUT をベースとした FPGA などとは演算のためのリソース配分がまったく異なる。通常の ASIC や FPGA 向けに最適化した RTL では、粗粒度アーキテクチャの特性を生かすことができず、リソースを効率よく利用することは困難である。本研究では、アーキテクチャの特性も考慮し、対象アーキテクチャ上で有利な演算を多く使用するように RTL を合成することで、人手により記述した RTL よりも使用するリソースを抑え、多重化によるディペンダビリティの確保にリソースを活用することを実現した。

選択的三重化への対応については、与えられた回路面積等の制約のもとでソフトウェア耐性を最大化すべく、三重化を適用する箇所を自動的に選択する手法を開発した。ソフトウェア耐性の正確な評価には、アプリケーションの配置配線や故障挿入シミュレーションによる信頼性評価が必要になるが、これらには多くの時間を要する。そこで本研究では、アプリケーションの DFG から重要な特徴を抽出することで、最適な三重化の適用箇所の探索をヒューリスティックにより加速した。また、これまでに構築してきた自動配置配線ツールを含む信頼性評価環境を用いて、提案手法の有用性を示した。図 4(b)に示すように、開発したヒューリスティックによってほぼ理想的な設計空間探索が可能になっている。

②有用性

選択的三重化は与えられた信頼性制約下で最もリソース使用量の少ない回路実装を行う上で極めて有用であり、これを適用するためには三重化すべき箇所を最適に選択することが必要である。これを自動化し、動作合成ツールで利用可能とすることで、ディペンダブルな再構成可能アーキテクチャの実用化を加速する。

③優位比較

動作仕様レベルで多重化する部分を指定し、選択的部分多重化をサポートするハードウェアに対応した RTL 上に実現する技術はこれまでに存在していない。粗粒度再構成可能アーキテクチャとこれに向けた配置配線ツールには先行研究事例があるが、多重化を導入する等、ディペンダビリティを考慮したツールは見られない。

FPGA を対象とした Sensitive bit の評価および部分的三重化の導入は Los Alamos 研究所などで研究が行われているが、粗粒度再構成可能アーキテクチャを対象とした研究はなく、世界に先駆けた研究である。

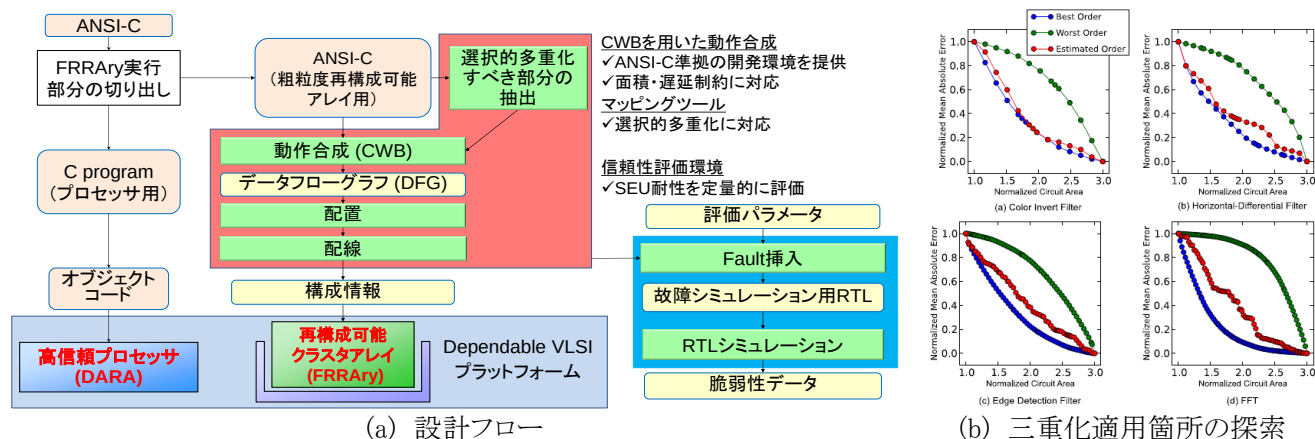


図 4: 信頼性を考慮した C 言語設計環境

5) 成果5.「放射線耐性強化回路技術」(再構成プロセッサグループ)

①内容

低電力な高信頼FFの設計とその評価を行うとともに、重イオンビームによる高信頼FFのソフトエラー耐性の評価を行い、信頼性の必要な地上や、宇宙への応用において利用できることを実証する。さらに、商用 FPGA、試作 LSI での経年劣化の評価も行い、経年劣化が LSI や FPGA に及ぼす影響についてまとめる。具体的には、BCDMR (Bi-stable Cross-coupled Dual-Modular Redundancy) FF の提案を行い、高いクロック周波数でも強靱なエラー耐性を持つことを、シミュレーションならびに実測で実証した。さらに、電力効率の低減を狙って、BCDMR ACFF (Adaptive Coupled FF)の提案を新たに行い、その電力効率の良さも実証した。発表前のため、ここでは触れていないが、DICE 構造を低電力化した DICE ACFF も評価中であり、BCDMR ACFF よりも省面積で、エラー耐性の高いことを実証予定である。評価は研究室で所有する α 線源、阪大の加速器、JAEA 高崎の加速器にて行った。阪大では、地上での中性子線を加速した白色中性子線にて、LSI を多数積層した DUT ボードにより行った。JAEA 高崎の加速器では、重イオンをそのエネルギー毎に照射する実験を行った。平成 23 年度平成 24 年度に、実験を行い、エラー耐性の実証を行った。

②有用性

冗長化 FF は高信頼であるが、面積、電力ともに非冗長のものより大きくなる。冗長化のための面積オーバーヘッドを減らすのは困難であるため、電力オーバーヘッドを減らすことを目的として、BCDMR ACFF (図 5 左)の設計を行った。ACFF は東芝により 2011 年の ISSCC で発表された低電力型 FF である。クロックバッファを廃することで、特に活性化率(FF の入力のトグル率)が低いところで、電力が低くなる。Intel のサーバで利用されている DICE FF などとの消費電力を FF の入力の活性化率 α で比較した図を図 5 右に示す。このグラフの通り BCDMR ACFF は α が 10%を切ると冗長化していない TGFF よりも電力が小さくなる。一般に ASIC 内の FF の活性化率は 5-10%と言われており、冗長化システムにおいても、非冗長化システムと同程度の消費電力が期待できる。

③優位比較

優位性は図 5 右を見れば明らかである。このグラフは横軸が活性化率、縦軸が従来の TGFF (Transmission Gate FF)の電力を 1 とした相対電力を表す。活性化率が高いところでは電力は従来型の BCDMR や商用のサーバに用いられている DICE に比べて電力は高くなる。しかし、活性化率が低くなると、圧倒的に電力が低くなる。通常の ASIC 内での FF の活性化率は 5-10%程度といわれており、通常の DFF を BCDMR ACFF に置き換えても電力オーバーヘッド 0 となることが期待される。

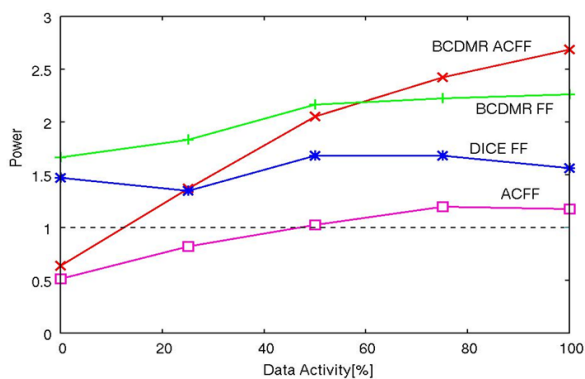
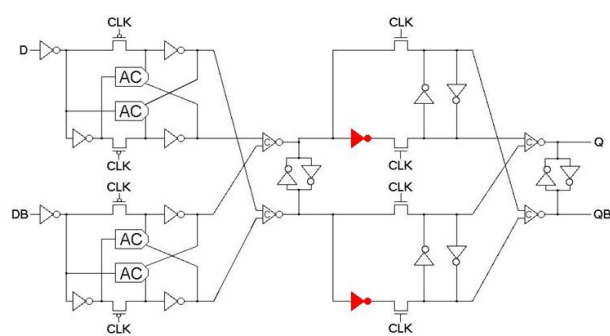


図 5: BCDMR ACFF(左)と活性化率(Data Activity)による電力比較(TGFF (通常の DFF)を 1)(右)

6) 成果6.「ばらつき耐性強化設計技術」(ロバストファブリックグループ)

①内容

電源電圧の低下に伴い、デバイス特性のばらつきが回路特性のばらつきに及ぼす影響が顕著になっている。これらのばらつきには、製造ロットやウェファー/チップごとに変動する成分とともに、チップ内の場所に依存して変動する成分も含まれる。80 コアを集積化したプロセッサの例では、コア間での最大動作周波数のばらつきが電源電圧 1.2V において 28% あり、電源電圧 0.8V では 62% に拡大する事が報告されている[Dighe, et.al., JSSC2010, p.184]。本研究では、チップ内を多数の小領域に分割し、各小領域毎(細粒度)に自律的に特性ばらつきを診断して基板バイアス制御により動作特性ばらつきを補償する、ばらつき耐性強化設計技術(細粒度特性ばらつき補償回路)を開発した。

開発回路の基幹を成すのは、デジタル型 PMOS/NMOS 特性モニタ回路(図とセルベース設計による小面積基板バイアス生成回路である。特性モニタ回路は、PMOS トランジスタと NMOS トランジスタの特性変動のそれぞれを独立に診断する。診断結果に基づき、基板バイアス生成回路が N ウェルと P ウェルの基板電位を独立に調節する。これらの特性補償は小領域毎に独立に行われるため、チップ間ばらつきとともにチップ内ばらつきについても動作特性補償を行う事が可能となった。65nm プロセスでの実証実験では、 0.1mm^2 を対象とした細粒度特性ばらつき補償回路の専有面積は $2628\mu\text{m}^2$ であり、その面積オーバーヘッドは 2.6% と小さい。図6 左に、他のロジックと混載した細粒度特性ばらつき補償回路を示す。条件振りチップ(SS, SF, FS, FF)による動作確認の結果、SS, SF, FS チップの動作速度を TT チップの目標速度まで回復する事が出来た(図6右参照)。

②有用性

今回の研究成果は、設計回路のばらつき耐性向上に直結する技術である。設計対象のアプリケーションを問わずに、全ての回路に対して有効であり、極めて有用性が高い。また、特性モニタは完全デジタル型であり、アナログ部分を含んだ基板バイアス回路もセルベース設計環境で実装できる回路方式を開発した。そのため、通常のセルベース設計環境において設計可能であり汎用性も高い。特性変動をモニタする従来方式として、クリティカルパスの遅延時間を用いる方法があるが、PMOS と NMOS の変動量を独立に求める事が出来ず、リーク電流増加による不必要な消費電力増大が発生する。

③優位比較

チップ内ばらつきへの対策として、先の 80 コアプロセッサにおいて、コア毎に電源電圧と動作周波数を調節する方式が提案されている。この方式では、コア毎に DCDC 変換回路や PLL を用意する必要があり、その実装コストや設計コストが膨大になると予想される。それに対して、今回の開発技術では、コア用の電源とクロック信号のみで動作する。さらに、通常のセルベース設計環境で実装可能である。そのため、実装コストと設計コストのいずれの面でも圧倒的に優位である。

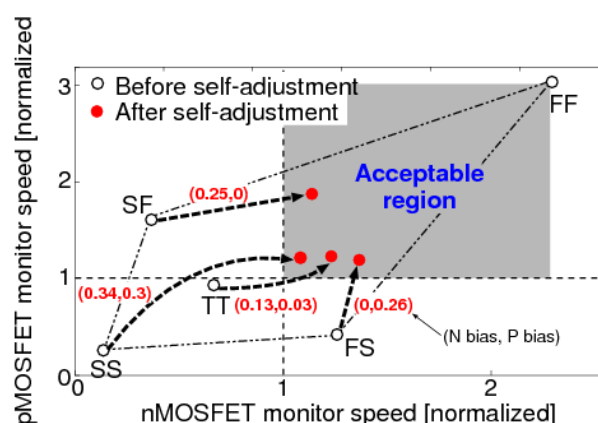
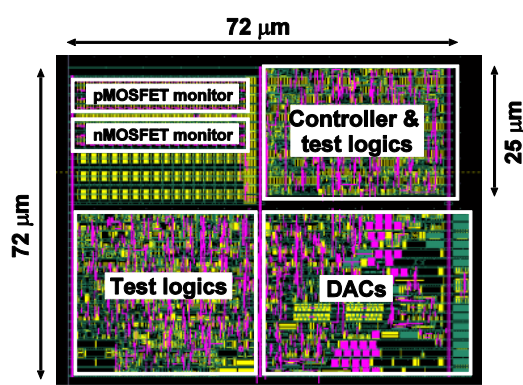


図 6: 他のロジックと混載した細粒度特性ばらつき補償回路(左)と、コーナーチップ(SS, SF, FS, TT)の動作速度を補償した結果(右)。

(2) 上記(1)のうち、特筆すべき成果

1) 特に顕著な成果(科学や技術の新しい分野の展望など)

特に顕著な成果は、ディペンダブル VLSI プラットフォームとその評価環境の開発(成果1)である。ディペンダブル VLSI プラットフォームのコンセプト実証回路として、信頼性可変再構成可能アーキテクチャ FRRARY と高信頼性プロセッサ DARA を 65nm プロセスにて 1 チップ上に集積化した。また、動画像入出力インターフェイスを備えた評価環境を開発し、動画像アプリケーションに適用した場合の処理性能とディペンダビリティの評価を容易に行える評価ボードを開発した。本評価ボードを用いて、C 言語で記述された画像処理や FFT などの各種アプリケーションが実行できる評価環境を整備する計画である。これにより、アプリケーション開発者が、自らの手で本プラットフォームの優位性を確認することが可能となる。従来技術との比較において、本プラットフォームにより処理の高速化や圧倒的な高信頼化が達成できることや、ディペンダビリティを考慮した C 言語からのコンパイルにより必要十分な信頼性を確保したハードウェアが実現できることが確認できる。

2) 当初計画で想定外であった重要・新規な展開

中間評価会での指摘(一部):

- ・プログラムツールなどの開発環境が十分整備されるということを前提として。
- ・再構成プロセッサを現実的に世の中で使われる状況に持っていく道を確立するためには、様々ツールチェーン等含めた膨大な環境整備が必要になる面があります。

変更内容:

- ・C 設計ツール技術グループの新設による C 言語の動作記述から粗粒度再構成可能アーキテクチャへの自動マッピング環境の構築

当初計画になかった重要かつ新規な展開として、上記の C 設計ツール技術グループの新設とともに、粗粒度再構成可能アーキテクチャ FRRARY の改良が挙げられる。当初計画では、FRRARY ではストリーミング処理の高速化を実現し、条件分岐などの制御処理は高信頼プロセッサで実現する方式を想定していた。しかしながら、DRPなどの粗粒度動的再構成可能アレイの開発を主導した C 設計ツール技術グループの新規加入に伴い、プロセッサと FRRARY の処理分担に関する精査を行った。その結果、制御構造をもたないデータ処理系部分のみを FRRARY にて処理するだけでは、高速化できる C プログラムが GPGPU のような SIMD 系プロセッサと同様の狭い範囲に限定されてしまうことが判明した。そこで、条件分岐などの制御構造を含むより大きなプログラムを FRRARY で実行できるように、アーキテクチャや設計環境を大幅に変更した。これにより、GPGPU では加速できないような判断を多く含む処理の高速化も可能となった。また、本変更により CPU との通信量を削減するような SW-HW (FRRARY) 分割が可能となるため、更なる高速化が図れる。通信制御等に適用することも可能となった。

ビット処理や論理演算などの細粒度処理機能についても改良を施した。その結果、FPGA 等の細粒度再構成可能アーキテクチャの利点(ビット処理や論理演算処理が高効率)と、STP 等の粗粒度再構成可能アーキテクチャの利点(算術演算が高効率)の双方を両立させたアーキテクチャにすることができた。

FRRARY 用の C 言語コンパイラも、実績のある既存の動作合成ツール(CyberWorkBench)を改良する方向へ変更したため、当初計画と比べ格段に実用的な回路への適用が可能となった。FRRARY が大規模化した場合を想定して、非常に複雑な実用レベルの C プログラムを FRRARY で実行した場合の性能等も予測できるようになる。その過程の合成実験を通じ、動作合成と論理合成ツールの役割分担、アーキテクチャとの連携、デバッグ性、テスト容易性の議論等、実用的な利用方法に関する議論が進んだ。

これらの改良により、FRRARY の用途が格段に汎用化し、ディペンダビリティを担保しつつ高速高性能化を図るという方向性への端緒をひらくことができた。

§ 4. 成果発表等

(1)原著論文発表 (国内(和文)誌 5 件、国際(欧文)誌 118 件)

1. Hirokazu Muta, Hidetoshi Onodera (Kyoto Univ.), “Manufacturability-Aware Design of Standard Cells,” IEICE Trans. on Electronics, vol E90-A, no12, pp. 2682-2960, Dec. 12, 2007, DOI:10.1093/ietfec/e90-a.12.2682.
2. Takayuki Fukuoka, Akira Tsuchiya, Hidetoshi Onodera (Kyoto Univ.), “Statistical Gate Delay Model for Multiple Input Switching,” The 13th Asia and South Pacific Design Automation Conference, pp. 286 – 291 Jan. 23, 2008, DOI: 10.1109/ASPDAC.2008.4483959.
3. Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera (Kyoto Univ.), “Speed and Yield Enhancement by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs,” FPGA Conference, pp. 257-257, Feb. 25, 2008, DOI: 10.1145/1344671.1344711.
4. S. Abe, M. Hashimoto, and T. Onoye (Osaka Univ.), “Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution,” Proceedings of International Symposium on Quality Electronic Design (ISQED), pp.520- 525, Mar. 18, 2008, DOI: 10.1109/ISQED.2008.4479789.
5. K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Experimental Study on Body-Biasing Layout Style -- Negligible Area Overhead Enables Sufficient Speed Controllability -,” Proc. of ACM Great Lake Symposium on VLSI (GLSVLSI), pp.387-390, May 6, 2008, DOI: 10.1145/1366110.1366202.
6. Haruhiko Terada, Takayuki Fukuoka, Akira Tsuchiya, Hidetoshi Onodera (Kyoto Univ.), “Accurate Estimation of the Worst-case Delay in Statistical Static Timing Analysis,” IPSJ Transactions on System LSI Design Methodology, vol 1, pp. 116-125, Aug. 29, 2008, DOI: 10.2197/ipsjtsldm.1.116.
7. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Correlation Verification between Transistor Variability Model with Body Biasing and Ring Oscillation Frequency in 90nm Subthreshold Circuits,” Proc. of IEEE/ACM International Symposium on Low Power Electronics and Design(ISLPED), pp.3-8, Aug. 2008, DOI: 10.1145/1393921.1393929.
8. Kazutoshi Kobayashi, Yohei Kume, Cam Lai Ngo, Yuuri Sugihara, Hidetoshi Onodera(Kyoto Univ.), “A Variation-aware Constant-Order Optimization Scheme Utilizing Delay Detectors to Search for Fastest Paths on FPGAs,” Proc. of 2008 International Conference on Field Programmable Logic and Applications, pp.107-112, Sept. 8, 2008, DOI: 10.1109/FPL.2008.4629916.
9. Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “Performance Optimization by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs,” Proc. of 2008 International Conference on Field Programmable Logic and Applications, pp.503-506, Sept. 8, 2008, DOI: 10.1109/FPL.2008.4629994.
- 10.S. Abe, M. Hashimoto, and T. Onoye(Osaka Univ.), “Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E91-A, No.12, pp.3481-3487, Dec. 2008, DOI: 10.1093/ietfec/e91-a.12.3481.
- 11.Kentaro Nakahara, Shin'ichi Kouyama, Tomonori Izumi, Hiroyuki Ochi(Kyoto Univ.), and Yukihiro Nakamura, “Autonomous Repair Fault Tolerant Dynamic Reconfigurable Device,” IEICE Trans. on

- Fundamentals, Vol.E91-A, No.12, pp.3612-3621, Dec. 2008, DOI: 10.1093/ietfec/e91-a.12.3612.
- 12.Hidetoshi Onodera(Kyoto Univ.), “Variability Modeling and Impact on Design,” 2008 International Electron Devices Meeting Technical Digest, pp. 701-704, Dec. 24, 2008, DOI: 10.1109/IEDM.2008.4796791.
 - 13.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction,” Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp.266-271, Jan. 2009, DOI: 10.1109/ASPDAC.2009.4796491.
 - 14.K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “An Experimental Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed Controllability,” IEICE Trans. on Electronics, pp.281-285, Vol.E92-C, No.2, Feb. 2009, DOI: 10.1587/transele.E92.C.281.
 - 15.Hiroki Sunagawa, Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “Effect of Regularity-Enhanced Layout on Printability and Circuit Performance of Standard Cells,” Proc. of the 10th International Symposium on Quality Electronic Design, pp.195-200, Mar. 16, 2009, DOI: 10.1109/ISQED.2009.4810293.
 - 16.古田潤、小林和淑、小野寺秀俊(京都大学)、「高い SEU/SET 耐性を持つ省面積・低遅延二重化フリップフロップ」、第 22 回回路とシステム軽井沢ワークショップ、pp.456-461、2009 年 4 月。
 - 17.天木健彦、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「マルコフモデルによるオシレータサンプリング方式真性乱数生成器の乱数品質解析」、第 22 回 回路とシステム(軽井沢)ワークショップ、pp.474-479、2009 年 4 月。
 - 18.Hiroyuki Kanbara, Ryota Kinjo, Yuki Toda, Hiroyuki Okuhata, and Masanao Ise(ASTEM RI), “Dependable Embedded Processor Core for Higher Reliability,” Proc. of 13th IEEE International Symposium on Consumer Electronics(ISCE 2009), pp.819-822, May 2009, DOI: 10.1109/ISCE.2009.5157061.
 - 19.J. Yao(NAIST), K. Ogata(Mitsubishi Elec.), H. Shimada(NAIST), S. Miwa(TUAT), H. Nakashima, and S. Tomita(Kyoto Univ.), “An Instruction Scheduler for Dynamic ALU Cascading Adoption,” 情報処理学会論文誌、コンピューティングシステム、Vol. 2、No. 2、pp.30-47、2009 年 7 月、DOI: 10.2197/ipsjtrans.2.122.
 - 20.Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi(Kyoto Univ.), and Yukihiro Nakamura(Ritsumeikan Univ.), “Hot-Swapping Architecture Extension for Mitigation of Permanent Functional Unit Faults,” in Proc. of the 19th International Conference on Field Programmable Logic and Applications (FPL2009), pp.578-581, August 2009, DOI: 10.1109/FPL.2009.5272428.
 - 21.K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Tuning-Friendly Body Bias Clustering for Compensating Random Variability in Subthreshold Circuits,” Proc. of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), pp.51-56, August 2009, DOI: 10.1145/1594233.1594246.
 - 22.D. Alnajjar, Y. Ko(Osaka Univ.), T. Imagawa(Kyoto Univ.), H. Konoura(Osaka Univ.), M. Hiromoto(Kyoto Univ.), Y. Mitsuyama, M. Hashimoto(Osaka Univ.), H. Ochi(Kyoto Univ.), and T. Onoye(Osaka Univ.), “Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability,” Proc. of International Conference on Field Programmable Logic and Applications (FPL),

pp.186–192, August 2009, DOI:10.1109/FPL.2009.5272317.

- 23.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Adaptive Performance Compensation with In-Situ Timing Error Prediction for Subthreshold Circuits,” Proc. of IEEE Custom Integrated Circuits Conference (CICC), pp.215–218, September 2009, DOI:10.1109/CICC.2009.5280882.
- 24.Hidetoshi Onodera, Haruhiko Terada(Kyoto Univ.), “Characterization of WID Delay Variability Using RO-array Test Structures,” Proc. of 8th IEEE International Conference on ASIC, pp. 658–661, October 2009, DOI: 10.1109/ASICON.2009.5351332.
- 25.Hiroyuki Kanbara, Hiroyuki Okuhata, Masano Ise, Ryota Kinjo, and Yuki Toda(ASTEM RI), “Probability of Calculation Failures by Soft Errors in an Embedded Processor Core,” Proc. of the IEEE 8th International Conference on ASIC(IEEE ASICON 2009), October 2009, DOI: 10.1109/ASICON.2009.5351357.
- 26.T. Takahashi, T. Uezono(Kyoto Univ.), M. Shintani, K. Masu(Tokyo Inst. Tech.), and T. Sato(Kyoto Univ.), “On-Die Parameter Extraction from Path-Delay Measurements,” IEEE Asian Solid-State Circuit Conference (ASSCC), pp.101–104, November 2009, DOI: 10.1109/ASSCC.2009.5357189.
- 27.T. Fukuoka, A. Tsuchiya, H. Onodera(Kyoto Univ.), “Statistical Gate Delay Model for Multiple Input Switching,” IEICE Trans. Fundamentals, Vol.E92-A, No.12, pp.3070–3078, December 2009, DOI: 10.1587/transfun.E92.A.3070.
- 28.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction,” IEICE Trans. on Fundamentals, vol.E92-A, no.12, pp.3094–3102, December 2009, DOI: 10.1587/transfun.E92.A.3094.
- 29.D. Alnajjar, Y. Ko(Osaka Univ.), T. Imagawa, M. Hiromoto(Kyoto Univ.), Y. Mitsuyama, M. Hashimoto(Osaka Univ.), H. Ochi(Kyoto Univ.), and T. Onoye(Osaka Univ.), “Soft Error Resilient VLSI Architecture for Signal Processing,” Proc. of IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.183–186, December 2009, DOI:10.1109/ISPACS.2009.5383872.
- 30.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Adaptive Performance Control with Embedded Timing Error Predictive Sensors for Subthreshold Circuits,” Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp.361–362, January 2010, DOI: 10.1109/ASPDAC.2010.5419861.
- 31.H. Sunagawa, H. Terada, A. Tsuchiya(Kyoto Univ.), K. Kobayashi(KIT), H. Onodera(Kyoto Univ.), “Effect of Regularity-Enhanced Layout on Variability and Circuit Performance of Standard Cells,” IPSJ Trans. System LSI Design Methodology, Vol. 3, pp.130–139, February 2010, DOI:10.2197/ipsjtsldm.3.130.IPSJ.
- 32.H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “Comparative Study on Delay Degrading Estimation Due to NBTI with Circuit/Instance/Transistor-Level Stress Probability Consideration,” Proc. of International Symposium on Quality Electronic Design (ISQED), pp.646–651, March 2010, DOI: 10.1109/ISQED.2010.5450508.
- 33.R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “Measurement Circuits for

- Acquiring SET Pulse Width Distribution with Sub-FOI-Inverter-Delay Resolution,” Proc. of International Symposium on Quality Electronic Design (ISQED), pp.839-844, March 2010, DOI: 10.1109/ISQED.2010.5450480.
- 34.J. Furuta(Kyoto Univ.), K. Kobayashi(KIT) and H. Onodera(Kyoto Univ.), “An Area/Delay Efficient Dual-modular Flip-Flop with Higher SEU/SET Immunity,” IEICE Trans. Electron. Vol. E93-C, No.3, pp.340-346, March 2010, DOI: 10.1587/transele.E93.C.340.
- 35.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” Proc. of International Reliability Physics Symposium (IRPS), pp.213-217, May 2010, DOI: 10.1109/IRPS.2010.5488826.
- 36.S.Abe, K.Shinkai, M.Hashimoto, and T.Onoye(Osaka Univ.), “Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors,” ACM Great Lake Symposium on VLSI (GLSVLSI), pp.197-202, May 2010, DOI: 10.1145/1785481.1785530.
- 37.密山幸男、高橋一真、今井林太郎、橋本昌宜、尾上孝雄、白川功(大阪大学)、「メディア処理向け再構成可能アーキテクチャでの動画復号処理の実現」、電子情報通信学会論文誌 A、vol. J93-A、no. 6、pp. 397-413、2010 年 6 月、DOI: 10.1145/1785481.1785530. 3.
- 38.Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element,” 2010 Symposium on VLSI Circuits Digest of Technical Papers, pp.123-124, June 17, 2010, DOI:10.1109/VLSIC.2010.5560329.
- 39.Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Tool Chain for Generating SEU-Vulnerability Map for Coarse-Grained Reconfigurable Architecture,” in Proc. of 26th Annual Intl. Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010) , July 2010.
- 40.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Transistor Variability Modeling and Its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits,” IEEE Trans. on VLSI Systems, vol.18, no.7, pp.1118-1129, July 2010, DOI: 10.1109/TVLSI.2009.2020594.
- 41.T. Amaki, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “A Design Procedure for Oscillator-Based Hardware Random Number Generator with Stochastic Behavior Modeling,” Proceedings of International Workshop on Information Security Applications (WISA), August 2010, DOI: 10.1007/978-3-642-17955-6_8.
- 42.Takashi Matsumoto,Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera(Kyoto Univ.), “A 65nm CMOS 400ns Measurement Delay NBTI-Recovery Sensor by Minimum Assist Circuit,” Proceedings of International Conference on Solid State Devices and Materials (SSDM 2010), pp.806-807, Sept. 2010.
- 43.Hiroki Sunagawa, Hidetoshi Onodera(Kyoto Univ.), “Variation-Tolerant Design of D FlipFlops,” Proc. of IEEE International SOC Conference 2010, pp. 147-151, Sept. 27, 2010, DOI: 10.1109/SOCC.2010.5784732.
- 44.Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Routing Architecture Exploration for Coarse-Grained Reconfigurable Architecture with Automated SEU-tolerance Evaluation,” in Proc. of 23rd IEEE Intl. SOC Conference (SOCC 2010), pp.248-253,

Sept. 2010, DOI: 10.1109/SOCC.2010.5784754.

45. Bishnu Prasad Das, Hidetoshi Onodera(Kyoto Univ.), "Warning Prediction Sequential for Transient Error Prevention," 2010 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp.382 – 390, Oct. 8, 2010, DOI: 10.1109/DFT.2010.52
46. M. Yabuuchi, and K. Kobayashi(Kyoto Inst. Of Tech.), "Evaluation of FPGA design guardband caused by inhomogeneous NBTI degradation considering process variations," International Conference on Field Programmable Technologies, pp. 417–420, Dec. 2010, DOI: 10.1109/FPT.2010.5681449.
47. J. Yao, R. Watanabe, T. Nakada, H. Shimada, Y. Nakashima(Nara Institute of Science and Technology), and K. Kobayashi(Kyoto Inst. of Tech.), "Minimal Roll-Back Based Recovery Scheme for Fault Tolerant in Pipeline Processors," Pacific Rim International Symposium on Dependable Computing, pp. 237–238, Dec. 2010, DOI: 10.1109/PRDC.2010.44.
48. Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), "Reliability Evaluation Environment for Exploring Design Space of Coarse-Grained Reconfigurable Architectures," IEICE Trans. Fundamentals, Vol.E93-A, No.12, pp.2524–2532, Dec. 2010, DOI: 10.1587/transfun.E93.A.2524.
49. R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), "Measurement Circuits for Acquiring SET Pulse Width Distribution with Sub-Fo1-Inverter-Delay Resolution," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E93-A, no.12, December 2010, DOI: 10.1587/transfun.E93.A.2417.
50. J. Furuta(Kyoto Univ.), C. Hamanaka, K. Kobayashi(Kyoto Inst. of Tech.), and H. Onodera(Kyoto Univ.), "A 65nm Flip-Flop Array to Measure Soft Error Resiliency against High-Energy Neutron and Alpha Particles," Proc. of Asia and South Pacific Design Automation Conference, pp.83–84, Jan. 2011, DOI:10.1109/ASPDAC.2011.5722306.
51. M. Hashimoto (Osaka Univ.), "Run-Time Adaptive Performance Compensation Using On-Chip Sensors (Invited) ," Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 285–290, January 2011, DOI:10.1109/ASPDAC.2011.5722199.
52. T. Amaki, M. Hashimoto, and T. Onoye(Osaka Univ.), "Jitter Amplifier for Oscillator-Based True Random Number Generator," Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp.81–82, January 2011, DOI: 10.1109/ASPDAC.2011.5722301.
53. Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, Takashi Sato, "A fully pipelined implementation of Monte Carlo based SSTA on FPGAs," Proc. of 2011 International Symposium on Quality Electronic Design (ISQED), pp. 785 – 790, March 2011, DOI:10.1109/ISQED.2011.5770818.
54. K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa(Kyoto University), K. Kobayashi(Kyoto Institute of Technology), and H. Onodera(Kyoto University), "Modeling of Random Telegraph Noise under Circuit Operation – Simulation and Measurement of RTN-induced delay fluctuation," International Symposium on Quality Electronic Design, pp.22–27, Mar. 2011, DOI: 10.1109/ISQED.2011.5770698.
55. Islam A.K.M Mahfuzul, Akira Tsuchiya(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), "Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation," Proc. of 2011 IEEE International Conference on Microelectronic Test

- Structure(ICMTS), pp. 153–157, April 2011. DOI: 10.1109/ICMTS.2011.5976878.
56. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), “A 65 nm Complementary Metal–Oxide–Semiconductor 400 ns Measurement Delay Negative–Bias–Temperature–Instability Recovery Sensor with Minimum Assist Circuit,” Japanese Journal of Applied Physics, vol. 50, 04DE06, April 2011, DOI: 10.1143/JJAP.50.04DE06b.
57. Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), “Measurement of Neutron–induced SET Pulse Width Using Propagation–induced Pulse Shrinking,” Proc. of 2011 IEEE International Reliability Physics Symposium, pp. 5B2.1–5B2.5, April 2011, DOI: 10.1109/IRPS.2011.5784520.
58. Kyosuke Ito, Takahi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), “The Impact of RTN on Performance Flucuation in CMOS Logic Circuits,” Proc. of 2011 IEEE International Reliability Physics Symposium, pp. CR.5.1–CR.5.4, April 2011, DOI: 10.1109/IRPS.2011.5784563.
59. R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Neutron Induced Single Event Multiple Transients with Voltage Scaling and Body Biasing,” Proc. of International Reliability Physics Symposium (IRPS), pp. 253–257, April 2011, DOI: 10.1109/IRPS.2011.5784485.
60. H. Fuketa (Univ. of Tokyo), D. Kuroda, M. Hashimoto, and T. Onoye (Osaka Univ.), “An Average–Performance–Oriented Subthreshold Processor Self–Timed by Memory Read Completion,” IEEE Transactions on Circuits and Systems II, vol. 58, no. 5, pp. 299–303, May 2011, DOI: 10.1109/TCSII.2011.2149110.
61. T. Amaki, M. Hashimoto, and T. Onoye (Osaka Univ.), “An Oscillator–Based True Random Number Generator with Jitter Amplifier,” Proc. of IEEE International Symposium on Circuits and Systems (ISCAS), pp. 725–728, May 2011, DOI: 10.1109/ISCAS.2011.5937668.
62. M. Hashimoto (Osaka Univ.) and H. Fuketa (Univ. of Tokyo), “Adaptive Performance Compensation with On–Chip Variation Monitoring (Invited),” Proc. of International Midwest Symposium on Circuits and Systems (MWSCAS), August 2011, DOI: 10.1109/MWSCAS.2011.6026381.
63. H. Fuketa (Univ. of Tokyo), M. Hashimoto (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), and T. Onoye (Osaka Univ.), “Neutron–Induced Soft Errors and Multiple Cell Upsets in 65–nm 10T Subthreshold SRAM,” IEEE Transactions on Nuclear Science, vol. 58, no. 4, pp. 2097–2102, August 2011, DOI: 10.1109/TNS.2011.2159993.
64. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), “Multi–core LSI Lifetime Extension by NBTI–Recovery–bases Self–healing,” Proc. of International Conference on Solid State Devices and Materials, pp. 1045–1046, September 2011.
65. H. Konoura (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Implications of Reliability Enhancement Achieved by Fault Avoidance on Dynamically Reconfigurable Architecture,” Proc. of International Conference on Field Programmable Logic and Applications (FPL), pp. 189–194, September 2011, DOI: 10.1109/FPL.2011.108.

66. T. Kameda, H. Konoura (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "NBTI Mitigation by Giving Random Scan-In Vectors during Standby Mode," Proc. of International Workshop on Power And Timing Modeling, Optimization and Simulation (PATMOS), pp. 152-161, September 2011, DOI: 10.1007/978-3-642-24154-3_16.
67. J. Kawashima, H. Tsutsui, H. Ochi, and T. Sato (Kyoto Univ.), "A Design Strategy for Sub-Threshold Circuits Considering Energy-Minimization and Yield-Maximization," Proc. of 2011 IEEE International SOC Conference (SOCC), pp.57-62, Sep. 2011, DOI: 10.1109/SOCC.2011.6085076.
68. T. Sato, T. Kozaki, T. Uezono, H. Tsutsui, and H. Ochi, "A Device Array for Efficient Bias-Temperature Instability Measurements," Proc. of 2011 European Solid-State Device Research Conference (ESSDERC), pp.143-146, Sep. 2011, DOI: 10.1109/ESSDERC.2011.6044214.
69. Norihiro Kamae, Akira Tsuchiya, and Hidetoshi Onodera (Kyoto Univ.), "An Area Effective Forward/Reverse Body Bias Generator for Within-Die Variability Compensation," Proceedings of 2011 IEEE Asian Solid-State Circuits Conference, pp. 217-220, November 2011, DOI: 10.1109/ASSCC.2011.6123641.
70. Hidetoshi Onodera (Kyoto Univ.), "Dependable VLSI Program in Japan -- Program Overview and the Current Status of Dependable VLSI Platform Project --," Proc. of 2011 Asian Test Symposium, pp. 492-495, November 2011, DOI: 10.1109/ATS.2011.56.
71. Bishnu Prasad Das, Hidetoshi Onodera (Kyoto Univ.), "Reconfigurable Array-Based Area-Efficient Test Structure for Standard Cell Characterization," Proc. of 2011 International Workshop on RTL and High Level Testing, pp.113-118, November 2011.
72. J. Furuta (Kyoto University), R. Yamamoto, K. Kobayashi (KIT), and H. Onodera (Kyoto University), "Correlations between Well Potential and SEUs Measured by Well-Potential Perturbation Detectors in 65nm," IEEE Asian Solid-State Circuits Conference, pp.209-212, Nov. 2011, DOI: 10.1109/ASSCC.2011.6123639.
73. C. Hamanaka, R. Yamamoto (Kyoto Institute of Tech.), J. Furuta (Kyoto Univ.), K. Kubota, K. Kobayashi (Kyoto Institute of Tech.), and H. Onodera (Kyoto Univ.), "Variation-Tolerance of a 65-nm Error-Hardened Dual-Modular-Redundancy Flip-Flop Measured by Shift-Register-Based Monitor Structures," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E94-A, no.12, pp. 2669-2675, Dec. 2011, DOI: 10.1587/transfun.E94.A.2669.
74. R. Yamamoto, C. Hamanaka (Kyoto Institute of Tech.), J. Furuta (Kyoto Univ.), K. Kobayashi (Kyoto Institute of Tech.), and H. Onodera (Kyoto Univ.), "An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets," IEEE Trans. on Nuclear Science, vol.58, no.6, pp.3053-3059, Dec. 2011, DOI: 10.1109/TNS.2011.2169457.
75. H. Konoura (Osaka University), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "Stress Probability Computation for Estimating NBTI-Induced Delay Degradation," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E94-A, no. 12, pp.2545-2553, December 2011, DOI: 10.1587/transfun.E94.A.2545.
76. H. Fuketa (Univ. of Tokyo), M. Hashimoto (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), and T. Onoye (Osaka Univ.), "Adaptive Performance Compensation with In-Situ Timing Error Predictive Sensors for Subthreshold Circuits," IEEE Transactions on VLSI Systems, vol.20, no.2, pp.333-343, Feb. 2012, DOI: 10.1109/TVLSI.2010.2101089.

77. Shuichi Fujimoto, Takashi Matsumoto, Hidetoshi Onodera(Kyoto Univ.), "Inhomogeneous Ring Oscillator for WID Variability and RTN Characterization," Proc. of 25th IEEE International Conference on Microelectronic Test Structures, pp.25-30, March 2012, DOI: 10.1109/ICMTS.2012.6190607.
78. Shinichi Nishizawa, Hidetoshi Onodera(Kyoto Univ.), "Ring Oscillator with Calibration Circuit for Accurate On-Chip IR-drop Measurement," Proc. of 25th IEEE International Conference on Microelectronic Test Structures, pp.3-8, March 2012, DOI: 10.1109/ICMTS.2012.6190602.
79. Takashi Sato, Hiromitsu Awano, Hirofumi Shimizu, Hiroshi Tsutsui, and Hiroyuki Ochi, "Statistical observations of NBTI-induced threshold voltage shifts on small channel-area devices," Proc. of International Symposium on Quality Electrical Design (ISQED), pp.306-311, March 2012, DOI:10.1109/ISQED.2012.6187510.
80. T. Matsumoto, H. Makino(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), "Multicore Large-Scale Integration Lifetime Extension by Negative Bias Temperature Instability Recovery-Based Self-Healing," Japanese Journal of Applied Physics, vol.51, no.4, 04DE02, Apr. 2012, DOI: 10.1143/JJAP.51.04DE02.
81. J. Furuta(Kyoto University), R. Yamamoto, K. Kobayashi(KIT), and H. Onodera(Kyoto University), "Evaluation of Parasitic Bipolar Effects on Neutron-Induced SET Rates for Logic Gates," Proc. of the International Reliability Physics Symposium (IRPS) 2012, pp. SE.5.1-SE.5.5, April 2012, DOI: 10.1109/IRPS.2012.6241930.
82. K. Zhang, R. Yamamoto(KIT), J. Furuta(Kyoto University), K. Kobayashi(KIT), H. Onodera(Kyoto University), "Parasitic bipolar effects on soft errors to prevent simultaneous flips of redundant flip-flops," Proc. of the International Reliability Physics Symposium (IRPS) 2012, pp. 5B.2.1-5B.2.4, April 2012, DOI: 10.1109/IRPS.2012.6241844.
83. R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "SET Pulse-Width Measurement Eliminating Pulse-Width Modulation and Within-Die Process Variation Effects," Proc. of International Reliability Physics Symposium (IRPS), pp. SE.1.1 — SE.1.6, April 2012, DOI: 10.1109/IRPS.2012.6241926.
84. Michihiro Shintani and Takashi Sato(Kyoto Univ.), "A Bayesian-Based Process Parameter Estimation using IDDQ Current Signature," Proc. of IEEE VLSI Test Symposium (VTS), pp.86-91, Apr. 2012, DOI: 10.1109/VTS.2012.6231085.
85. M. Yabuuchi, and K. Kobayashi(Kyoto Institute of Technology), "NBTI-Induced Delay Degradation Analysis of FPGA Routing Structures," IPSJ Transactions on System LSI Design Methodology, vol.5, pp.143-149, Aug. 2012, DOI: 10.2197/ipsjtsldm.5.143.
86. T. Kameda, H. Konoura, D. Alnajjar (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), "A Predictive Delay Fault Avoidance Scheme for Coarse-Grained Reconfigurable Architecture," Proceedings of International Conference on Field Programmable Logic and Applications (FPL), pp. 615 — 618, August 2012, DOI: 10.1109/FPL.2012.6339220.
87. M. Masuda, K. Kubota, R. Yamamoto(KIT), J. Furuta(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), "A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flops," Proc. of the conference on Radiation and its Effects on Components and Systems, pp. I-1-I-5, Sept. 2012,

88. Masahiro Kondo, Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera (Kyoto University), "A Standard Cell Optimization Method for Near-Threshold Voltage Operations," Proc. of the International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2012, pp.32-41, Sept. 2012.
89. Takashi Matsumoto (Kyoto Univ.), Kazutoshi Kobayashi (KIT), Hidetoshi Onodera (Kyoto Univ.), "Impact of Body-Biasing Technique on RTN-induced Delay Fluctuation," Proc. of 2012 International Conference on Solid State Devices and Materials (SSDM2012), pp.1130-1131, Sept. 2012.
90. Shohei Nishimura, Takashi Matsumoto (Kyoto Univ.), Kazutoshi Kobayashi (KIT), Hidetoshi Onodera (Kyoto Univ.), "Impact on delay due to random telegraph noise under low voltage operation in logic circuits," Proc. of 2012 International Conference on Solid State Devices and Materials (SSDM2012), pp.170-171, Sept. 2012.
91. SinNyong Kim, Akira Tsuchiya, Hidetoshi Onodera (Kyoto University), "Modeling of Single-Event Failures in Divider and PFD of PLL based on Jitter Analysis," Proc. of the conference on Radiation and its Effects on Components and Systems (RADECS) 2012, PF-3, Sept. 2012.
92. R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka University), "Impact of NBTI--Induced Pulse-Width Modulation on SET Pulse-Width Measurement," Proceedings of European Conference on Radiation and Its Effects on Components and Systems (RADECS), G-2, Sep. 2012.
93. Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera (Kyoto University), "A Flexible Structure of Standard Cell and Its Optimization Method for Near-Threshold Voltage Operation," Proceedings of the 30th IEEE International Conference on Computer Design (ICCD), pp.235-240, Oct. 2012.
94. T. Matsumoto (Kyoto Univ.), K. Kobayashi (KIT), and H. Onodera (Kyoto Univ.), "Impact of Body-Biasing Technique on RTN-induced CMOS Logic Delay Uncertainty," Proc. of IEEE/ACM Workshop on Variability Modeling and Characterization, Nov. 2012.
95. A.K.M. Mahfuzul Islam, and H. Onodera (Kyoto Univ.), "On-chip Detection of Process Shift and Process Spread for Silicon Debugging and Model-Hardware Correlation," Proceedings of IEEE 21st Asian Test Symposium 2012, pp.350-354, Nov. 19, 2012.
96. Norihiro Kamae, Akira Tsuchiya, Hidetoshi Onodera (Kyoto University), "A Body Bias Generator Compatible with Cell-based Design Flow for Within-die Variability Compensation," Proc. of the IEEE Asian Solid-State Circuits Conference (A-SSCC) 2012, pp.389-392, November 2012.
97. Islam A.K.M Mahfuzul, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera (Kyoto University), "A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits," Proc. of the IEEE Asian Solid-State Circuits Conference (A-SSCC) 2012, pp.101-104, November 2012.
98. T. Matsumoto (Kyoto Univ.), K. Kobayashi (KIT), and H. Onodera (Kyoto Univ.), "Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty under Low Voltage Operation," Technical Digest of IEEE International Electron Devices Meeting, p.581-584, Dec. 10, 2012.
99. S. Tanihiro, M. Yabuuchi, and K. Kobayashi (KIT), "Measurement Results of Substrate Bias Dependency on Negative Bias Temperature Instability Degradation in a 65 nm Process," Components, Packaging,

- and Manufacturing Technology Symposium Japan, pp. 289–292, Dec. 14, 2012.
- 100.J. Yao(NAIST), S. Okada, M. Masuda, K. Kobayashi(KIT), and Y. Nakashima(NAIST), “DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and Its Case Study of Radiation Stress Test,” IEEE Trans. on Nuclear Science, vol.59, no.6, pp. 2852 – 2858 , Dec. 2012, DOI: 10.1109/TNS.2012.2223715.
 - 101.R. Harada (Osaka Univ.), S. Abe (Kyushu Univ.), H. Fuketa (Univ. Tokyo), T. Uemura (Fujitsu Semiconductor), M. Hashimoto (Osaka Univ.), and Y. Watanabe (Kyushu Univ.), “Angular Dependency of Neutron Induced Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” IEEE Transactions on Nuclear Science, vol. 59, no. 6, pp. 2791–2795, December 2012, DOI: 10.1109/TNS.2012.2224373.
 - 102.D. Alnajjar (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Static Voltage Over-Scaling and Dynamic Voltage Variation Tolerance with Replica Circuits and Time Redundancy in Reconfigurable Devices,” Proceedings of International Conference on ReConFigurable Computing and FPGAs (ReConFig), December 2012, DOI: 10.1109/ReConFig.2012.6416787.
 - 103.Hiromitsu Awano, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “Bayesian Estimation of Multi-Trap RTN Parameters using Markov Chain Monte Carlo Method,” IEICE Trans. Fundamentals, Vol.E95-A, No.12, pp.2272–2283, Dec. 2012, DOI: 10.1587/transfun.E95.A.2272.
 - 104.Junya Kawashima, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “Variability-Aware Energy-Minimization Strategy for Subthreshold Circuits,” IEICE Trans. Fundamentals, Vol.E95-A, No.12, pp.2242–2250, Dec. 2012, DOI: 10.1587/transfun.E95.A.2242.
 - 105.Islam A.K.M. Mahfuzul, Akira Tsuchiya(Kyoto University), Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto University), “Variation-sensitive Monitor Circuits for Estimation of Global Process Parameter Variation,” IEEE Trans. Semiconductor Manufacturing, vol. 25, No. 4, pp.571–580, Dec. 2012.
 - 106.Bishnu Prasad Das and Hidetoshi Onodera(Kyoto University), “Area-Efficient Reconfigurable-Array-Based Oscillator for Standard Cell Characterization,” IET Circuits, Devices & Systems, vol. 6, No. 6, pp.429–436, Dec. 2012.
 - 107.Michihiro Shintani and Takashi Sato(Kyoto Univ.), “An Adaptive Current-Threshold Determination for IDDQ Testing Based on Bayesian Process Parameter Estimation,” Proc. of Asia and South Pacific Design Automation Conference (ASP-DAC), pp.614–619, Jan. 2013.
 - 108.J. Furuta(Kyoto Univ.), R. Yamamoto, K. Kobayashi(KIT), and H. Onodera(Kyoto Univ.), “Effects of Neutron-Induced Well Potential Perturbation for Multiple Cell Upset of Flip-Flops in 65 nm,” IEEE Trans. on Nuclear Science, vol.60, no.1, pp. 213–218, Feb. 2013, DOI: 10.1109/TNS.2012.2229718.
 - 109.密山幸男(高知工科大学)、尾上孝雄(大阪大学)、小野寺秀俊(京都大学)、「再構成可能ディペンダブル VLSI プラットホーム」、電子情報通信学会学会誌、pp.95–99、Feb. 2013.
 - 110.Michihiro Shintani and Takashi Sato(Kyoto Univ.), “Device-parameter Estimation Through IDDQ Signatures,” IEICE Transactions on Information and Systems, Vol.E96-D, No.2, pp.303–313, Feb. 2013, DOI: 10.1587/transinf.E96.D.303.
 - 111.M. Masuda, K. Kubota, R. Yamamoto(KIT), J. Furuta(Kyoto Univ.), K. Kobayashi(KIT), and H.

- Onodera(Kyoto Univ.), “A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flop,” IEEE Trans. on Nuclear Science, vol.60, no.2, Mar. 22, 2013, DOI: 10.1109/TNS.2013.2245344.
- 112.T. Amaki, M. Hashimoto, and T. Onoye (Osaka Univ.), “Jitter Amplifier for Oscillator-Based True Random Number Generator,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 3, pp. 684–696, March 2013, DOI: 10.1587/transfun.E96.A.684.
 - 113.M. Hashimoto (Osaka Univ.), “Robust Subthreshold Circuit Design to Manufacturing and Environmental Variability,” ECS Transactions, vol. 52, no. 1 pp. 1079–1084, March 2013, DOI: 10.1149/05201.1079ecst.
 - 114.Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “High-Speed DFG-Level SEU Vulnerability Analysis for Applying Selective TMR to Resource-Constrained CGRA,” Proc. of International Symposium on Quality Electrical Design (ISQED), pp.554–561, March 2013.
 - 115.Hiromitsu Awano, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “Multi-Trap RTN Parameter Extraction Based on Bayesian Inference,” Proc. of International Symposium on Quality Electrical Design (ISQED), pp.613–618, March 2013.
 - 116.Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroshi Tsutsui, Takashi Sato, Yukihiro Nakamura, and Hiroyuki Ochi(Kyoto Univ.), “Hot-Swapping Architecture with Back-Biased Testing for Mitigation of Permanent Faults in Functional Unit Array,” Proc. of Design, Automation & Test in Europe (DATE), pp.535–540, March 2013.
 - 117.Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Cost-Effective Selective TMR for Heterogeneous Coarse-Grained Reconfigurable Architectures Based on DFG-Level Vulnerability Analysis,” Proc. of Design, Automation & Test in Europe (DATE), pp.701–706, March 2013.
 - 118.D. Alnajjar (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “PVT-Induced Timing Error Detection Through Replica Circuits and Time Redundancy in Reconfigurable Devices,” IEICE Electronics Express (ELEX), vol. 10, no. 5, April 2013, DOI: 10.1587/elex.10.20130081.
 - 119.Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “A Cost-Effective Selective TMR for Coarse-Grained Reconfigurable Architectures Based on DFG-Level Vulnerability Analysis,” IEICE Transactions on Electronics, Vol.E96-C, No.4, Apr. 2013, to appear.
 - 120.T. Matsumoto (Kyoto Univ.), K. Kobayashi (KIT), H. Onodera (Kyoto Univ.), “Impact of Body-Biasing Technique on Random Telegraph Noise Induced Delay Fluctuation”, Japanese Journal of Applied Physics, vol 52, No. 4, 04CE05, April 2013.
 - 121.D. Alnajjar, H. Konoura, Y. Ko (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Implementing Flexible Reliability in a Coarse Grained Reconfigurable Architecture,” IEEE Transactions on VLSI Systems, in press.
 - 122.R. Harada (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Impact of NBTI-Induced Pulse-Width Modulation on SET Pulse-Width Measurement,” IEEE Transactions on Nuclear Science, in press.
 - 123.H. Fuketa, R. Harada, M. Hashimoto, and T. Onoye (Osaka Univ.), “Measurement and Analysis of

Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 10T Subthreshold SRAM,” IEEE Transactions on Device and Materials Reliability, in press.

(2)その他の著作物(総説、書籍など)

なし

(3)国際学会発表及び主要な国内学会発表

①招待講演 (国内会議 18 件、国際会議 14 件)

1. Kazutoshi Kobayashi (Kyoto Univ.), “Best Ways to Use Billions of Devices on a Chip – Error Predictive, Defect Tolerant and Error Recovery Designs,” The 13th Asia and South Pacific Design Automation Conference, Seoul, Jan 24, 2008.
2. Hidetoshi Onodera (Kyoto Univ.), “Toward Variability-aware Design of System-on-Chip,” 1st International Symposium on Photonics and Electronics Science and Engineering, Kyoto, March 4, 2008.
3. 小野寺秀俊(京都大学)、「ばらつき考慮設計に向けて」、電子情報通信学会集積回路研究会、札幌、2008 年 11 月 18 日.
4. Hidetoshi Onodera(Kyoto Univ.), “Variability Modeling and Impact on Design,” 2008 International Electron Devices Meeting Technical Digest, San Francisco, Dec. 17, 2008.
5. 小野寺秀俊(京都大学)、「ディペンダブル VLSI プラットフォームへの挑戦」、2009 年電子情報通信学会総合大会、松山、2009 年 3 月 18 日.
6. Hidetoshi Onodera(Kyoto Univ.), “Dependable VLSI Platform Using Robust Fabrics,” International Workshop on Emerging Circuits and Systems, Shanghai, July 6, 2009.
7. Takashi Sato (Kyoto Univ.), “Bridging the gap between laboratory measurement and simulation model,” International Workshop on Emerging Circuits and Systems (IWECS), Shanghai, July 6, 2009.
8. Hidetoshi Onodera, Haruhiko Terada(Kyoto Univ.), “Characterization of WID Delay Variability Using RO-array Test Structures,” 2009 8th IEEE International Conference on ASIC, Changsha, Oct. 21, 2009.
9. Hidetoshi Onodera(Kyoto Univ.), “Understanding CMOS Variability for Moore Moore,” Design and Test in Europe, Dresden, March 11, 2010.
10. 橋本昌宜(大阪大学)、「製造ばらつきや環境変動を許容するサブスレッショルド回路設計」、電子情報通信学会総合大会、仙台、2010 年 3 月 17 日.
11. 古田潤(京都大学)、「A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element」、IEEE SSCS Kansai Chapter Technical Seminar、神戸、2010 年 6 月 30 日.
12. 小林和淑(京都工芸繊維大学)、「ソフトエラー耐性の高い二重化フリップフロップ」、電子情報通信学会ソサエティ大会、堺、2010 年 9 月 15 日.

13. 密山幸男(大阪大学)、「再構成可能アーキテクチャにおけるソフトウェア対策技術」、電子情報通信学会ソサイエティ大会、堺、2010 年 9 月 15 日.
14. M. Hashimoto (Osaka Univ.), “Run-Time Adaptive Performance Compensation Using On-Chip Sensors,” Asia and South Pacific Design Automation Conference, Yokohama, January 26, 2011.
15. 小林和淑(京都工芸繊維大学)、「システム LSI 設計の今後 -22nm 時代に向けて-」、EDS Fair、横浜、2011 年 1 月 27 日.
16. 佐藤高史(京都大学)、小林和淑(京都工芸繊維大学)、橋本昌宜(大阪大学)、「システム LSI 設計の今後 ~22nm 時代に向けて~」、EDS Fair、横浜、2011 年 1 月 27 日.
17. 小野寺秀俊(京都大学)、「Moore Moore に立ちほだかる CMOS ばらつきの理解に向けて」、電子情報通信学会 VLSI 設計技術研究会、那覇、2011 年 3 月 2 日.
18. Jun YAO(奈良先端科学技術大学院大学)、「DARA: an Adaptive Space Redundancy Based Processor Design for Energy-Effective Error Toleration,” 第 5 回ものづくり基盤コンピューティングシステム研究会、神戸、2011 年 3 月 3 日.
19. 橋本昌宜 (大阪大学)、「超低電圧サブスレシヨルド回路設計」、電子情報通信学会総合大会、東京、2011 年 3 月 14 日.
20. 小野寺秀俊(京都大学)、「ロバストファブリックを用いたディペンダブル VLSI プラットフォーム」、LSI とシステムのワークショップ 2011、小倉、2011 年 5 月 17 日.
21. M. Hashimoto(Osaka Univ.) and H. Fuketa(Univ. of Tokyo), “Adaptive Performance Compensation with On-Chip Variation Monitoring,” International Midwest Symposium on Circuits and Systems (MWSCAS), Seoul, August 9, 2011.
22. 小林和淑(京都工芸繊維大学)、「微細化 FPGA の信頼性諸問題」、関西 FPGA カンファレンス、大阪市、2011 年 10 月 28 日.
23. Hidetoshi Onodera(Kyoto Univ.), “Dependable VLSI Program in Japan -- Program Overview and the Current Status of Dependable VLSI Platform Project --,” 2011 Asian Test Symposium, New Delhi, November 22, 2011.
24. 小林和淑(京都工芸繊維大学)、「微細化による LSI の信頼性諸問題とその解決策」、広島大学先端物質科学研究科半導体集積科学専攻講演会、東広島市、2011 年 11 月 22 日.
25. 橋本昌宜(大阪大学)、「超低電圧サブスレシヨルド回路設計」、電子情報通信学会 VLSI 設計技術研究会、宮崎市、2011 年 11 月 30 日.
26. 小林和淑(京都工芸繊維大学)、「ソフトウェア耐性の技術動向」、日立製作所技術研修、東京都港区、2012 年 1 月 25 日.
27. Hidetoshi Onodera(Kyoto Univ.), “Japan Science and Technology Agency (JST) program on Dependable VLSI Platform project,” Design, Automation & Test in Europe, Dresden, March 16, 2012.
28. 小林和淑(京都工芸繊維大学)、「微細化による LSI の信頼性諸問題とその解決策」、電子情報通信 VLSI 設計技術研究会、北九州市、2012 年 5 月 30 日.

29. Masanori Hashimoto (Osaka Univ.), “Adaptive Speed Control and Its Extremely-Low Error Rate Estimation,” International Test Conference, Anaheim, November 7, 2012.
30. 小林和淑(京都工芸繊維大学)、「微細化による LSI の信頼性の悪化とその回路/アーキテクチャレベルでの解決法 -ソフトウェアによる一時故障と BTI による経年劣化を中心に-」、三菱電機技術講演会、大船、2012 年 11 月 16 日.
31. H. Onodera (Kyoto Univ.), “Dependable VLSI Platform using Robust Fabrics,” 18th Asia and South Pacific Design Automation Conference (ASP-DAC) 2013, Yokohama, Jan. 22, 2013.
32. Masanori Hashimoto (Osaka Univ.), “Robust Subthreshold Circuit Design to Manufacturing and Environmental Variability,” China Semiconductor Technology International Conference (CSTIC), Shanghai, March 17, 2013.

②口頭発表 (国内会議 98 件、国際会議 81 件)

1. Hiroyuki Kanbara(ASTEM RI), Takayuki Nakatani(Ritsumeikan Univ.), Naoto Umehara(Ritsumeikan Univ.), Nagisa Ishiura(Kwansei Gakuin Univ.), Hiroyuki Tomiyama(Nagoya Univ.), “Speed Improvement of AES Encryption using hardware accelerators synthesized by C Compatible Architecture Prototyper(CCAP),” Synthesis and System Integration of Mixed Information Technologies, Sapporo, Oct. 15, 2007
2. Hidetoshi Onodera, Hiroaki Muta (Kyoto Univ.), “Regularity-Enhanced Layout of Standard Cells,” 2nd IEEE International Workshop on Design for Manufacturability & Yield, Santa Clara, Oct. 26, 2007.
3. 嶋田創、三輪忍、富田眞治 (京都大学)、「故障に対してユーザ側の耐性を高めるデジタル家電アーキテクチャ(ICT 特別セッション)」、情報処理学会 計算機アーキテクチャ研究会、北九州、2007 年 11 月 22 日.
4. 神山真一、廣本正之、越智裕之 (京都大学)、中村行宏 (立命館大学)、「プロセッサとしても利用可能な ALU ベース動的再構成デバイス」、第 31 回パルテノン研究会、東京、2007 年 12 月 22 日.
5. 今川隆司、廣本正之、神山真一、越智裕之 (京都大学)、中村行宏 (立命館大学)、「ディペンダブル VLSI システム設計のための耐故障性評価環境」、第 31 回パルテノン研究会、東京、2007 年 12 月 22 日.
6. 神山真一、廣本正之、越智裕之 (京都大学)、中村行宏 (立命館大学)、「プロセッサモードを組み込んだ ALU ベース動的再構成デバイス」、VLSI 設計技術研究会、横浜、2008 年 1 月 17 日.
7. Takayuki Fukuoka, Akira Tsuchiya, Hidetoshi Onodera (Kyoto Univ.), “Statistical Gate Delay Model for Multiple Input Switching,” The 13th Asia and South Pacific Design Automation Conference, Seoul, Jan. 23, 2008.
8. Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera (Kyoto Univ.), “Speed and Yield Enhancement by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs,” FPGA Conference, Monterey, Feb. 25, 2008.
9. 久米洋平、杉原有理、Ngo Cam Lai、小林和淑、小野寺秀俊 (京都大学)、「遅延比較器を用いた低コストな FPGA の速度・歩留まり向上手法」、電子情報通信学会 VLSI 設計技術研究会、那覇、2008 年 3 月 7 日.

- 10.濱本浩一、更田裕司、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「基板バイアス印加レイアウト方式の面積効率と速度制御性の評価」、電子情報通信学会 VLSI 設計技術研究会、札幌、2008 年 6 月 26 日。
- 11.今川隆司、廣本正之、越智裕之、中村行宏(京都大学)、「粒度再構成アーキテクチャ設計に向けた耐故障性評価環境の構築」、第 32 回パルテノン研究会、東京、2008 年 6 月 28 日。
- 12.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Correlation Verification between Transistor Variability Model with Body Biasing and Ring Oscillation Frequency in 90nm Subthreshold Circuits,” IEEE/ACM International Symposium on Low Power Electronics and Design(ISLPED), Bangalore, Aug. 11, 2008.
- 13.砂川洋輝、寺田晴彦、土谷亮、小林和淑、小野寺秀俊(京都大学)、「レイアウト規則性が回路性能とばらつきに及ぼす影響の評価」、DA シンポジウム 2008、浜松、2008 年 8 月 26 日。
- 14.小林和淑、森谷祐介、小野寺秀俊(京都大学)、「SET パルスによる誤動作を防止する遅延挿入フリップフロップのソフトエラー耐性の検討」、DA シンポジウム 2008、浜松、2008 年 8 月 27 日。
- 15.寺田晴彦、土谷亮、小林和淑、小野寺秀俊(京都大学)、「リングオシレータアレイによるゲート遅延ばらつきの評価とモデル化」、DA シンポジウム 2008、浜松、2008 年 8 月 27 日。
- 16.更田裕司、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「タイミングエラー予告を用いた適応的速度制御におけるタイミングエラー頻度と消費電力のトレードオフ解析」、情報処理学会 DA シンポジウム、浜松、2008 年 8 月 27 日。
- 17.今川隆司、廣本正之、越智裕之、中村行宏(京都大学)、「ディペンダブル粗粒度再構成アーキテクチャ設計のための耐故障性評価環境」、情報処理学会 DA シンポジウム 2008、浜松、2008 年 8 月 27 日。
- 18.Jun Yao, Hajime Shimada, and Kazutoshi Kobayashi(Kyoto Univ.), “A Scalable Pipeline Design for Modularizing High Dependable Framework via Spatial Redundancy,” DA シンポジウム 2008、浜松、2008 年 8 月 27 日。
- 19.Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “Performance Optimization by Track Swapping on Critical Paths Utilizing Random Variations for FPGAs,” 2008 International Conference on Field Programmable Logic and Applications, Heidelberg, Sept. 8, 2008.
- 20.Kazutoshi Kobayashi, Yohei Kume, Cam Lai Ngo, Yuuri Sugihara, Hidetoshi Onodera(Kyoto Univ.), “A Variation-aware Constant-Order Optimization Scheme Utilizing Delay Detectors to Search for Fastest Paths on FPGAs,” 2008 International Conference on Field Programmable Logic and Applications, Heidelberg, Sept. 8, 2008.
- 21.砂川洋輝、土谷亮、小野寺秀俊(京都大学)、「レイアウト規則性導入によるパターン転写精度の改善効果」、2008 年電子情報通信学会ソサイエティ大会、川崎、2008 年 9 月 18 日。
- 22.Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “A Ring-Oscillator Array Circuit for Measurement and Modeling of Gate Delay Variability,” Workshop on Test Structure Design for Variability Characterization, San Jose, Nov. 13, 2008.
- 23.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Vth Variation Modeling and Its Validation with Ring Oscillation Frequencies for Body-Biased Circuits and Subthreshold Circuits,”

Workshop on Test Structure Design for Variability Characterization, San Jose, Nov. 13, 2008.

- 24.高永勲、Dawood Alnajjar、密山幸男、橋本昌宜、尾上孝雄(大阪大学)、「柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャの検討」、電子情報通信学会ディペンダブルコンピューティング研究会、北九州、2008 年 11 月 17 日.
- 25.Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura(Kyoto Univ.), “A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts,” 第 33 回パルテノン研究会、藤沢、2008 年 12 月 20 日.
- 26.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Trade-Off Analysis between Timing Error Rate and Power Dissipation for Adaptive Speed Control with Timing Error Prediction,” Asia and South Pacific Design Automation Conference (ASP-DAC), Yokohama, Jan. 20, 2009.
- 27.濱本浩一、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「レイアウトを考慮した基板バイアスクラスタリング手法」、電子情報通信学会 VLSI 設計技術研究会、那覇、2009 年 3 月 13 日.
- 28.更田裕司、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「サブスレッショルド回路における基板バイアスを考慮したトランジスタのばらつきモデリングとリングオシレータを用いた検証」、電子情報通信学会 VLSI 設計技術研究会、那覇、2009 年 3 月 13 日.
- 29.Hiroki Sunagawa, Haruhiko Terada, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “Effect of Regularity-Enhanced Layout on Printability and Circuit Performance of Standard Cells,” The 10th International Symposium on Quality Electronic Design, San Jose, Mar. 17 2009.
- 30.牧野紘明、小林和淑、小野寺秀俊(京都大学)、「リーク電流による NBTI 特性の実測による評価」、2009 年電子情報通信学会総合大会、松山、2009 年 3 月 17 日.
- 31.D. Alnajjar, Y. Ko(Osaka Univ.), T. Imagawa, M. Hiromoto(Kyoto Univ.), Y. Mitsuyama, M. Hashimoto(Osaka Univ.), H. Ochi(Kyoto Univ.), and T. Onoye, “A Coarse-Grained Dynamically Reconfigurable Architecture Enabling Flexible Reliability,” Workshop on System Effects of Logic Soft Errors (SELSE), Palo Alto, Mar. 25, 2009.
- 32.Jun Yao, Hajime Shimada(NAIST), Kosuke Ogata(Mitsubishi Elec.), Shinobu Miwa(TUAT), and Shinji Tomita(Kyoto Univ.), “Improving Effectiveness of Pipeline Stage Unification via ALU Cascading,” 12th IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XII), Yokohama, April 17, 2009.
- 33.古田潤、小林和淑、小野寺秀俊(京都大学)、「高い SEU/SET 耐性を持つ省面積・低遅延二重化フリップフロップ」、第 22 回回路とシステム軽井沢ワークショップ、軽井沢、2009 年 4 月 21 日.
- 34.天木健彦、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「マルコフモデルによるオシレータサンプリング方式真性乱数生成器の乱数品質解析」、第 22 回 回路とシステム(軽井沢)ワークショップ、軽井沢、2009 年 4 月 21 日.
- 35.Hidetoshi Onodera, Haruhiko Terada(Kyoto Univ.), “Characterization of WID Delay Variability Using RO-array Test Structures,” 3rd IEEE International Workshop on Design for Manufacturability & Yield, San Francisco, July 26, 2009.
- 36.K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Tuning-Friendly Body Bias Clustering for Compensating Random Variability in Subthreshold Circuits,” IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), San Francisco, August 19, 2009.

37. 今川隆司、廣本正之、高永勲、Dawood Alnajjar、密山幸男、越智裕之、佐藤高史(京都大学)、「柔軟な信頼性を実現する再構成可能アーキテクチャのための配置配線ツール」、情報処理学会 DA シンポジウム 2009、加賀、2009 年 8 月 26 日。
38. 砂川洋輝、土谷亮、小林和淑、小野寺秀俊(京都大学)、「チップ内ばらつきが順序セルの動作特性に与える影響」、DA シンポジウム 2009、加賀、2009 年 8 月 26 日。
39. 郡浦宏明、密山幸男、橋本昌宜、尾上孝雄(大阪大学)、「NBTI による劣化予測におけるトランジスタ動作確率算出法の評価」、情報処理学会 DA シンポジウム 2009、加賀、2009 年 8 月 27 日。
40. Islam A.K.M. Mahfuzul、土谷亮、小林和淑、小野寺秀俊(京都大学)、「遅延モニタ回路によるプロセス変動量の推定」、DA シンポジウム 2009、加賀、2009 年 8 月 27 日。
41. D. Alnajjar, Y. Ko(Osaka Univ.), T. Imagawa(Kyoto Univ.), H. Konoura(Osaka Univ.), M. Hiromoto(Kyoto Univ.), Y. Mitsuyama, M. Hashimoto(Osaka Univ.), H. Ochi(Kyoto Univ.), and T. Onoye(Osaka Univ.), “Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability,” International Conference on Field Programmable Logic and Applications (FPL), Prague, September 1, 2009.
42. 牧野紘明、小林和淑、小野寺秀俊(京都大学)、「NBTI 周波数依存性測定回路の検討」、2009 年電子情報通信学会ソサイエティ大会、新潟、2009 年 9 月 16 日。
43. T. Takahashi, T. Uezono(Kyoto Univ.), M. Shintani, K. Masu(Tokyo Inst. Tech.), and T. Sato(Kyoto Univ.), “On-Die Parameter Extraction from Path-Delay Measurements,” IEEE Asian Solid-State Circuit Conference (ASSCC), Taipei, November 17, 2009.
44. D. Alnajjar, Y. Ko(Osaka Univ.), T. Imagawa, M. Hiromoto(Kyoto Univ.), Y. Mitsuyama, M. Hashimoto(Osaka Univ.), H. Ochi(Kyoto Univ.), and T. Onoye(Osaka Univ.), “Soft Error Resilient VLSI Architecture for Signal Processing,” IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Kanazawa, December 7, 2009.
45. 濱中力(京都工芸繊維大学)、古田潤、牧野紘明(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「基板バイポーラ効果による SEU と MCU の発生機構の検討」、電子情報通信学会 VLSI 設計技術研究会、那覇、2010 年 3 月 10 日。
46. Bishnu Prasad Das, Hidetoshi Onodera(Kyoto Univ.), “Accurate Individual Gate Delay Measurement to Study Within-die Variations”, 2010 年電子情報通信学会総合大会、仙台、2010 年 3 月 19 日。
47. 砂川洋輝、土谷亮、小野寺秀俊(京都大学)、「ランダムばらつきが D-FF のタイミング制約に与える影響」、2010 年電子情報通信学会総合大会、仙台、2010 年 3 月 19 日。
48. 牧野紘明、松本高士、小林和淑、小野寺秀俊(京都大学)、「Subthreshold Leak 電流による NBTI 劣化、回復の測定」、2010 年電子情報通信学会総合大会、仙台、2010 年 3 月 19 日。
49. Jun Yao, Hajime Shimada(NAIST), and Kazutoshi Kobayashi(KIT), “An Instruction decomposition Scheme to Aid Fine-Grained Online Recovery in Pipeline Processors,” 2010 年電子情報通信学会総合大会、仙台、2010 年 3 月 19 日。
50. 嶋田創、姚駿(奈良先端科学技術大学院大学)、小林和淑(京都工芸繊維大学)、「プログラム・カウンタを利用した命令語へのパリティ付加」、2010 年電子情報通信学会総合大会、仙台、2010 年 3 月 19 日。

目.

- 51.A.K.M Mahfuzul Islam, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera(Kyoto Univ.), “Process-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variability,” International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems, San Francisco, March 19, 2010.
- 52.S.Abe, K.Shinkai, M.Hashimoto, and T. Onoye(Osaka Univ.), “Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors,” International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), San Francisco, March 19, 2010.
- 53.Jun Furuta(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera(Kyoto Univ.), “Measurement Results of Multiple Cell Upsets on a 65nm Tapless Flip-Flop Array,” 2010 IEEE Workshop on Silicon Errors in Logic-System Effects (SELSE 6), Stanford, March 23, 2010.
- 54.H. Konoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “Comparative Study on Delay Degrading Estimation Due to NBTI with Circuit/Instance/Transistor-Level Stress Probability Consideration,” International Symposium on Quality Electronic Design (ISQED), San Jose, March 24, 2010.
- 55.R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “Measurement Circuits for Acquiring SET Pulse Width Distribution with Sub-FOI-Inverter-Delay Resolution,” International Symposium on Quality Electronic Design (ISQED), San Jose, March 24, 2010.
- 56.H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” International Reliability Physics Symposium (IRPS), Anaheim, May 5, 2010.
- 57.S.Abe, K.Shinkai, M.Hashimoto, and T.Onoye(Osaka Univ.), “Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors,” ACM Great Lake Symposium on VLSI (GLSVLSI), Providence, May 17, 2010.
- 58.湯浅洋史、今川隆司、廣本正之、越智裕之、佐藤高史(京都大学)、「誤り伝播に着目した粗粒度再構成可能アーキテクチャ向け部分的三重化手法」、電子情報通信学会 VLSI 設計技術研究会、北九州、2010 年 5 月 19 日.
- 59.Shinichi Nishizawa(Kyoto Univ.), Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “Variability Characterization Using an RO-array Test Structure,” 4th IEEE International Workshop on Design for Manufacturability & Yield, Anaheim, June 14, 2010.
- 60.Hidetoshi Onodera, Hiroki Sunagawa(Kyoto Univ.), “D-FlipFlop Design for Enhanced Tolerance to Within-Die Variation,” 4th IEEE International Workshop on Design for Manufacturability & Yield, Anaheim, June 14, 2010.
- 61.Shuichi Fujimoto, Islam A.K.M Mahfuzul, Shinichi Nishizawa, Hidetoshi Onodera(Kyoto Univ.), “Extraction of Variability Sources from Within-die Random Delay Variation,” 4th IEEE International Workshop on Design for Manufacturability & Yield, Anaheim, June 14, 2010.
- 62.Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting

- Soft Errors on the C-element,” VLSI Circuit Symposium, Honolulu, June 17, 2010.
63. Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Tool Chain for Generating SEU-Vulnerability Map for Coarse-Grained Reconfigurable Architecture,” 26th Annual Intl. Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, Thailand, July 6, 2010.
64. T. Amaki, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “A Design Procedure for Oscillator-Based Hardware Random Number Generator with Stochastic Behavior Modeling,” International Workshop on Information Security Applications (WISA), Jeju, August 24, 2010.
65. 小林和淑(京都工芸繊維大学)、「C-element のソフトエラー耐性を強化した 65nm Bistable Cross-coupled Dual Modular Redundancy (BCDMR) FF.」、電子情報通信学会集積回路研究会、札幌、2010 年 8 月 27 日.
66. 藪内美智太郎(京都工芸繊維大学)、「FPGA におけるばらつきを考慮した NBTI による動作マージンの見積り」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
67. 古田潤(京都大学)、「バッファチェーンにおけるパルス幅縮小現象を利用した SET パルス幅測定回路」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
68. 藤本秀一、Islam A.K.M. Mahfuzul、西澤真一、小野寺秀俊(京都大学)、「チップ内ばらつきの成分解析手法」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
69. 北島和彦、砂川洋輝、土谷亮、小野寺秀俊(京都大学)、「レイアウト制約が性能と製造性に与える影響」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
70. 古田潤(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「バッファチェーンにおけるパルス幅縮小現象を利用した SET パルス幅測定回路」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
71. 伊東恭佑、松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「組み合わせ回路におけるランダム・テレグラフ・ノイズの影響の評価」、DA シンポジウム 2010、豊橋、2010 年 9 月 3 日.
72. 濱中力(京都工芸繊維大学)、「ばらつき測定のための簡易構造 TEG」、電子情報通信学会ソサイエティ大会、堺、2010 年 9 月 14 日.
73. 釜江典裕、土谷亮、小野寺秀俊(京都大学)、「基板電圧の制御回路とその面積オーバーヘッド」、2010 年 電子情報通信学会ソサイエティ大会、堺、2010 年 9 月 16 日.
74. 渡邊良二、姚駿、中田尚、嶋田創、中島康彦(奈良先端科学技術大学院大学)、「サイクルレベルの空間及び時間冗長化技術を融合させた高信頼プロセッサの提案」、情報処理学会関西支部大会、大阪、2010 年 9 月 22 日.
75. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera(Kyoto Univ.), “A 65nm CMOS 400ns Measurement Delay NBTI-Recovery Sensor by Minimum Assist Circuit,” International Conference on Solid State Devices and Materials (SSDM 2010), Tokyo, Sept. 23, 2010.
76. 原田諒、密山幸男、橋本昌宜、尾上孝雄(大阪大学)、「高時間分解能を実現する SET パルス幅測定

- 回路の提案」、電子情報通信学会 VLSI 設計技術研究会、京都、2010 年 9 月 28 日。
- 77.上藺巧、越智裕之、佐藤高史(京都大学)、「リングオシレータによるしきい値簡易測定の温度依存性の検討」、電子情報通信学会 VLSI 設計技術研究会、京都、2010 年 9 月 28 日。
- 78.Hiroki Sunagawa, Hidetoshi Onodera(Kyoto Univ.), “Variation-Tolerant Design of D FlipFlops,” IEEE International SOC Conference 2010, Las Vegas, Sept. 28, 2010.
- 79.Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Routing Architecture Exploration for Coarse-Grained Reconfigurable Architecture with Automated SEU-tolerance Evaluation,” 23rd IEEE Intl. SOC Conference (SOCC 2010), Las Vegas, Sept. 28, 2010.
- 80.Bishnu Prasad Das, Hidetoshi Onodera(Kyoto Univ.), “Warning Prediction Sequential for Transient Error Prevention,” 2010 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Kyoto, Oct. 8, 2010.
- 81.天木健彦、橋本昌宜、密山幸男、尾上孝雄(大阪大学)、「確率的動作モデルを用いたオシレータベース物理乱数生成器の設計手法」、情報処理学会システム LSI 設計技術研究会、福岡、2010 年 11 月 30 日。
82. M. Yabuuchi, and K. Kobayashi(Kyoto Inst. Of Tech.), “Evaluation of FPGA design guardband caused by inhomogeneous NBTI degradation considering process variations,” International Conference on Field Programmable Technologies, Beijing, China, Dec. 9, 2010.
- 83.J. Yao, R. Watanabe, T. Nakada, H. Shimada, Y. Nakashima(Nara Institute of Science and Technology), and K. Kobayashi(Kyoto Institute of Technology), “Minimal Roll-Back Based Recovery Scheme for Fault Toleration in Pipeline Processors”, Pacific Rim International Symposium on Dependable Computing, Tokyo, Japan, Dec. 15, 2010.
- 84.松本高士、牧野紘明(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「測定時の劣化の影響を除去した高速 NBTI 回復特性センサーの検討」、電子情報通信学会技術報告(集積回路設計)、東京都、2010 年 12 月 16 日。
- 85.T. Amaki, M. Hashimoto, and T. Onoye(Osaka Univ.), “Jitter Amplifier for Oscillator-Based True Random Number Generator,” Asia and South Pacific Design Automation Conference (ASP-DAC), Yokohama, January 26, 2011.
- 86.J. Furuta(Kyoto Univ.), C. Hamanaka, K. Kobayashi(Kyoto Inst. of Tech.), and H. Onodera(Kyoto Univ.), “A 65nm Flip-Flop Array to Measure Soft Error Resiliency against High-Energy Neutron and Alpha Particles,” Asia and South Pacific Design Automation Conference, Yokohama, Japan, Jan. 26, 2011.
- 87.濱中力、山本亮輔、小林和淑(京都工芸繊維大学)、「耐ソフトエラー二重化フリップフロップのばらつき測定」、電子情報通信学会総合大会、東京、2011 年 3 月 15 日。
- 88.Kyosuke Ito, Takashi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(KIT) and Hidetoshi Onodera(Kyoto Univ.), “Modeling of Random Telegraph Noise under Circuit Operation – Simulation and Measurement of RTN-induced delay fluctuation –,” 2011 International Symposium on Quality Electronic Design(ISQED), Santa Clara, March 15, 2011.
- 89.Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, Takashi Sato(Kyoto University), “A fully pipelined

- implementation of Monte Carlo based SSTA on FPGAs,” 2011 International Symposium on Quality Electronic Design (ISQED), Santa Clara, March 16, 2011.
- 90.D. Alnajjar, H. Kounoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “MTTF Measurement under Alpha Particle Radiation in a Coarse-Grained Reconfigurable Architecture with Flexible Reliability,” IEEE Workshop on Silicon Errors in Logic – System Effects, Champaign, March 30, 2011.
- 91.I. A.K.M. Mahfuzul, A. Tsuchiya(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation”, 2011 IEEE International Conference on Microelectronic Test Structure, Amsterdam, Apr. 6, 2011.
- 92.Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking,” 2011 IEEE International Reliability Physics Symposium, Monterey, April 14, 2011.
- 93.郡浦宏明(大阪大学)、密山幸男(高知工科大学)、橋本昌宜、尾上孝雄(大阪大学)、「動的再構成可能アーキテクチャによる故障回避機構の定量的信頼性評価」、電子情報通信学会 リコンフィギャラブルシステム研究会、札幌市、2011 年 5 月 12 日。
- 94.松本高士、牧野紘明(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「トランジスタレベルでの経年劣化補償技術における NBTI 回復特性の利用について」、システム LSI ワークショップ、北九州市、2011 年 5 月 17 日。
- 95.Takashi Sato, Tadamichi Kozaki, Takumi Uezono, Hiroshi Tsutsui, and Hiroyuki Ochi (Kyoto Univ.), “A Stress-Parallelized Device Array for Efficient Bias-Temperature Stability Measurement,” 5th IEEE International Workshop on Design for Manufacturability and Yield 2011 (DFM&Y), San Diego, June 6, 2011.
- 96.Jun Yao, Ryoji Watanabe, Kazuhiro Yoshimura, Takashi Nakada, Hajime Shimada, and Yasuhiko Nakashima(NAIST), “An Efficient and Reliable 1.5-way Processor by Fusion of Space and Time Redundancies,” the 5th Workshop on Dependable and Secure Nanocomputing (WDSN’11), Hong Kong, China, June 27, 2011.
- 97.増田政基、岡田翔伍、山本亮輔(京都工芸繊維大学)、古田潤(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「スタンダードセルベース ASIC における多重化フリップフロップのソフトウェア耐性の評価」、回路とシステムワークショップ、淡路市、2011 年 8 月 1 日。
- 98.川島潤也、越智裕之、筒井弘、佐藤高史 (京都大学)、「エネルギー最小化と動作保証を考慮したサブスレッショルド回路の設計指針の検討」、回路とシステムワークショップ、淡路市、2011 年 8 月 2 日。
- 99.西澤真一(京都大学)、小林和淑(京都工芸繊維大)、小野寺秀俊(京都大)、「パッケージとの接続抵抗を考慮したチップ内電源ネットワークの構成手法」、DA シンポジウム、下呂市、2011 年 8 月 31 日。
- 100.古田潤(京都大学)、濱中力、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「寄生バイポーラ効果を考慮したソフトウェアによる一過性パルスのモデル化と評価」、DA シンポジウム、下呂市、2011 年 8 月 31 日。
- 101.松本高士、伊東恭佑(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「ランダム・テレグラフ・ノイズに起因したデジタル回路遅延ゆらぎについて」、DA シンポジウム、下呂市、2011 年 8 月 31 日。

102. 今川隆司、湯浅洋史、筒井弘、越智裕之、佐藤高史（京都大学）、「配線資源の信頼性モデルを用いた粗粒度再構成可能アーキテクチャ向け選択的三重化の最適化手法」、DA シンポジウム、下呂市、2011 年 9 月 1 日。
103. 藪内美智太郎、小林和淑(京都工芸繊維大学)、「FPGA 配線構造における RTN モデルを用いた NBTI 遅延解析手法の検討」、DA シンポジウム、下呂、2011 年 9 月 1 日。
104. 亀田敏広、郡浦宏明(大阪大学)、密山幸男(高知工科大学)、橋本昌宜、尾上孝雄(大阪大学)、「スキャンパスを用いた NBTI 劣化抑制に関する一検討」、DA シンポジウム、下呂市、2011 年 9 月 1 日。
105. 清水裕史、筒井弘、越智裕之、佐藤高史（京都大学）、「EM 法による MOS デバイス界面状態数の自動推定」、電子情報通信学会ソサイエティ大会、札幌市、2011 年 9 月 13 日。
106. 古田潤(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「チェーンにおけるパルス幅縮小を利用した SET パルス幅測定回路」、電子情報通信学会基礎・境界ソサイエティ大会、札幌、2011 年 9 月 13 日。
107. 久保田勘人、小林和淑(京都工芸繊維大学)、「65nm プロセスによる耐ソフトエラーFF の性能比較評価」、電子情報通信学会基礎・境界ソサイエティ大会、札幌、2011 年 9 月 13 日。
108. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「デジタル回路遅延の経年劣化とそのモデル化について」、電子情報通信学会基礎・境界ソサイエティ大会、札幌、2011 年 9 月 13 日。
109. 藪内美智太郎、小林和淑(京都工芸繊維大学)、「RTN モデルを用いた NBTI 劣化解析手法の検討」、電子情報通信学会基礎・境界ソサイエティ大会、札幌、2011 年 9 月 15 日。
110. Zhi Li, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “A Sensor-Based Self-Adjustment Approach for Controlling I/O Buffer Impedance,” 電子情報通信学会ソサイエティ大会、札幌市、2011 年 9 月 15 日。
111. 岡田翔伍、増田政基(京都工芸繊維大学)、姚駿、嶋田創(奈良先端科学技術大学)、小林和淑(京都工芸繊維大学)、「冗長/非冗長化 FF による多重化プロセッサのソフトエラー耐性評価」、電子情報通信学会基礎・境界ソサイエティ大会、札幌、2011 年 9 月 16 日。
112. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(Kyoto Institute of Tech.), Hidetoshi Onodera(Kyoto Univ.), “Multi-core LSI Lifetime Extension by NBTI-Recovery-bases Self-healing,” International Conference on Solid State Devices and Materials, Nagoya, September 29, 2011.
113. T. Matsumoto(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Impact of RTN and NBTI on Synchronous Circuit Reliability,” IEEE/ACM Workshop on Variability Modeling and Characterization, San Jose, Nov. 10, 2011.
114. Jun Furuta (Kyoto Univ.), Ryosuke Yamamoto, Kazutoshi Kobayashi (KIT), Hidetoshi Onodera (Kyoto Univ.), “Correlations between Well Potential and SEUs Measured by Well-Potential Perturbation Detectors in 65nm,” 2011 IEEE Asian Solid-State Circuits Conference, Jeju, November 16, 2011.
115. Norihiro Kamae, Akira Tsuchiya, and Hidetoshi Onodera (Kyoto Univ.), “An Area Effective Forward/Reverse Body Bias Generator for Within-Die Variability Compensation,” 2011 IEEE Asian

Solid-State Circuits Conference, Jeju, November 16 2011.

116. Bishnu Prasad Das, Hidetoshi Onodera (Kyoto Univ.), “Reconfigurable Array-Based Area-Efficient Test Structure for Standard Cell Characterization,” 2011 International Workshop on RTL and High Level Testing, Jaipur, November 26, 2011.
117. 栗野皓光、清水裕史、筒井弘、越智裕之、佐藤高史（京都大学）、「ランダムテレグラフノイズモデル化のためのパラメータ推定法の検討」、デザインガイア、宮崎市、2011年11月28日。
118. 石井翔平、小林和淑（京都工芸繊維大学）、「90nmプロセス商用FPGAにマッピングしたリングオシレータの発振周波数の劣化評価」、電子情報通信学会 VLSI 設計技術研究会、宮崎市、2011年11月28日。
119. 岡田翔伍、増田政基（京都工芸繊維大学）、姚駿、嶋田創（奈良先端科学技術大学）、小林和淑（京都工芸繊維大学）、「冗長/非冗長化 FF による耐ソフトウェア多重化プロセッサの性能評価」、電子情報通信学会 VLSI 設計技術研究会、宮崎市、2011年11月28日。
120. 松本高士、牧野紘明（京都大学）、小林和淑（京都工芸繊維大学）、小野寺秀俊（京都大学）、「NBTI 回復現象を利用したマルチコア LSI の自己特性補償法」、電子情報通信学会集積回路研究会、宮崎市、2011年11月29日。
121. 密山幸男（高知工科大学）、奥畑宏之（シンセシス）、神原弘之（ASTEM）、「粗粒度再構成可能アーキテクチャにおける SpaceWire 応用に関する一検討」、第 55 回宇宙科学技術連合講演会、松山市、2011年11月30日。
122. 山本亮輔、濱中力（京都工芸繊維大学）、古田潤（京都大学）、小林和淑（京都工芸繊維大学）、小野寺秀俊（京都大学）、「MCU に強靱な耐ソフトウェアフリップフロップ」、電子情報通信学会集積回路研究会、大阪市、2011年12月16日。
123. Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “Acceleration Scheme for Monte Carlo Based SSTA Using Generalized STA Processing Element,” 2012 ACM/IEEE International Workshop on Timing Issues (TAU), Taipei, Jan. 18, 2012.
124. S. Ishii, and K. Kobayashi (KIT), “Degradation of Oscillation Frequency of Ring Oscillators Placed on a 90 nm FPGA,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Beppu, Japan, Mar. 8, 2012.
125. K. Zhang, R. Yamamoto, and K. Kobayashi (KIT), “Device-level Simulations of Parasitic Bipolar Mechanism on Preventing MCUs of Redundant Flip-Flops,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Beppu, Japan, Mar. 8, 2012.
126. 村上賢秀、山本亮輔、小林和淑（京都工芸繊維大学）、「重イオンビームを用いた冗長化フリップフロップのソフトウェア耐性評価」、電子情報通信学会総合大会、岡山市、2012年3月19日。
127. Shuichi Fujimoto, Takashi Matsumoto, Hidetoshi Onodera (Kyoto Univ.), “Inhomogeneous Ring Oscillator for WID Variability and RTN Characterization,” International Conference on Microelectronic Test Structures San Diego, March 20, 2012.
128. Shinichi Nishizawa, Hidetoshi Onodera (Kyoto Univ.), “Ring Oscillator with Calibration Circuit for Accurate On-Chip IR-drop Measurement,” International Conference on Microelectronic Test Structures, San Diego, March 20, 2012.

129. 三木淳司、松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「劣化回復測定を高速に切り替え可能な NBTI 評価回路」、電子情報通信学会総合全国大会、岡山、2012 年 3 月 22 日。
130. 釜江典裕、土谷亮、小野寺秀俊(京都大学)、「細粒度基板電圧制御に用いる DA 変換回路」、電子情報通信学会総合全国大会、岡山、2012 年 3 月 22 日。
131. J. Furuta(Kyoto University), R. Yamamoto, K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Evaluation of Parasitic Bipolar Effects on Neutron-Induced SET Rates for Logic Gates,” International Reliability Physics Symposium (IRPS), Anaheim, April 18, 2012.
132. K. Zhang, R. Yamamoto(KIT), J. Furuta(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Parasitic Bipolar Effects on Soft Errors to Prevent Simultaneous Flips of Redundant Flip-Flops,” IEEE International Reliability Physics Symposium, Anaheim, Apr. 19, 2012.
133. M. Yabuuchi, and K. Kobayashi(KIT), “Circuit Characteristic Analysis Considering NBTI and PBTI-Induced Delay Degradation,” International Meeting for Future of Electron Devices, Kansai, Osaka, May 10, 2012.
134. R. Harada, S. Abe, H. Fuketa, T. Uemura, M. Hashimoto, and Y. Watanabe(Osaka Univ.), “Angular Dependency of Neutron Induced Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” IEEE Nuclear and Space Radiation Effects Conference, Miami, July 17, 2012.
135. J. Yao, Y. Nakashima(Nara Institute of Science and Technology), S. Okada, and K. Kobayashi(KIT), “DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test,” IEEE Nuclear and Space Radiation Effects Conference, Miami, July 17, 2012.
136. 川島潤也、越智裕之、筒井弘、佐藤高史(京都大学)、「回路の最小動作電圧改善とその予測精度向上の一検討」、第 25 回 回路とシステムワークショップ、淡路、2012 年 7 月 31 日。
137. Islam A.K.M Mahfuzul, 釜江典裕、石原亨、小野寺秀俊(京都大学)、「完全デジタル型の P/N ばらつきの自律補償回路」、情報処理学会 DA シンポジウム、下呂、2012 年 8 月 29 日。
138. 釜江典裕、土谷亮、小野寺秀俊(京都大学)、「チップ内基板バイアス生成回路のモジュール化設計」、情報処理学会 DA シンポジウム、下呂、2012 年 8 月 29 日。
139. SinYoung Kim, Akira Tsuchiya, Hidetoshi Onodera(Kyoto University), “Evaluation of Single-Event Vulnerability in Analog and Digital Signals of PLL based on Error-Categorization,” 情報処理学会 DA シンポジウム、下呂、2012 年 8 月 29 日。
140. 清水裕史、栗野皓光、筒井弘、越智裕之、佐藤高史(京都大学)、「情報量規準を用いる RTN モデルパラメータ推定の自動化」、情報処理学会 DA シンポジウム 2012、下呂市、2012 年 8 月 29 日。
141. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「NBTI・RTN が論理回路および SRAM の信頼性に与える影響について」、情報処理学会 DA シンポジウム、下呂、2012 年 8 月 30 日。
142. 近藤正大、石原亨、小野寺秀俊(京都大学)、「低電圧動作に適したセルライブラリのゲート幅決定法とその評価」、情報処理学会 DA シンポジウム、下呂、2012 年 8 月 30 日。

- 143.西澤真一、近藤正大、石原亨、小野寺秀俊(京都大学)、「低電圧動作に向けた PN 比可変スタンダードセルライブラリの構成法とその評価」、情報処理学会 DA シンポジウム、下呂、2012 年 8 月 30 日。
- 144.Masahiro Kondo, Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera(Kyoto University), “A Standard Cell Optimization Method for Near-Threshold Voltage Operations,” The International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) 2012, Newcastle, Sept. 4, 2012.
- 145.古田潤(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「ソフトウェアによる多ビットエラーのラッチ間距離依存性の評価」、電子情報通信学会ソサイエティ大会、富山県富山市、2012 年 9 月 14 日。
- 146.三木淳司、松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「劣化測定と回復測定を高速に切り替え可能な NBTI 測定回路の特性評価」、電子情報通信学会ソサイエティ大会、富山県富山市、2012 年 9 月 14 日。
- 147.張魁元、小林和淑(京都工芸繊維大学)、「BOX 層の厚さによる SOI のソフトウェア耐性」、電子情報通信学会基礎・境界ソサイエティ大会、富山市、2012 年 9 月 14 日。
- 148.Takashi Matsumoto(Kyoto University), Kazutoshi Kobayashi (KIT), Hidetoshi Onodera(Kyoto University), “Impact of Body-Biasing Technique on RTN-induced Delay Fluctuation,” 2012 International Conference on Solid State Devices and Materials (SSDM2012), Kyoto, Sept. 26, 2012.
- 149.R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “Impact of NBTI--Induced Pulse-Width Modulation on SET Pulse-Width Measurement,” European Conference on Radiation and Its Effects on Components and Systems (RADECS), Biarritz, September 27, 2012.
- 150.M. Masuda, K. Kubota, R. Yamamoto(KIT), J. Furuta(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flops,” The conference on Radiation and its Effects on Components and Systems, Biarritz, France, Sept. 28, 2012.
- 151.Shinichi Nishizawa, Tohru Ishihara, Hidetoshi Onodera(Kyoto University), “A Flexible Structure of Standard Cell and Its Optimization Method for Near-Threshold Voltage Operation,” The 30th IEEE International Conference on Computer Design(ICCD), Montreal, Oct. 2, 2012.
- 152.T. Matsumoto(Kyoto Univ.), K. Kobayashi(KIT), and H. Onodera(Kyoto Univ.), “Impact of Body-Biasing Technique on RTN-induced CMOS Logic Delay Uncertainty,” IEEE/ACM Workshop on Variability Modeling and Characterization, San Jose, CA, Nov. 08, 2012.
- 153.Norihiro Kamae, Akira Tsuchiya1, Hidetoshi Onodera(Kyoto University), “A Body Bias Generator Compatible with Cell-based Design Flow for Within-die Variability Compensation,” IEEE Asian Solid-State Circuits Conference(A-SSCC) 2012, Kobe, November 14, 2012.
- 154.Islam A.K.M Mahfuzul, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera(Kyoto University), “A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits,” IEEE Asian Solid-State Circuits Conference(A-SSCC) 2012, Kobe, November 13, 2012.
- 155.A.K.M. Mahfuzul Islam, and H. Onodera (Kyoto Univ.), “On-chip Detection of Process Shift and Process Spread for Silicon Debugging and Model-Hardware Correlation,” IEEE 21st Asian Test Symposium (ATS) 2012, Niigata, Nov. 19, 2012.

156. 密山幸男(高知工科大学)、奥畑宏之(シンセシス)、神原弘之(ASTEM)、「SpaceWire インタフェースを搭載する再構成可能システムの設計」、第 56 回宇宙科学技術連合講演会、別府市、2012 年 11 月 20 日。
157. 石井翔平、小林和淑(京都工芸繊維大学)、「商用 FPGA のばらつきと BTI による経年劣化」、電子情報通信学会 VLSI 設計技術研究会、福岡、2012 年 11 月 26 日。
158. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「ランダム・テレグラフ・ノイズに起因した組合せ回路遅延ゆらぎに対する基板バイアスの影響」、電子情報通信学会 VLSI 設計技術研究会、福岡、2012 年 11 月 26 日。
159. 久保田勘人、増田政基、小林和淑(京都工芸繊維大学)、「低電力かつ省面積な耐ソフトウェア多重化フリップフロップ ～ DICE ACFF ～」、電子情報通信学会 VLSI 設計技術研究会、福岡、2012 年 11 月 26 日。
160. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊、「ランダム・テレグラフ・ノイズに起因した組合せ回路遅延ゆらぎに対する基板バイアスの影響」、デザインガイア 2012、福岡、2012 年 11 月 26 日。
161. Zhi Li, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “Accurate I/O Buffer Impedance Self-Adjustment using Vth and Temperature Sensors,” 電子情報通信学会 デザインガイア 2012 -VLSI 設計の新しい大地-, 福岡, 2012 年 11 月 27 日。
162. D. Alnajjar (Osaka Univ.), Y. Mitsuyama (Kochi Univ. of Tech.), M. Hashimoto, and T. Onoye (Osaka Univ.), “Static Voltage Over-Scaling and Dynamic Voltage Variation Tolerance with Replica Circuits and Time Redundancy in Reconfigurable Devices,” Proceedings of International Conference on ReConFigurable Computing and FPGAs (ReConFig), Cancun, December 6, 2012.
163. S. Kim, A. Tsuchiya, and H. Onodera (Kyoto Univ.), “Dual-PLL based on Temporal Redundancy for Radiation-Hardening,” 10th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications, Tsukuba, Dec. 10, 2012.
164. T. Matsumoto (Kyoto Univ.), K. Kobayashi (KIT), and H. Onodera (Kyoto Univ.), “Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty under Low Voltage Operation,” IEEE International Electron Devices Meeting (IEDM) 2012, San Francisco, Dec. 10, 2012.
165. J. Furuta (Kyoto Univ.), K. Kobayashi (KIT), and H. Onodera (Kyoto Univ.), “Measurement of Distance-dependent Multiple Upsets of Flip-Flops in 65nm CMOS Process,” 10th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications, Tsukuba, Dec. 10, 2012.
166. S. Tanihiro, M. Yabuuchi, and K. Kobayashi(KIT), “Measurement Results of Substrate Bias Dependency on Negative Bias Temperature Instability Degradation in a 65 nm Process,” Components, Packaging, and Manufacturing Technology Symposium Japan, Kyoto, Japan, Dec. 14, 2012.
167. 川島潤也、越智裕之、筒井弘、佐藤高史(京都大学)、「チップ試作による最小動作電圧予測手法の評価」、平成 24 年 ICD 学生・若手研究会、東京、2012 年 12 月 17 日。
168. 増田政基、久保田勘人、山本亮輔(京都工芸繊維大学)、古田潤(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「65 nm プロセスにおける低消費電力冗長化 FF(BCDMR-ACFF)の設計と評価」、電子情報通信学会 集積回路設計研究会、横浜、2012 年 12 月 18 日。

169. Michihiro Shintani and Takashi Sato(Kyoto Univ.), “An Adaptive Current-Threshold Determination for IDDQ Testing Based on Bayesian Process Parameter Estimation,” Asia and South Pacific Design Automation Conference (ASP-DAC), Yokohama, Jan. 25, 2013.
170. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「ランダム・テレグラフ・ノイズが電圧 CMOS 論理回路の遅延ゆらぎに及ぼす影響」、応用物理学会分科会 シリコンテクノロジー 第 154 回研究集会、東京、2013 年 1 月 30 日。
171. 新谷道広、佐藤高史(京都大学)、「パラメータ推定にもとづく IDDQ 電流しきい値決定のオンラインテストに向けた高速化」、電子情報通信学会 VLSI 設計技術研究会、沖縄、2013 年 3 月 4 日。
172. 岡田翔伍(京都工芸繊維大学)、姚駿、嶋田創(奈良先端科学技術大学)、小林和淑(京都工芸繊維大学)、「レジスタビット反転を用いた経年劣化に強靱な多重化回路」、電子情報通信学会 VLSI 設計技術研究会、那覇、2013 年 3 月 6 日。
173. Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “High-Speed DFG-Level SEU Vulnerability Analysis for Applying Selective TMR to Resource-Constrained CGRA,” International Symposium on Quality Electrical Design (ISQED), Santa Clara, Mar. 6, 2013.
174. Hiromitsu Awano, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “Multi-Trap RTN Parameter Extraction Based on Bayesian Inference,” International Symposium on Quality Electrical Design (ISQED), Santa Clara, Mar. 6, 2013.
175. Shiyi Zhang, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “Evaluation of Dependent Node Selection of Histogram Propagation Based Statistical Timing Analysis,” 電子情報通信学会総合大会、岐阜、2013 年 3 月 19 日。
176. Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroshi Tsutsui, Takashi Sato, Yukihiro Nakamura, and Hiroyuki Ochi(Kyoto Univ.), “Hot-Swapping Architecture with Back-Biased Testing for Mitigation of Permanent Faults in Functional Unit Array,” Design, Automation & Test in Europe (DATE), Grenoble, Mar. 20, 2013.
177. Takashi Imagawa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Cost-Effective Selective TMR for Heterogeneous Coarse-Grained Reconfigurable Architectures Based on DFG-Level Vulnerability Analysis,” Design, Automation & Test in Europe (DATE), Grenoble, Mar. 20, 2013.
178. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「ランダム・テレグラフ・ノイズが CMOS 組合せ回路の遅延ゆらぎに及ぼす影響」、電子情報通信学会総合大会、岐阜、2013 年 3 月 22 日。
179. Michihiro Shintani and Takashi Sato(Kyoto Univ.), “A Bayesian-Based Process Parameter Estimation using IDDQ Current Signature,” IEEE VLSI Test Symposium(VTS) 2012, Hawaii, Apr. 23, 2012.

③ポスター発表 (国内会議 6 件、国際会議 32 件)

1. Yuuri Sugihara, Yohei Kume, Kazutoshi Kobayashi, Hidetoshi Onodera (Kyoto Univ.), “Estimation of Yield Enhancement by Critical Path Reconfiguration Utilizing Random Variations on Deep-submicron FPGAs,” Synthesis and System Integration of Mixed Information Technologies, Sapporo, Oct. 15, 2007.

2. K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “A Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed,” Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI), Sapporo, Oct. 15, 2007.
3. S. Abe, M. Hashimoto, and T. Onoye (Osaka Univ.), “Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution,” International Symposium on Quality Electronic Design (ISQED), San Jose, Mar. 18, 2008.
4. K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Experimental Study on Body-Biasing Layout Style -- Negligible Area Overhead Enables Sufficient Speed Controllability -,” ACM Great Lake Symposium on VLSI (GLSVLSI), Orland, May 6, 2008.
5. Y. Ko, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye (Osaka Univ.), “Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability,” the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), Naha, Mar. 9, 2009.
6. Y. Kume, Y. Sugihara, C. Ngo, K. Kobayashi, H. Onodera (Kyoto Univ.), “Embedded Delay Detectors to Choose the Fastest Route in FPGAs for Variation-aware Reconfiguration,” the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), Naha, Japan, Mar. 9, 2009.
7. Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi (Kyoto Univ.), and Yukihiro Nakamura (Ritsumeikan Univ.), “A New Architecture Extension for Mitigation of Permanent Functional Unit Faults Using Hot-Swapping Concepts,” 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Okinawa, Mar. 9, 2009.
8. J. Furuta, Y. Moritani, K. Kobayashi and H. Onodera (Kyoto Univ.), “Soft-error Resiliency Evaluation on Delayed Multiple-modular Flip-Flops,” the 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI), Naha, Japan, Mar. 10, 2009.
9. Zoltan Endre Rakosi, Masayuki Hiromoto, Hiroyuki Ochi (Kyoto Univ.), and Yukihiro Nakamura (Ritsumeikan Univ.), “Hot-Swapping Architecture Extension for Mitigation of Permanent Functional Unit Faults,” 19th International Conference on Field Programmable Logic and Applications (FPL2009), Prague, Sep. 1, 2009.
10. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Adaptive Performance Compensation with In-Situ Timing Error Prediction for Subthreshold Circuits,” IEEE Custom Integrated Circuits Conference (CICC), San Jose, September 14, 2009.
11. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Adaptive Performance Control with Embedded Timing Error Predictive Sensors for Subthreshold Circuits,” Asia and South Pacific Design Automation Conference (ASP-DAC), Taipei, January 20, 2010.
12. Ryoji Watanabe, Jun Yao, Hajime Shimada (NAIST), and Kazutoshi Kobayashi (KIT), “Implementation and Evaluation of Superscalar Processor Based on Dynamic Adaptive Redundant Architecture (Poster),” the 13th IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XIII), Tokyo, April 15, 2010.
13. 原田諒、更田裕司、密山幸男、橋本昌宜、尾上孝雄 (大阪大学)、「 α 線起因ソフトエラー測定 -SETパルス幅測定回路の提案および超低電圧 SRAM の SEU 耐性評価-」、LSI とシステムのワークショップ、北九州、2010 年 5 月 18 日。

14. 郡浦宏明、D. Alnajjar、高永勲(大阪大学)、今川隆司、廣本正之(京都大学)、密山幸男、橋本昌宜(大阪大学)、越智裕之(京都大学)、尾上孝雄(大阪大学)、「柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャ」、LSIとシステムのワークショップ、北九州、2010年5月18日。
15. M. Yabuuchi, and K. Kobayashi(Kyoto Institute of Technology), “Circuit Performance Degradation on FPGAs Considering NBTI and Process Variations,” Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), Taipei, Taiwan, Oct. 18, 2010.
16. Shin’ichi Kouyama, Masayuki Hiromoto (Kyoto Univ.), Yukihiro Nakamura (Ritsumeikan Univ.), and Hiroyuki Ochi (Kyoto Univ.), “A Tile Based Reconfigurable Architecture with Dual ALU-Array/processor Operating Mode Capability,” 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2010), Taipei, Oct. 19, 2010.
17. Takumi Uezono, Tadamichi Kozaki, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A transistor-array for parallel BTI-effects measurements,” Workshop on variability modeling and characterization (VMC), San Jose, November 11, 2010.
18. Kyosuke Ito, Takashi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera(Kyoto Univ.), “Modeling of Random Telegraph Noise under Circuit Operation- Simulation and Measurement of RTN-induced Delay Fluctuation,” Workshop on variability modeling and characterization (VMC), San Jose, November 11, 2010.
19. M. Yabuuchi, and K. Kobayashi(Kyoto Institute of Technology), “Evaluation of FPGA design guardband caused by inhomogeneous NBTI degradation considering process variations,” International Conference on Field Programmable Technologies, Beijing, China, Dec. 9, 2010.
20. T. Amaki, M. Hashimoto, and T. Onoye(Osaka Univ.), “Jitter Amplifier for Oscillator-Based True Random Number Generator,” Asia and South Pacific Design Automation Conference (ASP-DAC), Yokohama, January 26, 2011.
21. J. Furuta(Kyoto University), C. Hamanaka, K. Kobayashi(Kyoto Institute of Technology), and H. Onodera(Kyoto University), “A 65nm Flip-Flop Array to Measure Soft Error Resiliency against High-Energy Neutron and Alpha Particles,” Asia and South Pacific Design Automation Conference, Yokohama, Japan, Jan. 26, 2011.
22. K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits,” IEEE International Reliability Physics Symposium, Monterey, Apr. 13, 2011.
23. 松本高士、牧野紘明(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「トランジスタレベルでの経年劣化補償技術におけるNBTI回復特性の利用について」、システムLSIワークショップ、北九州市、2011年5月17日。
24. J. Yoon, A. Hiroki, T. Sano, and K. Kobayashi(KIT), “An estimation of saturation current influenced by source and drain resistances for sub-20nm MOSFETs,” International Meeting for Future of Electron Devices, Osaka, Japan, May 19, 2011.
25. R. Yamamoto, C. Hamanaka(KIT), J. Furuta(Kyoto University), K. Kobayashi(KIT), and H. Onodera(Kyoto University), “An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets,” IEEE Nuclear and Space Radiation Effects Conference, Las Vegas, July 26,

- 2011.
26. Takashi Matsumoto(Kyoto Univ.), Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “Impact of RTN and NBTI on Synchorous Circuit Reliability,” IEEE/ACM Workshop on Variability Modeling and Characterization, San Jose, November 10, 2011.
 27. 天木健彦, 橋本昌宜, 尾上孝雄(大阪大学), 「ゆらぎ増幅回路を用いたオシレータベース物理乱数生成器」, 電子情報通信学会 集積回路研究会, 豊中市, 2011 年 12 月 15 日.
 28. Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “Hardware Architecture for Accelerating Monte Carlo Based SSTA using Generalized STA Processing Element,” the 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2012), Beppu, Japan, Mar. 8, 2012.
 29. Takashi Imagawa, Takahiro Oue, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato (Kyoto Univ.), “GPU Acceleration of Cycle-Based Soft-Error Simulation for Reconfigurable Array Architectures,” the 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2012), Beppu, Japan, Mar. 8, 2012.
 30. J. Furuta(Kyoto University), R. Yamamoto, K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Evaluation of Parasitic Bipolar Effects on Neutron- Induced SET Rates for Logic Gates,” IEEE International Reliability Physics Symposium, Anaheim, CA, Apr. 19, 2012.
 31. J. Yoon, A. Hiroki, and K. Kobayashi(KIT), “Structure Dependence of Reduced Saturation Current Influenced by Source and Drain Resistances for 17 nm MOSFETs,” International Meeting for Future of Electron Devices, Kansai, Osaka, Japan, May 10, 2012.
 32. 古田 潤(京都大学)、山本亮輔、増田政基、岡田翔伍、久保田勘人、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「微細プロセスにおける耐ソフトエラー集積回路の設計手法」、LSI とシステムのワークショップ、北九州市、2012 年 5 月 29 日.
 33. 松本高士(京都大学)、小林和淑(京都工芸繊維大学)、小野寺秀俊(京都大学)、「LSI 信頼性への RTN・NBTI の影響と特性補償技術について」、LSI とシステムのワークショップ、北九州市、2012 年 5 月 29 日.
 34. J. Furuta(Kyoto University), R. Yamamoto, K. Kobayashi(KIT), and H. Onodera(Kyoto University), “Effects of Neutron-Induced Well Potential Perturbation for Multiple Cell Upset of Flip-Flops in 65 nm,” Nuclear and Space Radiation Effects Conference (NSREC), Miami, Florida, July 18, 2012.
 35. T. Kameda, H. Konoura, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), “A Predictive Delay Fault Avoidance Scheme for Coarse-Grained Reconfigurable Architecture,” International Conference on Field Programmable Logic and Applications (FPL), Oslo, August 30, 2012.
 36. Shohei Nishimura, Takashi Matsumoto (Kyoto University), Kazutoshi Kobayashi (KIT), Hidetoshi Onodera (Kyoto University), “Impact on delay due to random telegraph noise under low voltage operation in logic circuits,” 2012 International Conference on Solid State Devices and Materials (SSDM2012), Kyoto, Sept. 26, 2012.
 37. SinNyong Kim, Akira Tsuchiya, Hidetoshi Onodera(Kyoto University), “Modeling of Single-Event Failures in Divider and PFD of PLL based on Jitter Analysis,” The conference on Radiation and its Effects on Components and Systems(RADECS) 2012, Biarrits, Sept. 26, 2012.

38. Michihiro Shintani and Takashi Sato (Kyoto University), “Adaptive Current-Threshold Determination for Accurate IDDQ Testing,” IEEE/ACM Workshop on Variability Modeling and Characterization (VMC) 2012, Biarritz, Nov. 8, 2012.

(4) 知財出願

① 国内出願 (4 件)

1. 多重化実行に対してスケーラブルなプロセッサのパイプライン、嶋田創、姚 駿、小林和淑、京都大学、平成 20 年 8 月 25 日、特願 2008-214900
2. フリップフロップ回路、小林和淑、古田潤、小野寺秀俊、京都工芸繊維大学、平成 22 年 6 月 11 日、特願 2010-134066
3. ゆらぎ増幅装置及び真性乱数生成器、橋本昌宜、天木健彦、大阪大学、2011 年 1 月 24 日、特願 2011- 11819.
4. フリップフロップ回路、久保田勘人、増田政基、小林和淑、2011 年 11 月 16 日、特願 2012-252739

② 海外出願 (1 件)

1. フリップフロップ回路、半導体装置および電子機器、小林和淑、古田潤、小野寺秀俊、2011 年 6 月 11 日、2010-134066, 米国

③ その他の知的財産権

なし

(5) 受賞・報道等

① 受賞

SASIMI2007 Outstanding paper award 受賞 (2007 年 10 月)

K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye

“A Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed”

DA シンポジウム 2007 優秀発表学生賞 (2008 年 8 月)

寺田晴彦、福岡孝之、土谷亮、小野寺秀俊

「統計的遅延解析における遅延分布間の最大値計算手法」

電子通信情報学会論文賞 (2009 年 5 月)

Kazutoshi Kobayashi, Manabu Kotani, Kazuya Katsuki, Yuuri Sugihara, Yohei Kume, Hidetoshi Onodera

“A 90nm 48x48 LUT-based FPGA Enhancing Speed and Yield Utilizing Within-Die Delay Variations”

SLDM 研究会 優秀論文賞 (2009 年 8 月)

小林和淑、森谷祐介、小野寺秀俊

「SET パルスによる誤動作を防止する遅延挿入フリップフロップのソフトエラー耐性の検討」

DA シンポジウム 2008 優秀発表学生賞 (2009 年 8 月)

今川隆司、廣本正之、越智裕之、中村行宏

「ディペンダブル粗粒度再構成アーキテクチャ設計のための耐故障性評価環境」

DA シンポジウム 2008 優秀発表学生賞 (2009 年 8 月)

更田裕司、橋本昌宜、密山幸男、尾上孝雄

「タイミングエラー予告を用いた適応的速度制御におけるタイミングエラー頻度と消費電力のトレードオフ解析」

IEEE 関西支部 学生研究奨励賞 (2010 年 3 月)

更田裕司

情報処理学会関西支部大会学生奨励賞 (2010 年 9 月)

渡邊良二、姚駿、中田尚、嶋田創、中島康彦(奈良先端大)

「サイクルレベルの空間及び時間冗長化技術を融合させた高信頼プロセッサの提案」

DA シンポジウム 2009 優秀発表学生賞 (2010 年 9 月)

今川隆司、廣本正之、高永 勲、Dawood Alnajjar、密山幸男、越智裕之、佐藤高史

「柔軟な信頼性を実現する再構成可能アーキテクチャのための配置配線ツール」

DA シンポジウム 2009 優秀発表学生賞 (2010 年 9 月)

砂川洋輝、土谷亮、小林和淑、小野寺秀俊

「チップ内ばらつきが順序セルの動作特性に与える影響」

IEEE 関西支部 学生研究奨励賞 (2011 年 2 月)

Dawood Alnajjar, Y. Ko, T. Imagawa, H. Konoura, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye,

“Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability”

IEEE 関西支部 学生研究奨励賞 (2011 年 2 月)

Jun Furuta, Chikara Hamanaka, Kazutoshi Kobayashi, Hidetoshi Onodera

“A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element”

VDEC Design Award (2011 年 5 月)

古田潤

「SEU と MCU, SET パルス幅を同時に測定可能なソフトエラー評価回路」

IEEE 関西支部 学生研究奨励賞 (2012 年 2 月)

Islam A.K.M Mahfuzul

“Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation”

電子情報通信学会学術奨励賞 (2012 年 3 月)

藪内美智太郎

「RTN モデルを用いた NBTI 劣化解析手法の検討」

第 24 回 回路とシステムワークショップ 奨励賞 (2012 年 8 月)

川島潤也、越智裕之、筒井弘、佐藤高史

「エネルギー最小化と動作保証を考慮したサブスレッショルド回路の設計指針の検討」

DA シンポジウム 2011 優秀発表学生賞 (2012 年 8 月)

亀田敏広、郡浦宏明、密山幸男、橋本昌宜、尾上孝雄
「スキャンパスを用いた NBTI 劣化抑制に関する一検討」

VDEC Design Award (2012 年 8 月)

Islam A.K.M Mahfuzul

「P/N ばらつきモニタを用いたチップ間およびチップ内ばらつきの自律補償回路」

IEEE CASS Shikoku Chapter Best Paper Award (2012 年 9 月)

Hiroshi Fuketa, Masanori Hashimoto, Yukio Mitsuyama and Takao Onoye

“Transistor Variability Modeling and its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits“

RASEDA-10 “Jury’s Special Award” (2012 年 12 月)

SinNyoung KIM, Akira Tsuchiya, Hidetoshi Onodera

“Dual-PLL based on temporal redundancy for radiation-hardening”

IEEE 関西支部 学生研究奨励賞 (2012 年 12 月)

西澤 真一

“Ring Oscillator with Calibration Circuit for Accurate On-Chip IR-Drop Measurement”

IEEE Electron Devices Society Japan Chapter Student Award (2013 年 2 月)

Takashi Matsumoto

“Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty under Low Voltage Operation”

電子情報通信学会学術奨励賞 (2013 年 3 月)

古田潤

「ソフトエラーによる多ビットエラーのラッチ間距離依存性の評価」

IEICE VLD Excellent Student Author Award for ASP-DAC (2013 年 3 月)

Michihiro Shintani and Takashi Sato,

“An Adaptive Current-Threshold Determination for IDDQ Testing Based on Bayesian Process Parameter Estimation”

IEEE 関西支部 学生研究奨励賞 (2013 年 3 月)

Junya Kawashima, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato,

“A Design Strategy for Sub-Threshold Circuits Considering Energy-Minimization and Yield-Maximization”

②マスコミ(新聞・TV等)報道

日刊工業新聞 8 月 10 日「放射線に強い電子回路」にて本プロジェクトの研究内容と研究成果が紹介された。

③その他

なし

(6)出口活動(成果展開の状況)

①実用化に向けての展開

(1)実用化展開1.「チップ内ばらつきの成分分離技術開発」(ロバストファブリックグループ)

経済産業省からの委託により STARC が実施した 2008 年度 次世代回路アーキテクチャ技術開発事業に採択され「特性のばらつきや経年劣化を克服する回路方式の検討」を実施した。この事業において、チップ内特性ばらつきの成分解析を行うためのテスト回路を 65nm プロセスにて開発し、分析結果を示した。更なる実用化展開に向けて、研究成果をカタログ化して STARC の Web にて公開している。

(2)実用化展開2.「ばらつき耐性の高いフリップフロップの開発」(ロバストファブリックグループ)

経済産業省からの委託により STARC が実施した 2009 年 次世代回路アーキテクチャ技術開発事業に採択され、「低電圧安定動作を実現する回路設計技術の開発」を実施した。この事業において、チップ内ばらつき耐性の高いフリップフロップを 65nm プロセスにて開発した。ファブが提供するフリップフロップに比べて、遅延特性のばらつき量が 1/2 以下に削減されることを確認した(電源電圧 0.7V 時)。更なる実用化展開に向けて、研究成果をカタログ化して STARC の Web にて公開している。

(3)実用化展開3.「ばらつき、環境変動を許容する適応的速度制御技術」(再構成アーキテクチャグループ)

経済産業省からの委託により STARC が実施した 2008 年 次世代回路アーキテクチャ技術開発事業に採択され、「ばらつき、環境変動を許容するサブスレッショルド回路の試作」を実施した。この事業において、本研究で開発したばらつき、環境変動を許容する適応的速度制御技術を 32 ビット加算器に適用し、65nm プロセスにて実装した。製造ばらつき、環境変動の最悪ケースでも動作するようにマージンを設定した場合と比べ、46%の消費電力削減を達成した。更なる実用化展開に向けて、研究成果をカタログ化して STARC の Web にて公開している。

(4)実用化展開4.「グリッド制約を満足し製造性を確保したスタンダードセルレイアウト生成手法の開発」(ロバストファブリックグループ)

・経済産業省からの委託により STARC が実施した次世代回路アーキテクチャ技術開発事業に採択され、「低電圧安定動作を実現する回路設計技術の開発」を実施した。この事業において 40nm プロセス用スタンダードセルを開発し、ファブ提供のライブラリとの特性比較を行った。開発技術の概要について、半導体関連会社の技術者を対象として東京と大阪で開催された成果報告会にて報告した。更なる実用化展開に向けて、研究成果をカタログ化して STARC の Web にて公開している。

・超低電圧デバイス技術研究組合(LEAP)との間で、低ばらつき SOI トランジスタを用いたライブラリの開発に関する共同研究を実施している。

(5)実用化展開5.「中性子起因ソフトウェアの特性評価」(再構成アーキテクチャグループ)

・富士通セミコンダクタ社、九州大学と、秘密保持契約を結んで、ソフトウェアの物理的現象解明やエラー耐性強化方法について協業している。

・超低電圧デバイス技術研究組合(LEAP)との間で、低ばらつき SOI トランジスタのソフトウェア耐性評価に関する共同研究を実施している。

(6)実用化展開6.「耐ソフトウェアFF」(再構成プロセッサグループ)

・本研究で得られた耐ソフトウェアFFについて、2011 年6月に米国において特許申請を行った。

・本FFを安浦チームに提供し、高信頼性VLSIを設計するために使用されている。研究成果は現在発表準備中である。

・本研究で特許を出願したBCDMR FFを国プロで開発を進めているLEAP SOTBで実装し、その成果を技術移転する予定である。

・BCDMR FF を基礎とした共同研究を STARC に提案した(H24 年度)。採択されれば本 FF を含んだ対ソフトウェア技術の実用化への第一歩となる。

②社会還元的な展開活動

・ロバストファブリックの研究成果を用いて、製造容易性を考慮したスタンダードセルライブラリを 180nm プロ

セスにて作成した。VDEC を通じて公開している。早稲田大学、東京工業大学、大阪大学、三重大学、京都大学等で実際のチップ試作に活用されている。

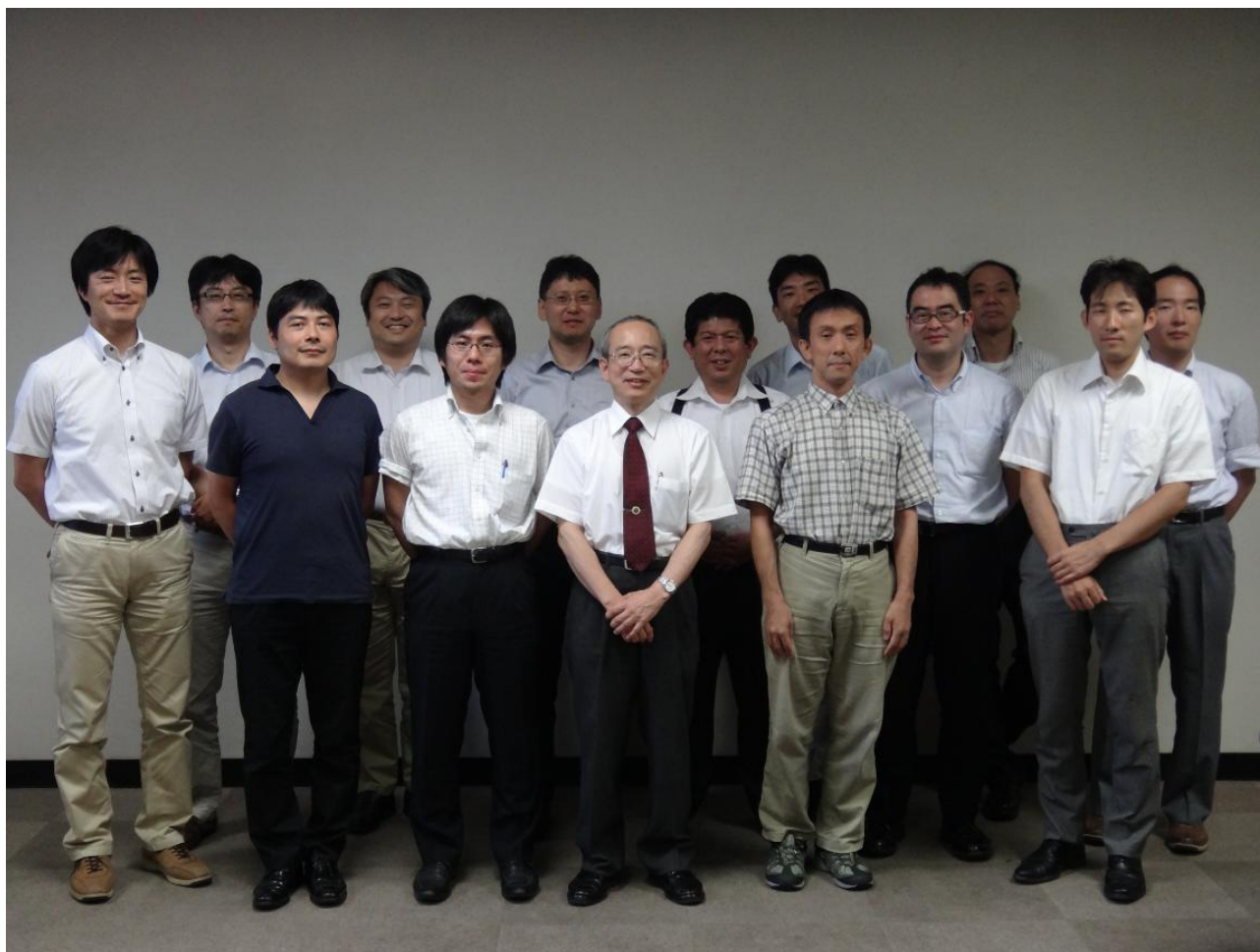
- 再構成プロセッサの研究において提案した DARA アーキテクチャの RTL 実装のうち、公開して支障がない部分を OpenDARA(<http://arch.naist.jp/pub/openDARA/>)として公開した。

§ 5. 研究期間中の主なワークショップ、シンポジウム、展示会、アウトリーチ等の活動

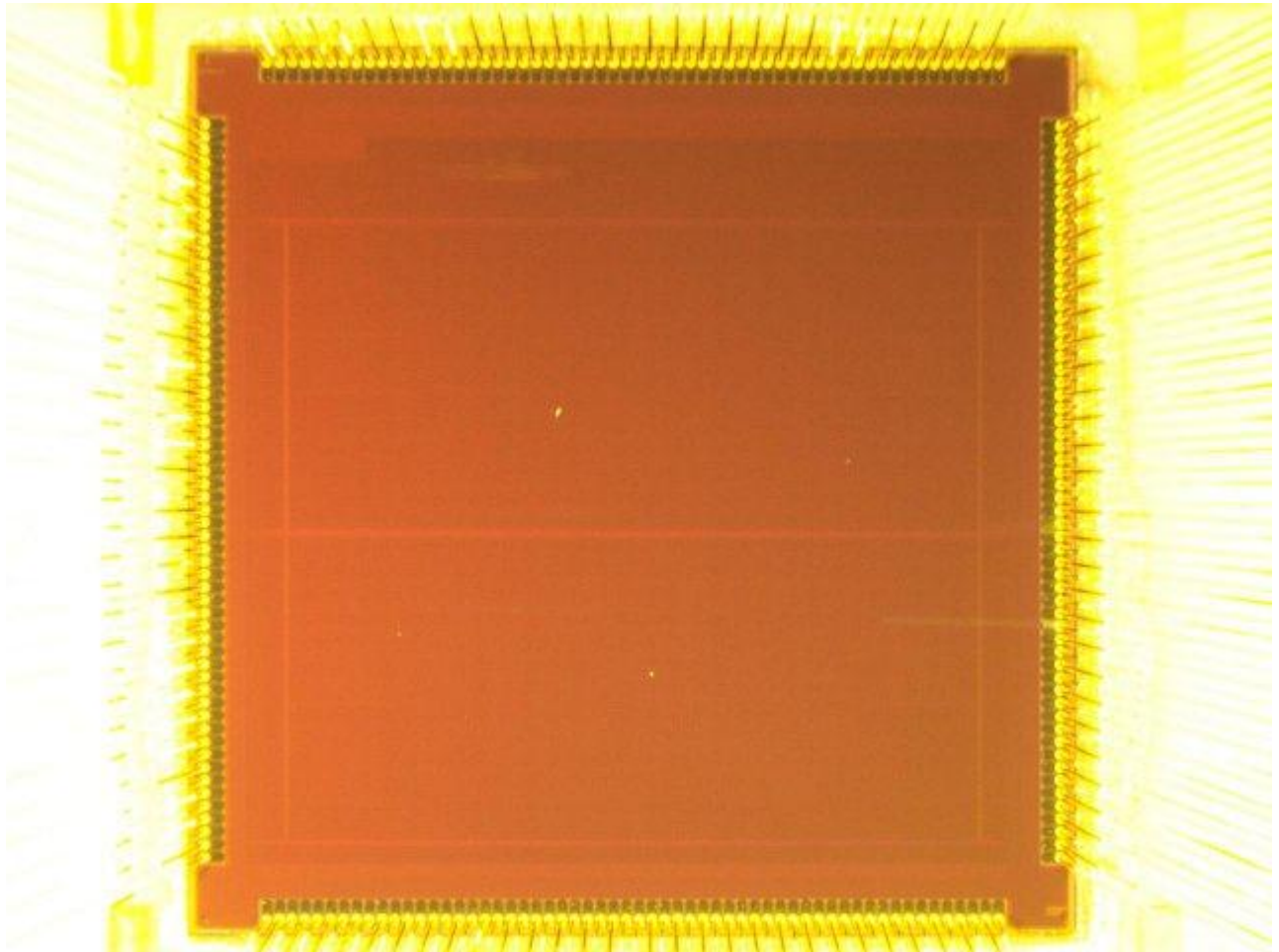
年月日	名称	場所	参加人数	概要
2008年11月13日	Workshop on Test Structure Design for Variability Characterization	San Jose	30名	ばらつきの評価技術に関する国際ワークショップ
2009年9月25日	第1回 VLSI ディペンダビリティの物理・デバイス・回路レベルテスト構造フォーラム(DVLSI領域内限定公開)	京都	24名	CREST DVLSI参加チーム間でテスト構造のチップ試作に関連した情報の共有を図るためのフォーラム
2009年11月5日	Workshop on Variability Modeling and Characterization	San Jose	30名	ばらつきのモデル化に焦点を絞った国際ワークショップ
2010年11月11日	Workshop on Variability Modeling and Characterization	San Jose	30名	ばらつきのモデル化に焦点を絞った国際ワークショップ
2011年9月8日	ソフトウェア勉強会	京都	30名	国内のソフトウェア研究者を一堂に集めた勉強会
2011年11月10日	Workshop on Variability Modeling and Characterization	San Jose	30名	ばらつきのモデル化に焦点を絞った国際ワークショップ
2012年8月27- 28日	ソフトウェア勉強会	福岡	45名	国内のソフトウェア研究者を一堂に集めた勉強会
2012年11月8日	Workshop on Variability Modeling and Characterization	San Jose	30名	ばらつきのモデル化に焦点を絞った国際ワークショップ

§ 6. 結び

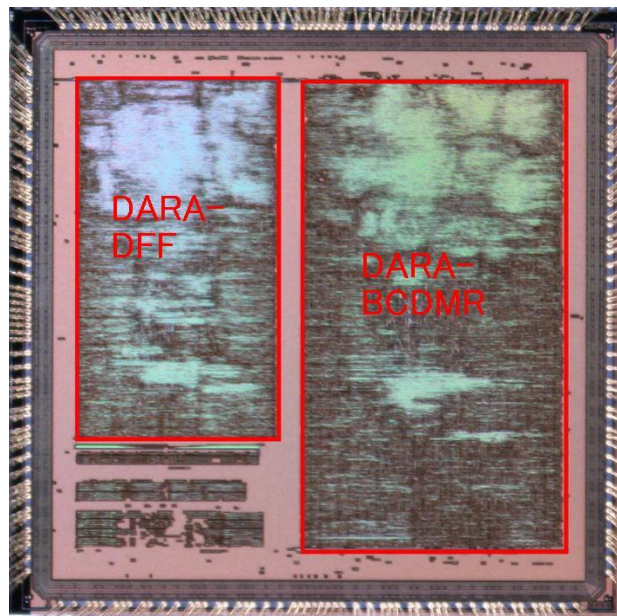
研究立案時より約 6 年間にわたり、「微細化に伴い発生する物理的フォールトによるディペンダビリティ低下」への挑戦を続け、その集大成としてディペンダブル VLSI プラットフォームとその評価環境を世に問う事ができました。CREST プロジェクトとしての研究支援に大変感謝しています。この成果を本研究課題の「到達点」とするだけでなく、更なる進展と実用化への通過点と考え、今後の研究展開を図ります。



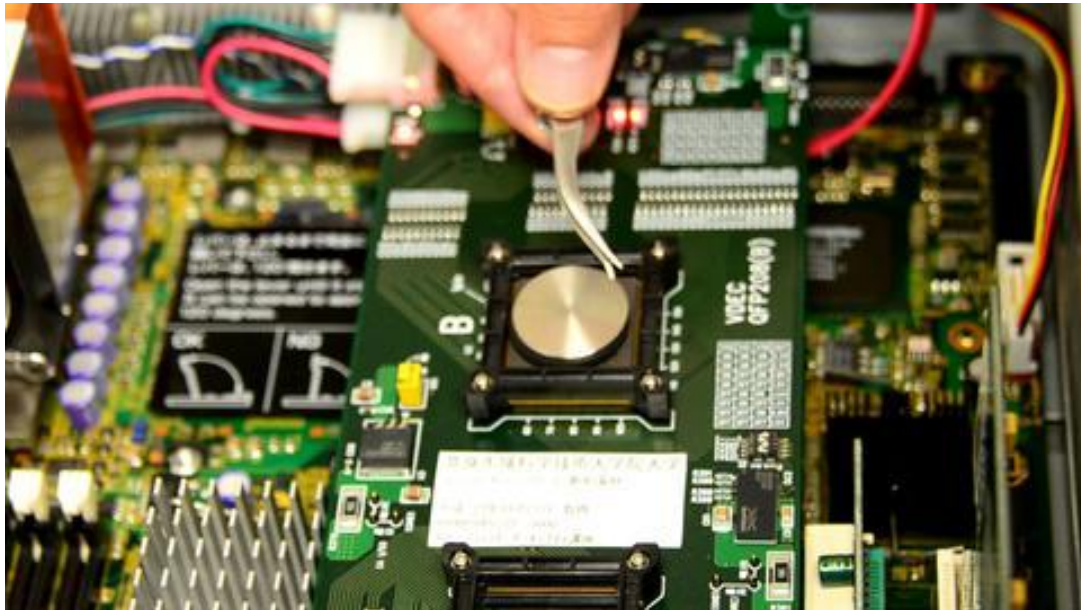
研究メンバー集合写真



開発したディペンダブル VLSI プラットフォーム SoC



DARA のチップ写真



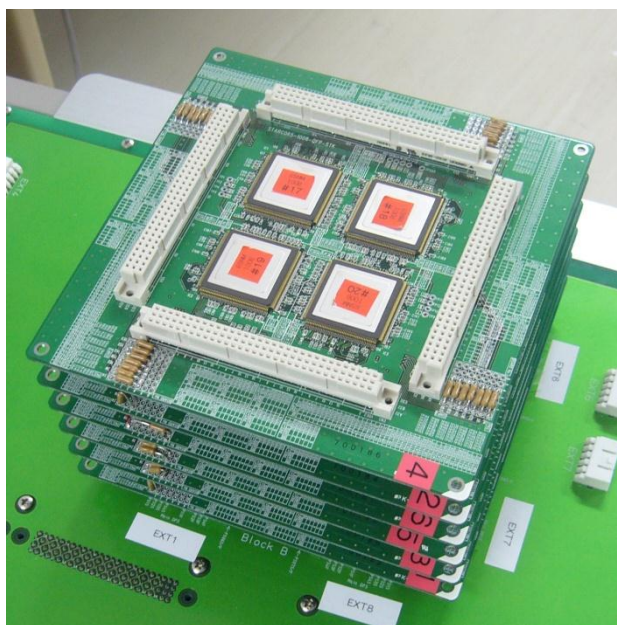
DARA の α 線照射評価実験風景



DARA の α 線照射下におけるプログラムの実行の様子



大阪大学核物理センターでの中性子照射実験の様子



中性子照射実験用積層 DUT ボード