

戦略的創造研究推進事業 CREST
研究領域「情報システムの超低消費電力化を
目指した技術革新と統合化技術」
研究課題「超低消費電力メディア処理 SoC の研究」

研究終了報告書

研究期間 平成18年10月～平成24年3月

研究代表者：後藤 敏
(早稲田大学大学院情報生産システム研究科・教授)

§ 1 研究実施の概要

(1) 実施概要

現在の情報通信技術ではテキスト、音声、静止画像、動画画像という様々なマルチメディア情報を扱っているが、データの種類、特性や重要度をほとんど考慮せず、一括して同じ処理方式を採用している。例えばマルチメディアデータ伝送を行う際に、データの内容に関わらず、データ圧縮を行い、暗号化し、誤り訂正符号化を個々に行ってデータを処理する方式が取られている。各処理を独立した異なるハード機器を用いて実行するために、無駄な計算処理、ハードウェア機器の増加、ソフトウェア処理の増大化を招き、全体の電子機器の規模が増加し、消費電力を大幅に低減できない状況となっている。また、メディアの多様化と大容量化に伴い、従来の延長上の技術では、処理するための消費電力が指数関数的に増加してしまうために、革新的な技術の開発が望まれている。

超低消費電力メディア処理 SoC の実現のため、画像、暗号、誤り訂正符号の各方式の最適な負担およびアルゴリズム最適化手法、さらにはハードウェア・ソフトウェア実装最適化手法を融合させ、従来技術と比較して 1/100 の電力削減を図ることを目標に掲げて研究を進めた。**(1)方式・アルゴリズムレベル**では、メディア処理で最も計算量を必要とする画像圧縮問題に取組み、画像の動きを予測し、必要な演算量に応じてプロセッサの周波数を動的に変化させる方式を考案してマルチコアシステム上に実装し、監視系システムへの応用において消費電力を平均 46%、最大 78%削減することができた。また、TV 会議では RoI(Region of Interest)方式を導入し、RoI(顔)の領域を精度よく検出・圧縮することにして、RoI 以外の部分は品質を落とし、RoI 部分は高品質に保つ手法を取り入れることでエンコーダの演算量を平均で 76%削減した。更に、画像センサー向け移動物体追跡に関して、KLT Tracker の並列処理アルゴリズムを IMAP CAR 上に実装した。その結果 640×240 の画像を 30fps で処理でき、PC 比で大幅な電力性能向上を確認した。**(2)チップ試作**では、動画画像符号化／復号化、誤り訂正符号、暗号を対象に LSI を試作し電力消費を大幅に削減した。動画画像符号化ではハイビジョン(H.264)対応のエンコーダ LSI を開発し、過去の最良なものと比較し約 50%の電力削減を行った。動画画像復号化に関しては 4096x2160 対応(H.264)デコーダ LSI を試作し、従来比で約 60%の電力削減を確認した。誤り訂正符号では LDPC 方式を対象にした LDPC デコーダ LSI を開発し、従来比で約 90%の電力削減が行えた。また暗号では AES 暗号 LSI を開発し、約 50%の電力削減を確認した。**(3)ハードウェア指向設計**では乗算器や除算器を含むデータパスの電力の最適化手法、クロック信号を含めて使用されていない回路部分の電力をゲーティングする方式の最適化と微細プロセスにおける評価、高位レベルでの電力最適化のためのスケジューリング、シェアリング手法の詳細化、電源電圧最適化による低消費電力フロアプラン、ネットワークオンチップ(NoC)の低電力化、プロセッサコアの低電力化により、全体として約 50%の電力削減ができた。**(4)ソフトウェア指向設計**ではマルチメディア用途向けプロセッサを開発、その上に搭載されるソフトウェアによって低消費電力化を図ることを目指した。とりわけ高速な H.264/AVC エンコーダの画面内予測手法を提案、VLIW 型プロセッサ上で並列処理実現手法を実現することで消費エネルギーを最大 75% (平均 62.88%) 削減することに成功した。**(5)ルネサスグループ(旧 NEC グループ)**では、早稲田大学グループで開発された人物検出のための低演算量画像認識アルゴリズムを STP 搭載組込プラットフォーム XBridge へ実装し、XBridge 評価ボードによる電力評価を実施した。デスクトップ PC(Core2Duo@3GHz)上にも同じアルゴリズムをソフトウェアとして実装し電力評価を実施した。双方のプラットフォームで画像 1 枚の人抽出処理に要する消費エネルギーを比較した結果、消費エネルギーで比較した場合には XBridge は全体で 97.6%削減、またプロセッサ部分だけの消費エネルギーで比較した場合には 96.5%の削減を達成した。

メディア処理は様々な応用分野があり、かつ応用に特化した基盤技術があるため、全体を通しての消費電力化をシステムとして実現し評価することは難しいが、5 年前のプロジェクト開始当時に得られた最良の結果と比べて、

(1) 画像圧縮システムでは開発した独自の圧縮アルゴリズムをクロック周波可変なマルチコアシ

システム上にソフトウェアで実装したものでは、消費電力を約 78%まで削減できた。本プロジェクトで開発したエンコーダ LSI は従来比で 50%、デコーダ LSI では 60%の電力が削減できたことから、ハードウェア化を行うことで、画像圧縮システムでは、従来比で約 1/10 まで電力を削減できたと言える。

(2) 画像圧縮・伸長、暗号、符号化というマルチメディアの一連の処理を行った場合、画像圧縮・伸張処理が全体の9割を占めることから、暗号や符号化がそれぞれ 50%、90%の電力削減ができたことを考慮すると、メディア処理全体で、約 1/10 に電力削減ができたと言える。

(3) 低電力基盤設計として開発したクロックゲーティング、パワーゲーティング、フロアプラン、高位設計、NoC の各設計技術は、部分的に組み込むことで低消費電力化を実証した。全てをメディア処理全体に組み込んだ実証はできなかったが、もし組み込んだシステムが稼働すれば、約 1/10 が更に 1/20 まで削減できると予想される。

(4) 特定の応用問題である人物検出では、独自のアルゴリズムを動的再構成プロセッサに実装することにより、消費エネルギーでインテルプロセッサと比較し、約 1/40 まで削減でき、アルゴリズムでの削減効果を加味すると約 1/100 の削減ができたと言える。

(2) 顕著な成果

1. 低消費電力ビデオエンコーダシステム

概要:

マルチコアプロセッサ上に独自に開発した動き差分方式に基づくビデオエンコーダを実装し、必要な演算量に基づき、各コアの周波数(電圧)を動的に変化させる制御方式を組み込んだシステムを試作した。従来方式に比べて、平均で 48%、最良で 78%の電力削減を達成した。ICME2010 国際会議で発表し(60)、SPIC(2011年3月号)に掲載された。また ISLPED2011 や ICME2010 でデモ展示を行い、ISOC2010 会議で優秀論文賞を受賞した(43)。

2. 4kx2kビデオデコーダ LSI

概要:

4096x2160 対応の H.264 ハイプロファイル復号 LSI を開発し、60 枚/秒を処理し、従来比で約 60%の電力削減を行うことができた。IEEE VLSI Symposium2010 で発表し(63)、IEEE JSSC(2011年4月号)に掲載された(24)。ISPLED2010 で優秀デザイン賞、VLSI Symposia2011 で最優秀学生論文賞を受賞した。

3. 人物検出の STP エンジン

概要:

早稲田大学で開発した人物検出アルゴリズムをルネサスが担当して、PC(Core2Duo@3GHz)と STP(動的再構成プロセッサ:Stream Transpose)上に実装し、消費エネルギーを実測した。PCと比較して約 98%のエネルギー削減を行うことを実証することができた。ISLPED2011 を含め多数のデモ展示を行った。

§ 2. 研究構想

(1) 当初の研究構想

現在の情報通信技術ではテキスト、音声、静止画像、動画像という様々なマルチメディア情報を扱っているが、データの種類、特性や重要度をほとんど考慮せず、一括して同じ処理方式を採用している。例えばマルチメディアデータ伝送を行う際に、データの内容に関わらず、データ圧縮を行い、暗号化し、誤り訂正符号化を個々に行ってデータを処理する方式が取られている。各処理を独立した異なるハード機器を用いて実行するために、無駄な計算処理、ハードウェア機器の増加、ソフトウェア処理の増大化を招き、全体の電子機器の規模が増加し、消費電力を大幅に低減できない状況となっている。例えば、テキストデータと動画像データでは異なる圧縮方式を用い、暗号化方式を変え、異なる誤り訂正符号化方式を採用すれば、高い伝送品質を保ちながら、高い安全性を保ち、処理の無駄を大幅に低減できる可能性が非常に高い。本研究では、メディア情報処理に焦点を当て、統合的な観点から従来の処理方式を基本から見直し、アルゴリズムからハード/ソフト協調設計までをカバーした革新的技術を開発し、消費電力を従来の方式と比較して 1/100 に低減することを目標として研究を進めた。

アルゴリズム面では、従来は個々に独立して開発され、製品化されてきた画像処理、暗号処理、符号化処理を基本的な方式から見直し、3つの処理を融合して品質を保ちつつ極限まで無駄を排した統合方式を考案することで、**演算量を従来比で 1/10 に削減することを目標とした**。ハード/ソフト協調設計では、上記で開発したアルゴリズムをハードウェア部とソフトウェア部に切り分けた後に、両者に対して徹底的な低消費電力化を図った。ハードウェア面からは低消費電力向けアーキテクチャの最適化を行うために高位合成機能とフロアプラン機能を融合した新合成エンジンを開発し、SoC のチップ性能を保証しながら、**1/10 の低消費電力化を達成することを目標とした**。ソフト面からは、必要最低限な命令だけから構成されるコンフィギャラブルプロセッサを開発し、さらに最適化コンパイラとの組み合わせにより消費電力の削減を行うことを目標とした。以上の技術開発により従来技術では到達できない **1/100 の超低消費電力化を可能にすることを目標として研究を進めた**。

(2) 新たに追加・修正など変更した研究構想

研究を進めている段階で、開発する低消費電力の技術とその削減の効果を明確にするために研究内容を修正・追加した。

方式・アルゴリズム・実装では具体的なアプリケーションに対して開発した低消費電力技術を適用することで技術の優位性を具体的に示すために、**アプリケーションとして監視系システムを設定して、マルチコアシステム上に独自のアルゴリズムに基づく動画監視システムを開発し、デモで実演できるまで完成度を高め、低消費電力化を実証して見せることとした**。

また、アルゴリズムを開発し、コンピュータシミュレーションを行うことで大幅な演算量削減を示す結果が得られたが、消費電力の削減を示すには説得力がないと考え、**基本的な機能に対して LSI チップ(動画エンコーダ LSI、動画デコーダ LSI、LDPC 誤り訂正 LSI、AES 暗号 LSI)の設計を行い、画像 LSI ではチップ試作まで行った**。開発したチップをボード上に搭載し、消費電力測定を実機で行うことで、低消費電力化技術の実証を行うこととした。

ハードウェア指向設計では従来のフロアプランや高位設計での技術開発に加えて、新アーキテクチャとその実装方式の研究を追加することで、**ネットワーク・オン・チップとプロセッサコアの低消費電力化を実証することとした**。

ソフトウェア指向設計においても、具体的なアプリケーションとして、**画像向けプロセッサを取り上げ、既存のプロセッサとの比較をすることで、低消費電力化を実証することとした**。

また、平成 21 年度からの 2 年間では、社会還元促進としてルネサスグループが新たなチームとして加わることとなり、早稲田大学で考案した人物検出のアルゴリズムが実際に低消費電力化に貢

献していることを示すこととした。具体的には動的再構成プロセッサ(STP)上に、開発したアルゴリズムを実装して、消費エネルギーをPCとSTPプロセッサと比較して、1/10にする目標で研究を進めることとした。

§ 3 研究実施体制

(1) 早稲田大学グループ：

① 研究参加者

氏名	所属	役職	参加期間
後藤 敏	情報生産システム研究科	教授	H18. 10～
吉村 猛	情報生産システム研究科	教授	H18. 10～
木村 晋二	情報生産システム研究科	教授	H18. 10～
池永 剛	情報生産システム研究科	教授	H18. 10～
渡邊 孝博	情報生産システム研究科	教授	H19. 4～
柳澤 政生	基幹理工学部電子光システム学科	教授	H18. 10～
戸川 望	基幹理工学部情報理工学科	教授	H18. 10～
大附 辰夫	基幹理工学部情報理工学科	教授	H18. 10～H23. 3
陳 松	情報生産システム研究科	助教	H21. 4～
史 又華	基幹理工学部情報理工学科	助教	H20. 4～
金 欣	IT 研究機構	次席研究員	H20. 9～
松永多苗子	IT 研究機構	研究助手	H22. 4～
劉 振宇	IT 研究機構	客員講師	H19. 4～H21. 3
清水 一範	情報生産システム研究科	D 3	H18. 10～H19. 3
宋 楊	情報生産システム研究科	助手	H18. 10～H20. 3
范 益波	情報生産システム研究科	助手	H18. 10～H21. 3
小原 俊逸	理工学部	助手	H18. 10～H20. 3
大智 輝	理工学部	助手	H19. 4～H21. 3
陳 振興	情報生産システム研究科	助手	H19. 5～H23. 3
黄 異青	情報生産システム研究科	助手	H19. 10～H22. 3
臧成杰	情報生産システム研究科	D 4	H18. 10～H22. 3
李 申	情報生産システム研究科	D 3	H18. 10～H19. 9
将 梅芳	情報生産システム研究科	D 3	H18. 10～H22. 3
張 天若	情報生産システム研究科	D 3	H19. 10～H23. 9
陳 磊	情報生産システム研究科	D 3	H20. 4～H23. 3
魏 湘輝	情報生産システム研究科	D 3	H20. 4～H21. 3
葛 良偉	情報生産システム研究科	D 2	H18. 10～H20. 3
劉 欽	情報生産システム研究科	D 2	H19. 4～H21. 3
広津 良	基幹理工学部	D 2	H19. 4～H21. 3
奈良 竜太	基幹理工学部	D 2	H19. 4～H21. 3
Xing Weijie	情報生産システム研究科	D 2	H20. 4～H23. 3
周 大江	情報生産システム研究科	D 2	H20. 4～H23. 3
唐 紹鵬	情報生産システム研究科	D 2	H20. 4～H23. 3
関 昭	情報生産システム研究科	D 2	H20. 10～H23. 3
Dmitriev Ivan	情報生産システム研究科	D 1	H18. 10～H20. 3
王 軍	情報生産システム研究科	D 1	H19. 5～H21. 3
谷村 和幸	基幹理工学研究科	D 1	H20. 4～H21. 3
蘇 佳	情報生産システム研究科	D 1	H20. 4～H22. 3

王 明暉	情報生産システム研究科	D1	H20. 10～H23. 3
彭 霄	情報生産システム研究科	D1	H21. 4～H23. 3
劉 紅英	情報生産システム研究科	D1	H21. 4～H23. 3
関 昭	情報生産システム研究科	D1	H21. 4～H23. 3
張 藝蒙	情報生産システム研究科	D1	H21. 10～H22. 3
賀 迅	情報生産システム研究科	D1	H22. 4～H23. 3
阿部 裕太	情報生産システム研究科	M2	H19. 5～H20. 3
田島 直樹	情報生産システム研究科	M2	H19. 5～H20. 3
牛木 慎祐	情報生産システム研究科	M2	H19. 5～H22. 3
季 ウン	情報生産システム研究科	M2	H20. 4～H21. 3
庄 岩	情報生産システム研究科	M2	H20. 4～H21. 3
尤 雲崎	情報生産システム研究科	M2	H20. 4～H21. 3
唐 文明	情報生産システム研究科	M2	H20. 4～H21. 3
王 磊	情報生産システム研究科	M2	H20. 4～H21. 3
周 佳琛	情報生産システム研究科	M2	H20. 4～H21. 3
田 貴芬	情報生産システム研究科	M2	H20. 4～H21. 3
湯 逸純	情報生産システム研究科	M2	H20. 4～H21. 3
坂寄 貴宏	情報生産システム研究科	M2	H20. 4～H21. 3
銭 国鈺	情報生産システム研究科	M2	H20. 10～H22. 3
劉 震	情報生産システム研究科	M2	H20. 10～H21. 3
黄 天賜	情報生産システム研究科	M2	H20. 10～H22. 3
呉 水炯	情報生産システム研究科	M2	H20. 10～H22. 3
邱 靖邦	情報生産システム研究科	M2	H20. 10～H22. 3
周 金佳	情報生産システム研究科	M2	H20. 10～H23. 3
鄭 哲文	情報生産システム研究科	M2	H20. 10～H22. 3
王 炳融	情報生産システム研究科	M2	H20. 10～H23. 3
郭 成嬌	情報生産システム研究科	M2	H20. 10～H23. 3
金 小聡	情報生産システム研究科	M2	H20. 10～H23. 3
孫 磊	情報生産システム研究科	M2	H20. 10～H23. 3
陸 穎	情報生産システム研究科	M2	H20. 10～H23. 3
陳 志翔	情報生産システム研究科	M2	H21. 4～H23. 3
趙 雄心	情報生産システム研究科	M2	H21. 4～H23. 3
包 雪娜	情報生産システム研究科	M2	H22. 4～H23. 3
仲 維	情報生産システム研究科	M2	H22. 4～H23. 3
宋 柳	情報生産システム研究科	M2	H22. 4～H23. 3
俞 文心	情報生産システム研究科	M2	H22. 4～H23. 3
冷 杰	情報生産システム研究科	M2	H22. 4～H23. 3
曾 倬穎	情報生産システム研究科	M2	H23. 4～H23. 9
費 威	情報生産システム研究科	M2	H23. 4～H23. 9
陳 威	情報生産システム研究科	M2	H23. 4～H23. 9
田村 亮	基幹理工学研究科	M1	H20. 4～H21. 3
長島 諒侑	基幹理工学研究科	M1	H20. 4～H21. 3
河根 広大	情報生産システム研究科	M1	H20. 10～H21. 3

佐々木 毅	情報生産システム研究科	M1	H20. 10～H22. 3
周 穎	情報生産システム研究科	M1	H21. 4～H23. 3
刑 月穎	情報生産システム研究科	M1	H21. 4～H23. 3
巴 堃	情報生産システム研究科	M1	H22. 4～H23. 3
崔 穎	情報生産システム研究科	M1	H22. 4～H23. 3
謝 騫	情報生産システム研究科	M1	H22. 4～H23. 3
李 岩	情報生産システム研究センター	嘱託	H22. 10～H23. 3
張 曉林	情報生産システム研究科	D 3	H21. 4～
叶 炯耀	情報生産システム研究科	D 3	H21. 4～
満 欣	情報生産システム研究科	D 2	H21. 10～
Beaugendre Axel	情報生産システム研究科	D 1	H22. 10～
江 寧	情報生産システム研究科	D 1	H22. 4～
金 予	情報生産システム研究科	D 1	H22. 4～
李 牧宸	情報生産システム研究科	D 1	H23. 4～
徐 玖	情報生産システム研究科	M2	H23. 4～
口 逸超	情報生産システム研究科	M2	H23. 4～
泉 正恵	IT 研究機構	研究補助員	H21. 8～

②研究項目

超低消費電力メディア処理 SoC の研究

(2)ルネサスグループ

①研究参加者

氏名	所属	役職	参加期間
栗島 亨	ルネサスエレクトロニクス株式会社 SOC 第一事業本部	チームマネージャ	H21. 10～H23. 3
本村 真人	NEC システム IP コア研究所	部長	H21. 10～H22. 3
梶原 信樹	ルネサスエレクトロニクス株式会社 SOC 第一事業本部	シニアデザインエンジニア	H21. 10～H23. 3
犬尾 武	ルネサスエレクトロニクス株式会社 SOC 第一事業本部	シニアデザインエンジニア	H21. 10～H23. 3
西野 賢悟	ルネサスエレクトロニクス株式会社 SOC 第一事業本部	担当	H21. 10～H23. 3

②研究項目

プログラマブルハードウェアを用いた低電力メディア処理の研究

§ 4 研究実施内容及び成果

4. 1 超低消費電力メディア処理 SoC の研究(早稲田大学グループ)

(1)研究実施内容及び成果

「方式・アルゴリズム・SoC 設計技術の研究」:

① 研究のねらい

メディア情報処理システムの超低消費電力化実現のために、画像、暗号、誤り訂正符号の各方式の最適な分担とアルゴリズムの最適化、及び、ハードウェア実装とソフトウェア実装の各観点からの最適化を図り、超低消費電力 LSI チップを開発した。他の研究課題での研究成果をも活用することで、従来技術と比較して 1/10 の電力削減を図ることで研究を進めた。

② 研究実施方法

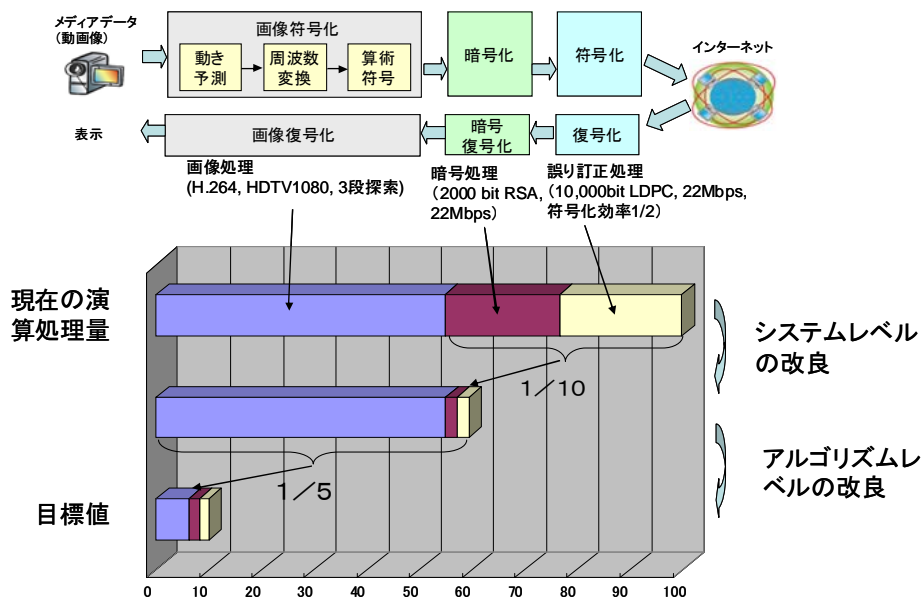


図1. システム・アルゴリズムレベルの全体図と目標

図1はメディア情報処理の流れとシステム・アルゴリズム・SoC が目指している目標値である。システムレベル(基本方式)では、従来個別に最適化されていた画像処理、暗号処理、符号化処理を、メディア情報の重要度に応じて一体化させる方式を検討し、統合的観点から消費電力を削減する方式の開発を進めた。アルゴリズムレベルでは、画像符号化/復号化、暗号化/復号化、符号化/復号化の個々の要素についてアルゴリズムの演算量の削減を図ると同時に、低消費電力化に向けてアーキテクチャとハードウェア実装面から低消費電力化を図った。

特に、メディア処理において最も演算量と消費電力を費やす動画圧縮通信システムに焦点を当て、そのコアとなる H.264 エンコーダとデコーダの低消費電力化を行うこととした。

③ 当初の研究計画に対する研究成果

●超低消費電力メディア処理の統合化方式の開発

画像処理、暗号処理、符号化処理等の領域を統合する方式として、メディア情報の重要度に応じて、暗号強度や誤り訂正能力を適応的に変化させ、統合的観点から消費電力を削減する方式

の検討を継続して進めた。暗号処理と動画圧縮処理(H.264)を一体化する方式として、画像の重要部分には暗号強度の強い「AES」を、非重要部分には暗号強度の弱い「ストリーム暗号」を適用する手法を提案し、すべてを AES で暗号化する場合に比べて、50%~83%の計算量を削減した(原著国際 64)。誤り訂正と画像処理を一体化する方式として、画像の重要部分には訂正能力の強い「1/2 の符号化率をもつ LDPC」を、非重要部分には訂正能力の弱い「2/3 の符号化率をもつ LDPC」を適用し、均一な符号化率を持つ場合に比べ、消費電力を 25%~56%削減することができた(原著国際 30)。情報の内容に重要度の考えを導入し、重要度に応じて演算量を削減するという方式は過去に例がなく、新規性のあるものと学会で評価された。

●メディア処理アルゴリズムの開発

メディア処理の高効率アルゴリズムの開発を行い、品質を保つもとの、演算量を削減した。H.264 エンコーダ LSI のさらなる低消費電力化を図るため、エンコーダ処理を切り分け、低演算量化・低消費電力化が可能なハードウェアアルゴリズム構成法、LSI アーキテクチャ構成法の検討を進めた。エンコーダの中で特に大きな演算量を占め、電力消費の主な要因となっている処理は、IME(整数画素精度動き予測処理)、FME(少数画素精度動き予測処理)、Inter/Intra モード選択処理の3つとなっており、90%以上の演算量を占めている。特にこれらの低演算量化を図った。IME に関しては、画質を落とすことなく30%~60%の演算量を削減し、FME については、72%~91%の演算量を削減し、Inter モードは 33%~66%の演算量削減を図った(口頭国際 49)。この結果、H.264 エンコーダの多くを占める処理に対して、30%~60%の低演算量化/低消費電力化が行えた(口頭国際 130,原著国際 67,79)。

デコーダ LSI の低消費電力化を図るために、アルゴリズムの開発をおこなった。低消費電力化ではデコーダエンジンよりは DRAM メモリバンド幅の削減が効果的であることから、部分的マクロブロック順序決定法、フレームのロスレス圧縮方式、2次元キャッシング処理による高速化技術を考案し、約38%のメモリバンド幅削減を行えた(原著国際 14,26,口頭国際 42)。

これら開発したアルゴリズムをもとに、組み込みプロセッサ上へのソフトウェアの搭載と LSI チップの試作を以下のように行った。

●超低消費電力画像圧縮処理方式の開発

監視システムや TV 会議という特定な使用場面を想定して、画像符号化の演算量を大幅に削減し消費電力を削減する実験システムを開発し評価を行った。監視システムではカメラは固定した位置にあり、また動きもフレーム間では激しく変化しないことに注目し、考案した動き差分検知方式をもとに、画像の動きを予測し、必要な演算量に応じてコアの周波数(電源電圧)を動的に変化させる機能を、4コアの組み込みマルチプロセッサに実装し、リアルタイムに消費電力を測定した(図 2 参照)。本方式を使わない方式に比べて、平均で 46%の電力削減、最良値では 78%の電力削減が行えた。

動き差分方式は従来にないユニークな画像エンコーダであり、かつマルチコアを動的に制御して、消費電力を削減する方法はオリジナルな成果として、国際会議と学術論文誌に掲載された(原著国際 16,口頭国際 30,32,37)。

また TV 会議では人が注目する部分には高精細な画像を、注目しない部分には画質を落とすという RoI(Region of Interest)方式を開発した。RoI としては人の顔を対象とし、複数人の顔でも対応可能なシステムである(図 3 参照)。RoI(顔)の領域を精度よく検出するアルゴリズムを考案し適用した。RoI 領域の画質は落とさず、RoI 以外の領域は画質を落とすことで、平均で 76%のエンコーダの演算量を削減した(原著国際 15,口頭国際 22,65)。

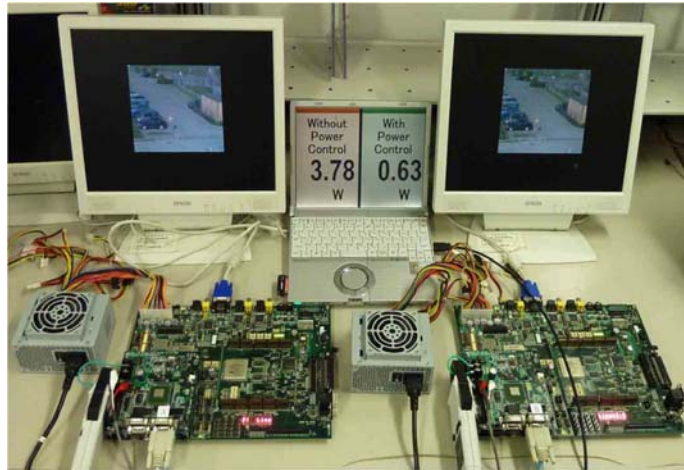


図 2. 低消費電力マルチコアベース画像エンコーダシステム

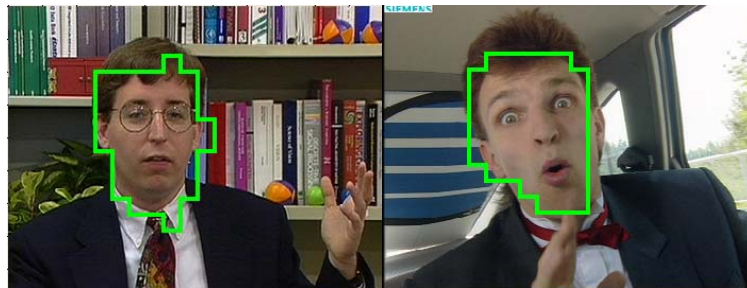
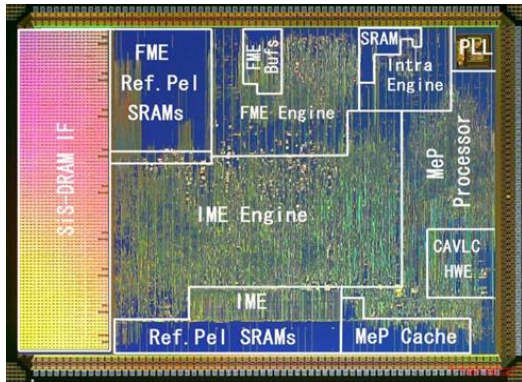


図 3. RoI による動画像エンコード方式

●超低消費電力メディア SoC の試作

最も消費電力でネックとなる画像圧縮・伸張処理に関して、SoC 試作を行い電力消費の削減を図った。

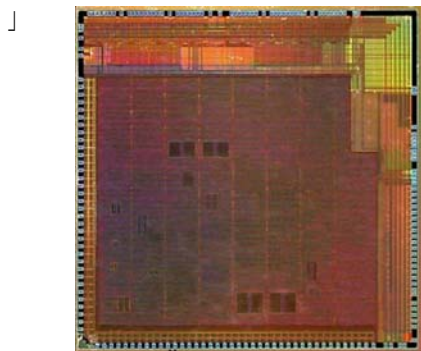
低消費電力化の目標達成のために、今まで蓄積してきた画像圧縮 LSI の知見・経験を駆使して、H.264 エンコーダ SoC の試作・評価を行った(図 4 参照)。フルハイビジョン(1080P)向けのフル H.264 エンコーダ SoC としては、世界で初めての成果である。ローパスフィルターを用いた整数画素動き予測処理エンジン、SiS (System-in-Silicon) DRAM 及びそれに基づくメモリアーキテクチャ、コンフィギャラブルプロセッサに基づく HW/SW 協調設計技術などの独自の技術を駆使している。評価により、27.1mm²で 1409mW となった。台湾大学より ISSCC2005 で発表された成果に比べて大きくなっているが、同じスペックで比較した場合、約 50%の低消費電力化が図れている事を確認した(原著国際 49,58,口頭国際 164)。



対象:H.264/AVC HDTV 1080p
フルハイビジョンエンコーダ
TSMC 18 μ m
5.44mmx4.98mm(=27.1mm²)
消費電力:1.41w(Core)
ゲート数:1.14M ロジックゲート、
SRAM:108KB

図 4. H.264 フルハイビジョン用エンコーダ LSI

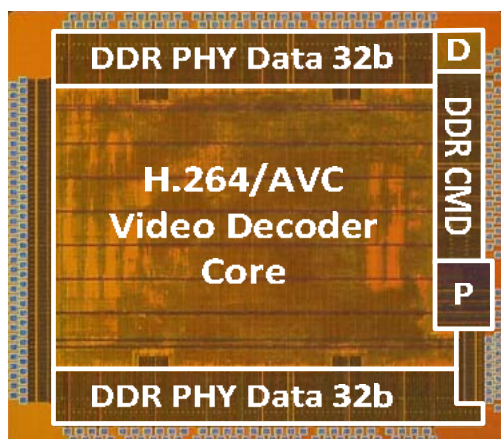
動画デコーダに関しては、H.264、MPEG、AVS という3種類のフォーマットに対応できるフルハイビジョン(1920x1080@60fps)向け復号 LSI を試作した(図 5 参照)。DRAM-SRAM 制御手法と2次キャッシュ方式を新たに考案し、メモリと復号チップ間のデータ転送を 50%まで削減し、チップの外部ピン数を従来の 140 ピンから 70 ピンまで削減し、システムとしての電力消費を 468mw で実現した。これは 2007 年の JSSC に発表されたチップに比べて 38%の電力削減を行えた(口頭国際 78)。



対象:H.264・MPEG・AVS 1080p
フルハイビジョンデコーダ
SMIC 0.13 μ m
5.44mmx4.98mm (=27.1mm²)
60fps@200MHz
消費電力:468mw (Core:134mw、DRAM:334mw)
ゲート数:367K ゲート

図 5. H.264・MPEG・AVS マルチフォーマットデコーダ LSI

更に、次世代の動画デコーダとして、4096x2160 対応の H.264 復号 LSI を開発し、従来比で約 60%の電力削減を行うことができた(図 6 参照)。開発したビデオ復号 LSI の特徴は(1)H.264/AVC ハイプロファイル標準仕様に基づくデコーダで、4096x2160 画素の動画を 60 枚/秒処理できること。(2)処理するマクロブロック順序の最適化、フレームのロスレス圧縮方式、並列処理による高速化等の新技術を開発することで、外部 DRAM とデコーダエンジン間の転送量を従来と比べて 38%削減したこと。(3)復号チップの電力消費を 4096x2160@60fps で 189mW を達成し(SMIC 0.90nm ルール)、従来の復号チップに比べて、55%~64%の消費電力削減、DRAM も 60%の消費電力削減を図った(設計ルールが異なるためスケーリングを行った結果)(口頭国際 15,40)。



対象: 4098x2160@60fps H.264 デコーダ
 SMIC 90nm/1.0V CMOS
 4.0mm×4.0mm (= 16.0 mm²)
 消費電力: 189mw@175MHz
 (Core: 48mw)
 ゲート数: 662K ゲート, SRAM: 59.6KB

図 6. 4kx2k 動画デコーダ

④ 当初計画では想定されていなかった新たな展開

動画処理では圧縮・伸張を主な課題として取り上げたが、メディア処理では画像内の特定の物体を追跡する処理が必要となることがある。この物体の追跡問題は非常に多くの計算量が必要で、消費電力も必要となる。そこで画像センサー向けの低演算移動物体追跡処理システムを開発した。

● 画像センサー向け移動物体追跡処理システムの構築

自動監視などを可能にする高度な画像センサー実現には、高精度な実時間画像認識機能が不可欠となっているが、人物追跡などの画像認識処理は、1TOPS以上の演算量を占め、HDTVクラスのビデオエンコーダと同等以上であり、画像センサーの中で50%以上の大きな割合を占めている。そこで、画像処理の重要な一つである移動物体アルゴリズムとしてKLT Tracker (CMUの金出教授により提案) を選択し、低消費電力化の検討を行った。KLT Trackerは、画像中から特徴点を抽出し、それらに対し勾配法に基づく追跡処理を行う事により、極めてロバストな動きベクトルの抽出を可能にしており、様々な画像認識応用に用いられている。ただ、極めて大きな演算量を必要とし、汎用PCを用いた実装では、多くの消費電力を必要とし、かつ実時間処理の実現は不可能である。本検討では、KLT Trackerの並列処理アルゴリズム構成法、メモリ構成法などを考案し、並列処理専用画像エンジンであるIMAP CAR上に実装した。その結果、640×240の画像を30fpsで処理できる事を確認した。一方、KLT TrackerをOpen CVを用いてPC上に実装したところ、320×240の画像に対し、処理時間は7～8fpsとなった。IMAPの消費電力は2W以下であり、PCの消費電力が50W程度必要であることを勘案すると、1/200の電力性能向上が図れていることを確認した。また、低消費電力化の成果を可視化するものとして、図7に示すような実時間画像処理デモシステムを構築した。本デモは、単一ビデオカメラからの同一映像をPCとIMAPシステムの両方に入力し、処理結果をそれぞれモニター上で比較できるようなシステムとなっている。本システムを基盤として、監視カメラ応用だけでなく、ジェスチャー認識を用いた新たなマンマシンインタフェースの実現の検討に着手している。KLT Trackerに特徴点集合の考え方を導入して改良する事により、両手の正確な動きを追跡可能なアルゴリズムの実現ができています。



図7. 構築した実時間KLT Trackerシステム

「ハードウェア指向設計」:

①研究のねらい

ハードウェア指向設計の研究では、アルゴリズムレベルで最適化されたC/C++ のプログラムに対し、それをハードウェアとして実現する上での電力最適化アルゴリズムの研究を行う。高位レベルでの配置を行うフロアプラン、高位合成におけるハードウェアのデータパスの最適化手法および回路の部分的なパワーオフの最適化、クロックを自動的に停止する機構について、論理合成と組み合わせた手法の基礎的な研究を行ない、ハードウェア指向設計全体で 1/2~1/3 の低消費電力化を目指した。

②研究実施方法

ハードウェア指向設計においては、設計・最適化における計算機を用いた支援手法の研究を行う。このため、高位合成、フロアプラン、パワーゲーティング、クロックゲーティングに対して、最適化手法の提案と実現、ベンチマーク回路を用いた手法の確認と改善を行った。また、「統合化方式・アルゴリズムの研究」において提案されたアルゴリズムに対して、ハードウェア指向設計で考案した最適化手法を適用し、効果の確認を行った。

③当初の研究計画(全体研究計画書)に対する研究成果

フロアプランについては、フロアプランを表すブロックのシーケンス情報から、ブロックの位置情報を計算する高速計算法を提案した(原著国際 59)。これにより、高位レベルでの電力の推定精度を向上させることが可能となり、高位レベル設計と結合することで、回路性能と消費電力のトレードオフによる電力最適化を行うための基盤を固めた。また本手法をフロアプラン最適化手法の一つであるシミュレーテッドアニーリングに組み入れることで、最適なフロアプランを求める手法の高速化を達成した。続いて、フロアプランアルゴリズムの高性能化と機能強化および応用システムの開発を行った(原著国際 46)。フロアプランの高性能化では、従来システム比で配線長を7~12%短縮、処理速度を2.7~4.9倍に高速化した。またこの手法を3次元フロアプランに適用し、4層のフロアプランで配線長が50%削減できることを確認した(原著国際 22)。これにより、約25%のダイナミックパワーの削減が期待できる。また、マルチレベル最適化手法を用いて基本性能をさらに向上させ、ベンチマークデータでの評価で配線長を9/10に、処理速度を2.5倍に高速化した。このフロアプラン手法と商用レイアウトツールを結合し、LDPC デコーダの例題に対して人手設計との比較を行ない、人手設計に比べ面積を3/4に、配線長を9/10に、遅延を9/10にそれぞれ削減できることを確認した。アルゴリズムの機能強化では、Voltage Island 設計に向けた対応を行った。具体的には、セル

集合のブロック分割とその配置を同時に逐次改良する手法を開発し、標準ベンチマークデータによる実験で、消費電力を約 21%削減できることを確認した。また、フロアプランアルゴリズムの応用として、Application-Specific Network on Chip の設計手法を開発した。ここでは、まず、フロアプランアルゴリズムとクラスタリングアルゴリズムを融合することで、クラスタの生成およびネットワークインタフェースとスイッチの配置を行ない、次に、その結果に対して、フローアルゴリズムを用いて経路割り当てを行なう。図 8 はフロアプランの結果の一例である。ベンチマークデータによる評価で、従来手法に比べ、消費電力を約 20~30%削減できることを確認した(口頭国際 16)。

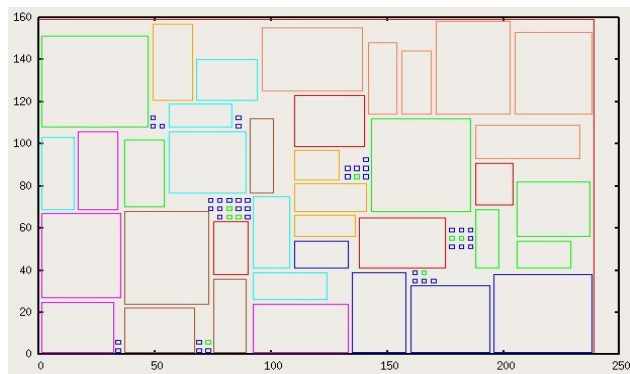


図 8. Application-Specific NoC 用フロアプラン

高位合成におけるデータパスの最適化については、浮動小数点変数を最適な長さの固定小数点変数へ変換する最適化手法、並列プレフィックス加算回路の電力最適化、およびマルチオペランド加算の電力最適化の研究を行った。浮動小数点数の固定小数点化では、領域計算、アフィン算術、誤差解析と非線形最適化問題のソルバーを用い、浮動小数点演算における桁あわせと正規化部分のハードウェアを削減している。また、並列プレフィックス加算の電力最適化では、ダイナミックプログラミングとローカルな再構築手法を用いることで、Brent-Kung や Sklansky などこれまでに提案されている手法に比べ 6/7~ 2/3 の電力にできるという結果を得た。さらに、複数の二進数の加算を行うマルチオペランド加算において、一般化カウンタを用いた電力最適化の定式化と ILP を用いた解法の提案を行い、FPGA を用いた評価においてパワーと遅延の積を用いた消費エネルギーの評価で 4/5~2/3 の電力にできるという結果を得た(口頭国際 11)。図 9 は一般化カウンタを用いたマルチオペランド加算の最適化の例である。

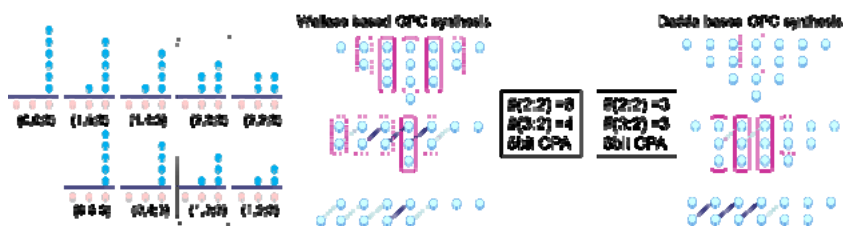


図 9. 一般化カウンタを用いたマルチオペランド加算の最適化

回路の一部を動的にパワーオフするパワーゲーティングに関しては論理ゲートの制御値を用いて細かい単位でパワーオフを行う手法を提案した。特に、各ゲートのスイッチングアクティビティを用いてパワーオフできる領域を最適化するアルゴリズムを開発した。制御対象のブロックを外部出力から決定する基本アルゴリズムと同時に、各論理ゲートのスイッチング確率を用いたヒューリスティックをいくつか提案し、その有効性の検討を計算機実験により行った。ベンチマーク回路による実験では、平均で 28.1%のゲートの電力停止が可能であるという結果を得た(口頭国際 46)。二分決定グラフに基づくスイッチング確率の総和に基づく評価と同時に SPICE シミュレータを用いた評価を行い、実際の LSI に関しても 4/5 に電力を削減できることを確認した。本手法は、リーク電力の削減だけでなく、一部動的電力の削減にも効果が認められる。さらに、電力制御用の入力を通

常のゲート入力として扱う擬似パワーゲーティング手法についても評価を行い、電力削減効果を確認した。図 10 は細粒度パワーゲーティングを用いた電力削減の例である。

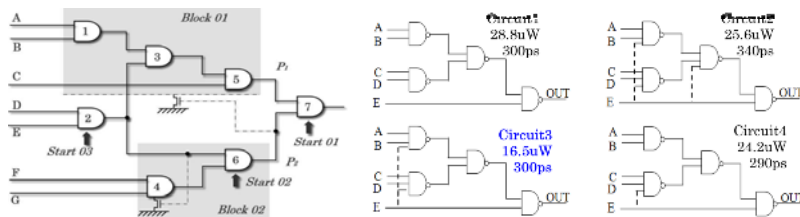


図 10. 細粒度パワーゲーティングを用いた電力削減

クロックを自動的に停止する機構(クロックゲーティング)については、クロックの制御信号候補の抽出と、共有を考慮したクロック制御信号の選択について、特に選択部の最適化手法を提案し、10～20 ビットカウンタ回路で 40%～66% の電力削減を確認した。さらに、各レジスタの制御信号候補を自動的に抽出する手法を二分決定グラフに基づいて作成すると同時に、これらの候補信号の中から、クロック停止回路自体の電力消費を考慮した最適な共有方法を新たに定式化し、二分決定グラフおよび ILP を用いた解法を提案して、ベンチマーク回路で効果を確認した(原著国際 20)。さらに、クロックゲーティング後のクロックをクロックゲーティングに用いるマルチステージクロックゲーティングの最適化手法を提案した。フロアプラン、高位合成、パワーゲーティングとクロックゲーティングの成果を統合することで、ハードウェア指向設計全体として、消費電力を2/3～3/4に削減することを可能とした。図11はクロックゲーティング制御信号の選択法の例である。

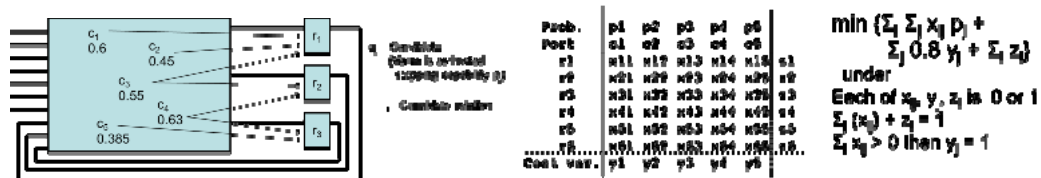


図 11. 最適なクロックゲーティング制御信号の選択

ネットワークオンチップ (NoC) のアーキテクチャについては、具体的なアプリケーションとして人工ニューラルネットワーク (Artificial Neural Network、以下 ANN と略) を取り上げ、高性能ハードウェア ANN を NoC で実現するための構成とシステム構築方法を提案した。既存のハードウェア ANN に比べて通信負荷量が 50% 以下であり、また、CPS 値 (Connections Per Second) による性能比較では 3 倍以上の改善を確認した(原著国際 29)。これにルーティングの改良を追加し、CPS 値 26.6% のさらなる改善を得た。90nm CMOS によるチップ設計の結果では、動作時電力 1,13W@1.2V、スタティック電力 28.8mW を得た(原著国際 3)。既存ハードウェアでは電力評価がなされていないために直接比較はできないが、通信負荷量の大幅削減と CPS 性能の優位性から同程度の処理を想定すると十分に低消費電力が達成されたと考えられる。図 12 は NoC ベースのニューラルネットワーク (NN) 構成の例であり、図 13 はチップ試作の結果である。

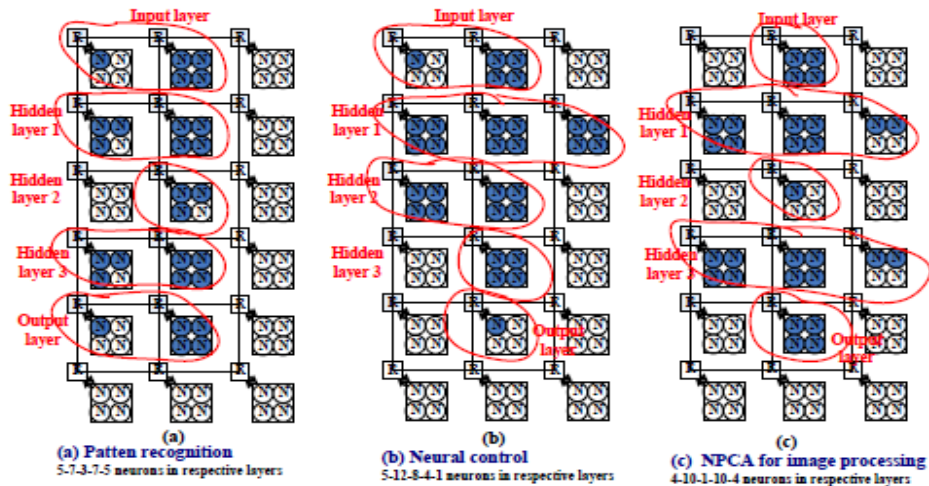


図 12. NoC ベースのニューラルネットワーク(NN)構成
(レイヤ割当の変更により、様々な NN を実現)

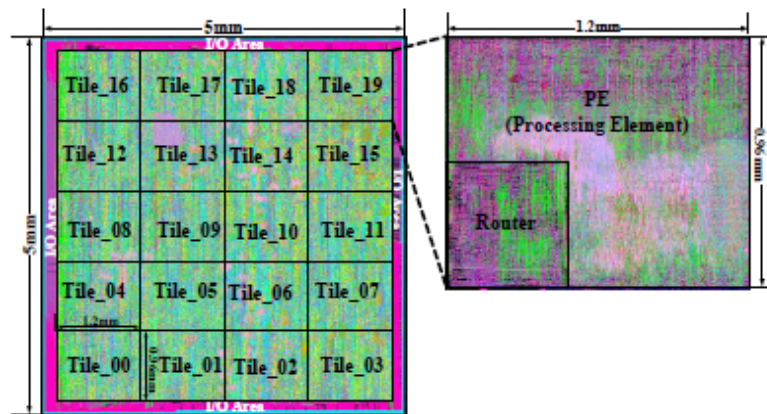


図 13. 設計試作した 20 タイル NoC チップ(左)と1タイルの拡大図(右)(90nmCMOS)

プロセッサの低電力キャッシュアーキテクチャについては、データキャッシュの低電力化として AVDC(Adaptive Various-width Data Cache)を、命令キャッシュの低電力化として ABSA(Analysis Before Staring an Access)を提案し、さらに組込みシステム用に電力と性能を考慮したキャッシュ最適構成手法を提案した。データキャッシュ AVDC では(原著国際 11)、データのビット幅に応じて使用しない上位ビットの電力供給を停止する機構を導入し、導入なしに比べてダイナミック電力を約 35%、スタティック電力を約 43%削減できた。既知の低電力データキャッシュ(FV Cache)との比較でも、ダイナミック電力とスタティック電力がそれぞれ約 8%および約 10%削減された。命令キャッシュの低電力化の提案である ABSA は、IF ステージ(Instruction Fetch)での処理を細分化し、IF 以降のステージで無駄となる命令アクセスを事前に検出して回避する機構である。これにより、この機構無しの場合の命令キャッシュに比べて、スタティック電力を約 92%、ダイナミック電力を約 67%削減できた(原著国際 4)。このスタティック電力の大幅削減は組込みシステムのようなバッテリー駆動タイプに極めて有効である。低電力キャッシュの 3 番目の研究として、アプリケーションが固定される組込みシステム用に構成可能キャッシュの最適化を決定する手法を提案した。図 14 は AVDC アーキテクチャと構成例である。アプリケーションを事前に分析し、電力と性能のバランスを考慮した構成可

能キャッシュを得ることができる。性能低下を1%程度に抑える一方で、消費電力が60%削減できることを実験的に確認した(原著論文 5)。図 15 は削減効果を示したものである。

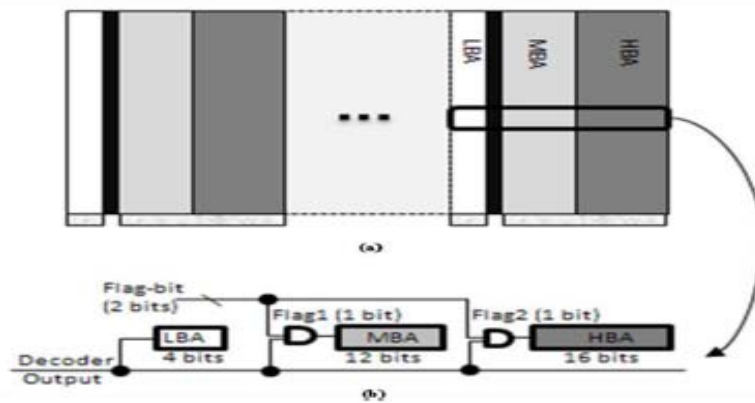


図 14. ADVC アーキテクチャと1語の構成
(ビット幅 4,16,32 に対応して不要なビットの電力停止)

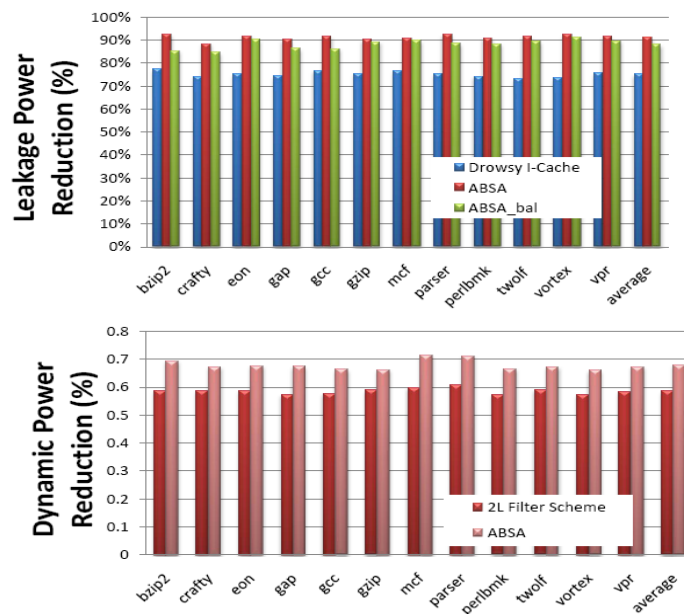


図 15. ABSA によるスタティック電力の削減効果(上)と
ダイナミック電力削減効果(下)

④当初計画では想定されていなかった新たな展開があった場合、その内容と展開状況

近年の集積度の向上に伴い、チップ内のモジュールの接続にネットワークを用いるネットワークオンチップの研究が盛んとなっているが、その電力消費の削減手法の研究のため、新たに“新アーキテクチャとその実装方式による低電力化”においてネットワークオンチップの低電力化の研究をスタートした。さらに、プロセッサの消費電力削減のために、その消費電力のかなりの部分を占めるキャッシュに着目し、低電力キャッシュの構成およびキャッシング手法の研究を行った。

「ソフトウェア指向設計」:

①研究のねらい

ソフトウェア指向設計の研究では、新たにプロセッサを開発し、その上に搭載されるソフトウェア面に着目し超低消費電力化を目指す。特定のソフトウェアに特化した命令シーケンスならびに、これに対応したプロセッサアーキテクチャを構築する。同時に、これを実現する最適化アルゴリズムを構築する。ソフトウェア指向設計の研究では、最終的に既存の組込みプロセッサと比較して、**最大で1/5~1/10**に消費エネルギーを削減することを目標とする。

②研究実施方法

ソフトウェア指向研究では、統合化方式・アルゴリズムの研究で提案されたアプリケーションを実現するソフトウェア部分の電力最適化に関する研究を行う。このため、種々のアプリケーションを想定して、アプリケーション指向プロセッサの命令セットや制御機構の最適化手法を中心に、ソフトウェア実行における電力の最適化手法の研究を行う。

③当初の研究計画に対する研究成果

● 「スケーラブルなコンフィギュラブルプロセッサ性能・エネルギー見積もり手法」

VLIW方式の命令形式に特化したスケーラブルなコンフィギュラブルプロセッサのアーキテクチャを考案し、その上で、面積・遅延・消費電力見積りの方法論を確立した(図16参照)。種々アプリケーションを用いて評価した結果、提案した見積もり手法は**90%**程度の精度を有していることを確認した(原著国内1,口頭国内92)。

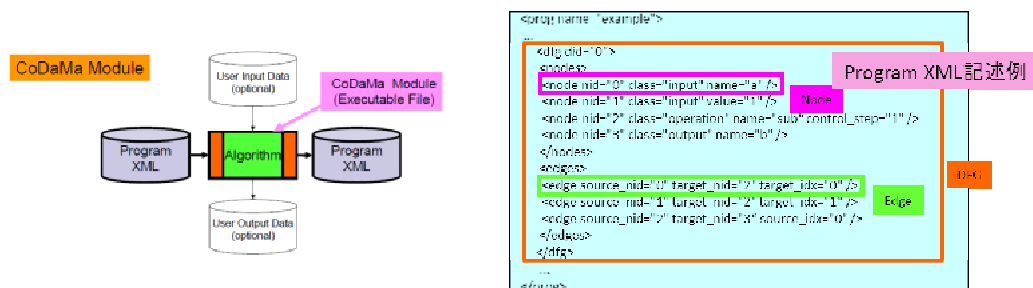


図16. XMLをベースとしたエネルギー指向プロセッサ合成ソフトウェアパッケージ

● 命令メモリ幅の削減による消費エネルギー削減手法

スケーラブルなコンフィギュラブルプロセッサ性能見積もり手法を用いて、「命令メモリ幅の削減による消費エネルギー削減手法」の研究を行った。一般に、VLIW型プロセッサはハードウェアリソースを抑えつつ並列に命令を発行可能であり、組み込み用途に適したアーキテクチャと言える。しかしながら命令メモリのビット幅が長くなり、消費電力・消費エネルギーを無駄に増加させてしまう。したがって、VLIW型プロセッサの命令メモリのビット幅の削減は、高性能でエネルギー効率の高いプロセッサを実現可能にすると考えられる。命令メモリのビット幅は命令エンコーディング形式に依存し、それはオペコードとオペランド群で構成される。オペコードのビット幅は命令セットにおける命令数に、オペランドのビット幅は汎用レジスタ数に依存する。我々は、VLIW型プロセッサ上の命令メモリに注目し、プロセッサ全体の消費エネルギー削減手法の構築を行った。提案した命令メモリの消費エネルギー削減手法は、主には①オペコードビット削減アルゴリズム(図17参照)、②オペランド削減アルゴリズム、③全体エネルギー最小化アルゴリズムの3つから構成された。また、オペコードのビット幅を削減するために、結合命令の概念を導入した(図18参照)。結合命令は各

VLIW スロットで同時に発行される複数の命令を1つの命令として取り扱った命令である。画像処理アプリケーションを用いて評価した結果では、メモリを含むプロセッサ全体で、9～12%の消費エネルギーを削減することができた(口頭国内 6)。

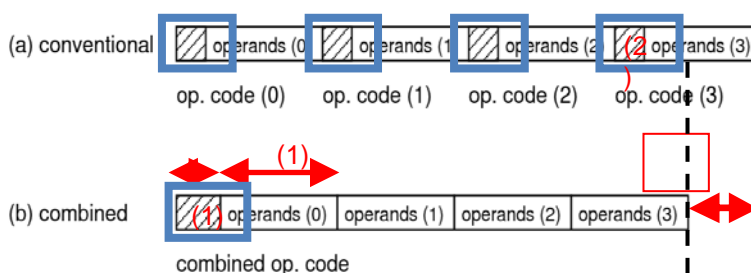


図 17. 命令ビット幅削減の例

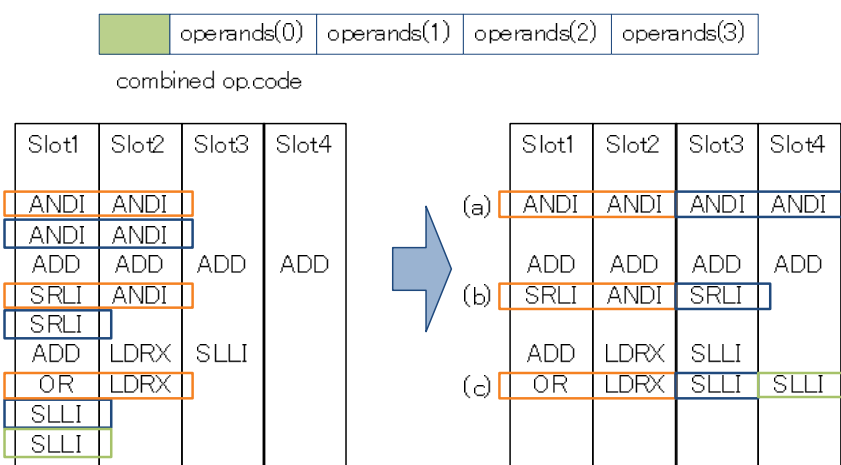


図 18. 結合命令の例

● 命令メモリのアクセス回数をソフトウェアレベルで削減する手法

命令メモリの消費エネルギー削減手法に基づき、「命令メモリのアクセス回数をソフトウェアレベルで削減する手法」の研究を行った。具体的には、命令メモリのアクセス回数を削減することで、VLIW 型プロセッサ全体の消費電力を最適化する手法について研究を行った。まず、命令ビット幅を削減するアルゴリズムのうち、オペコードのビット幅を削減するアルゴリズム及びオペランドのビット幅を削減するアルゴリズムを改良した。これに加え、結合命令影響度の概念を導入し、命令フェッチの回数を削減する手法を提案した(図 19 参照)。本手法により、NOP 命令が格納される場所に、その NOP 命令の次サイクル以降で実行される結合命令を格納することで命令数を削減した。さらにその結合命令を命令メモリよりも消費電力の少ない専用レジスタに保持し、実行される結合命令を命令メモリからフェッチするのではなく、専用レジスタからフェッチすることで、命令フェッチ時に発生する消費電力を削減することができた。実験結果では、提案した命令メモリのアクセスを考慮した命令フェッチ回数の削減手法により、プロセッサ全体で平均 40% (最大 45%) の消費エネルギーを削減することに成功した(口頭国内 24)。

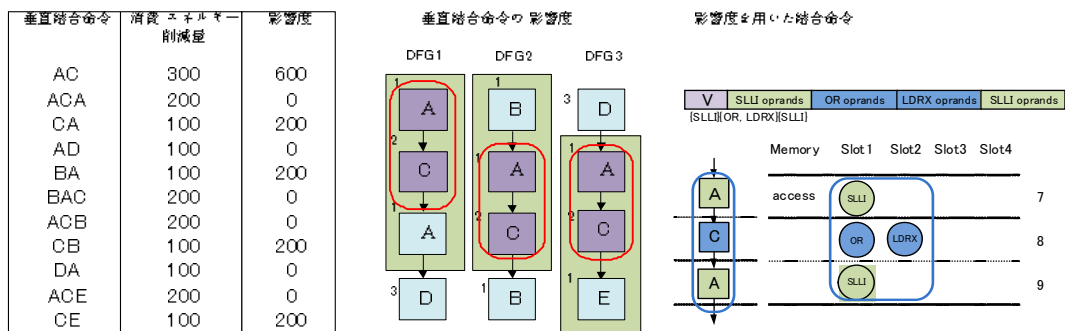


図 19. 結合命令影響度を用いた命令フェッチの回数を削減の例

● メモリ構成の最適化手法

VLIW 型プロセッサの命令メモリアクセスエネルギーについて、新たなスクラッチパッドメモリアーキテクチャとコード配置最適化手法を提案した(図 20 参照)。提案するスクラッチパッドメモリアーキテクチャは、プログラムカウンタによりスクラッチパッドメモリへ配置するデータを判別する。コード配置最適化手法は、アプリケーション CFG から消費エネルギー最小となるコード配置とスクラッチパッドメモリのサイズを決定する。これにより命令メモリアクセス数を削減し、消費エネルギーを削減することができる。計算機実験により、メモリを含むプロセッサ全体で消費エネルギーを最大 51.0% (平均 48%) を削減できた(口頭国内 2)。

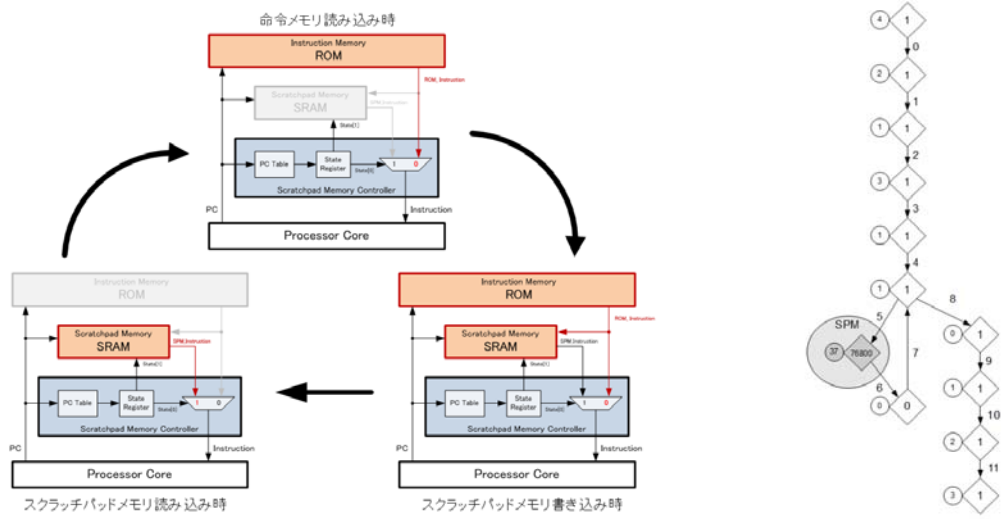
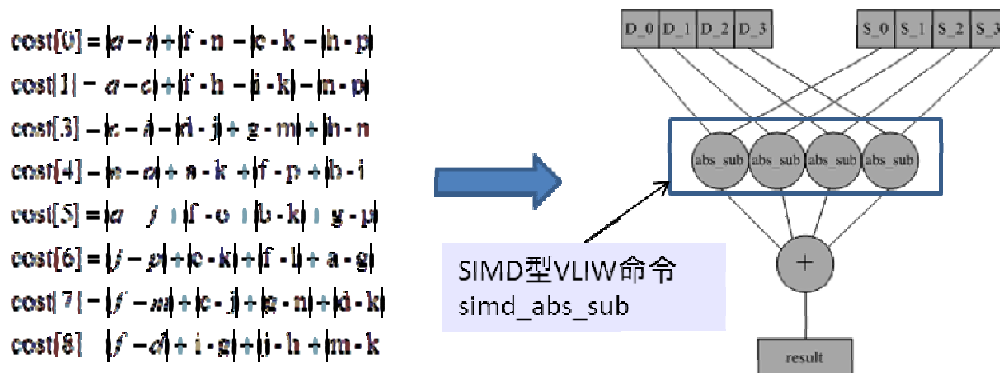


図 20. スクラッチパッドメモリアーキテクチャとコード配置最適化の例

● SIMD 型 VLIW 命令選択手法

メモリアクセス回数の削減のため、新たな SIMD 型 VLIW 命令を提案した。SIMD 型 VLIW 命令(図 21 参照)は、アプリケーションプログラムに「冗余命令」を削除・結合し、新たな SIMD 型命令を発行する。とりわけメモリアクセス最小化の観点から、アプリケーションプログラムに対して最適な命令再合成アルゴリズムの構築に取り組んだ。構築する命令再合成アルゴリズムは、主に、複数の命令を 1 つの命令に圧縮し、複数の命令を 1 命令で発行することで擬似的に VLIW (Very Long Instruction Word) 方式の命令を発行することに基づく。これらにより、画像処理を対象とした場合に、既存の VLIW プロセッサを用いた場合に比較して、並列度(ILP)を 0.39 に向上させ、命令メモリアクセスを最大 65%削減することを達成した。



● 画像処理アプリケーションにおけるエネルギー削減手法

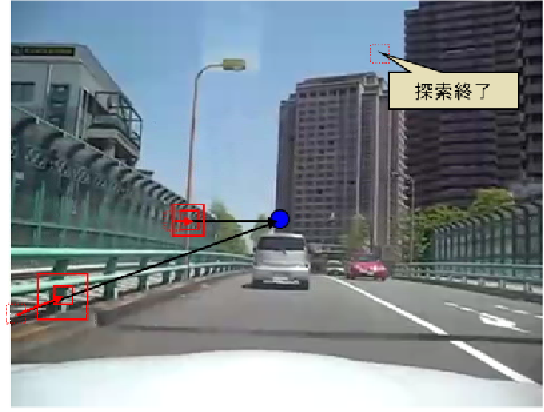
画像処理アプリケーションに着目し、特に画像圧縮処理（H.264/AVC エンコーダ）、次世代 HEVC (High Efficiency Video Coding) 等を対象にソフトウェアレベルでの低消費電力化手法、およびそれを提案した VLIW 型プロセッサアーキテクチャ上で実現するための手法に関して研究を行った。これらにより、1) H.264/AVC の画面内予測処理を対象とした場合に、既存方法と異なり、画像ブロック実画素を利用し、多数の予測モードの中から最適なモードを選択する手法を提案した。既存の VLIW プロセッサと比較して、消費エネルギーを**最大 75% (平均 62.88%) 削減**することを達成した。また既存手法と比べ、本研究は画質の劣化を抑えて、演算量を削減でき低消費電力処理が可能であることが言えたことになる。2) 高速移動体から撮影された画像処理について、映像の動時間(消費エネルギー)を**最大 68% 削減**することを達成した。3) 次世代 HEVC (High Efficiency Video Coding) に関して、Angular 予測の低エネルギー化を行った。方法としては、Angular 予測において、予測モードを制限することによって、34 方向の予測モードから 7 つの候補モードに削減でき、HEVC 処理の高速化・並列化ができた。既存の研究と比較して、演算時間(消費エネルギー)を**62%削減**することを達成した。図 22 は動き特徴を利用した低演算量予測の例である。更に、提案した命令メモリ幅の削減による消費エネルギー削減手法、命令メモリのアクセス回数をソフトウェアレベルで削減する手法、メモリ構成の最適化手法、SIMD 型 VLIW 命令選択手法の要素技術と、上記の画像アプリケーションをソフトウェアレベルで低エネルギー化する技術を組み合わせることにより、当初の研究目標「**最大で 1/5~1/10 に消費エネルギーを削減**する」は達成したと考えられる。

④ 当初計画では想定されていなかった新たな展開があった場合、その内容と展開状況

近年プロセッサ性能向上に伴い、メモリアーキテクチャの研究が盛んとなっているが、そのエネルギーの削減のため、低エネルギー化キャッシュ構成に関する研究をスタートした。



符号化するフレーム



参照フレーム

図 22. 高速移動体から撮影された映像の動き特徴を利用した低演算量予測の例

(2)研究成果の今後期待される効果

学術的には著名な国際会議や国際論文誌に多くの論文が掲載され、引用数が多く増えることで、メディア処理の低消費電力化技術の研究において世界トップレベルの研究拠点として本研究成果は認知されてきた。産業的には、個別の技術を企業と連携して製品化に向けた技術開発を行い、社会還元ができると考えている。すでに個別のいくつかの技術に関しては、企業からの要請で製品化に向けて共同研究を行っており、社会還元の役割が果たせると考えている。

また、経済産業省や文部科学省がグリーン IT(低炭素社会の実現)の研究開発に力点を置いてきており、本プロジェクトで開発された技術は社会で広く使われるものであり、時期を得た研究成果を創出できたと確信している。

4. 2 プログラマブルハードウェアを用いた低電力メディア処理の研究(ルネサスグループ)

(1)研究実施内容及び成果

多様なアルゴリズムが存在する画像認識アルゴリズムを、その多様性・柔軟性を満たしながら、プログラマブルハードウェアを用いて低電力化することを目指す。画像認識アルゴリズムを STP エンジン上で実現し、低電力性を実証するために以下の3項目に関する研究開発を行った。

- コアアルゴリズムの STP エンジンへの実装

早稲田大学グループが開発した人抽出のための低演算量画像認識アルゴリズム(原著論文 49,53,63,73)をベースに入力画像全体を処理するためのアルゴリズムを開発した。アルゴリズムは1つの検出窓(識別用の固定サイズの小画像)を対象にしたものを拡張し、全体処理では入力画像から検出窓を切り出し、各検出窓の重なり部分は冗長な計算となるため、冗長な計算を削減するようアルゴリズム全体を見直し、コアアルゴリズムの処理全体を4つに分割(Gradient、Status Table、Hist、SVM)した。また、入力画像のグレースケール変換(GrayScale)、複数サイズの検出窓に対応するための画像の縮小(DownScale)、及び、複数の縮小画像からの検出結果を1つの結果として統合するためのクラスタリングアルゴリズム(MeanShift)の3つの部分処理を加えた7つのタスクを開発した。

7つのタスクのうち MeanShift を除く6タスクは CPU 向けと STP エンジン向けに最適化を行った。MeanShift に関しては、計算量が小さく STP エンジンとの並列処理を前提とすると XBridge に搭載している CPU(MIPS 4KEc)で実行しても十分な性能が達成可能なので CPU タスクとして実行すること

とした。デスクトップ PC とのベンチマークのため7つのタスクは CPU タスクとしても実行できるように開発した。CPU タスクと STP タスクではそれぞれ固有の最適化を行った。

- STP エンジンと CPU との連携によるアプリケーション全体の実行制御方式の開発

人抽出のための画像認識アルゴリズムの7つのタスクを XBridge で実行するための実行制御方式を開発した。XBridge にはプログラマブルハードウェア STP エンジンと CPU(MIPS 4KEc)という2つのプロセッサが搭載されている。また STP エンジンには独立にタスクを実行可能なタイルブロック (TB)が2つ存在する。CPU、STP エンジンの複数タイルによるタスクの並列処理方式を開発した。7つのタスクの処理時間を分析したところ、最初の GrayScale タスクと最後の MeanShift タスクは STP エンジンとのパイプライン的な並列処理を前提とすると CPU タスクでも十分な処理性能である。残りの5つのタスク(DownScale、Gradient、StatusTable、Hist、SVM)は計算量が多く CPU 処理では十分な性能が達成できない。また、この5つのタスクは1つの入力画像の処理において複数回(画像のサイズに依存するが最大27回)実行される。従って、STP エンジンの2つのタイルブロックによる並列処理により効率的な実行が可能である。以上の検討結果に基づき、タスクスケジューラへのタスクの投入方式を開発した。複数画像を連続処理する場合、CPU での GrayScale タスクと、MeanShift タスクに要する処理時間は STP エンジンでの他の5つのタスクの処理時間に完全に隠蔽され見えなくなる。

タスクスケジューラの機能強化として、STP エンジンクロック制御方式、同一種類のタスクの CPU 実行、STP エンジン実行の動的な選択機能を開発し、タスクスケジューラの API として実装した。

- STP エンジン評価環境による実機評価

上記(1)、(2)で開発した7つのタスク、及びアプリケーション全体の実行制御方式を XBridge、及びデスクトップ PC に実装し、処理時間、及び消費電力の計測を行った。消費電力はプロセッサ部分だけの比較ではなくシステム部分(メモリ、メモリコントローラ等)を含んだプラットフォームとしての比較も行った。XBridge 側は、プロセッサ部分として STP エンジンと CPU(MIPS 4KEc)、システム部分としてメモリコントローラ(XBridge に搭載)とメモリの消費電力を測定した。デスクトップ PC 側はプロセッサ部分として Intel Core2Duo@3GHz(6MB キャッシュ、TDP 65W)、システム部分としてチップセットとメモリを含むマザーボードの消費電力を計測した。両プラットフォームはそれぞれの部分を含む独立した電源系統があるので、電源系統毎に消費電力を測定した。デスクトップ PC の GPU は消費電力が大きく直接の計算には関わらない部分なので、電源を分離して計測対象から除外した。

VGA サイズの1枚の入力画像の認識処理あたりの消費エネルギーを計測した。組み込みプラットフォームとの比較として XBridge の CPU のみで全タスクを処理した場合の消費エネルギーも計測した。この場合は停止状態の STP エンジンの消費電流は含めていない。

計測にはロジアナ機能を持つ電流計測器を用いた。計測対象となる区間を他の区間と区別するために、XBridge は GPIO ポート、デスクトップ PC はパラレルポートから処理に同期して信号をアサートする。この信号をトリガとして、計測対象区間の電流を計測、積分することで、処理区間の消費エネルギーを厳密に算出した。

XBridge の CPU(MIPS 4KEc)の動作周波数は 266MHz、200MHz に設定可能である。両方の設定で計測を行い消費エネルギーの小さい方の値を採用した。結果は表1、図23の通りである。プラットフォーム全体の消費エネルギーで比較した場合には、XBridge はデスクトップ PC と比べて 97.6%削減、プロセッサ部分だけの消費エネルギーで比較した場合には 96.5%削減を達成した。また、組み込みプロセッサと比較した場合でも、XBridge はプラットフォーム全体で 96.0%削減、プロセッサ部分だけの消費エネルギーで比較した場合には 95.7%削減を達成した。結局、STP を使用することで、消費エネルギーを約 1/40 に削減することを達成した(表1、図23を参照)。

以上により本プロジェクトの目標であった 10 倍以上の電力性能を達成した。

プラットフォーム		デスクトップ PC	XBridge	
プロセッサ構成		Core2Duo @3GHz	MIPS 4KEc @266MHz	4KEc@200MHz STP@44.4MHz
処理時間[秒]		0.582	17.311	0.494
絶対性能比率(対デスクトップPC)		1.000	0.034	1.179
消費エネルギー [J]	プロセッサ部分	CPU	13.036	10.968
		STP	-	-
		小計	13.036	10.968
	システム部分	14.925	5.746	
プラットフォーム全体		27.961	16.714	0.663
電力性能比率 (対デスクトップPC)	プロセッサ部分	1.000	1.189	28.360
	プラットフォーム全体	1.000	1.673	42.195

表1. 処理性能と消費エネルギーの比較

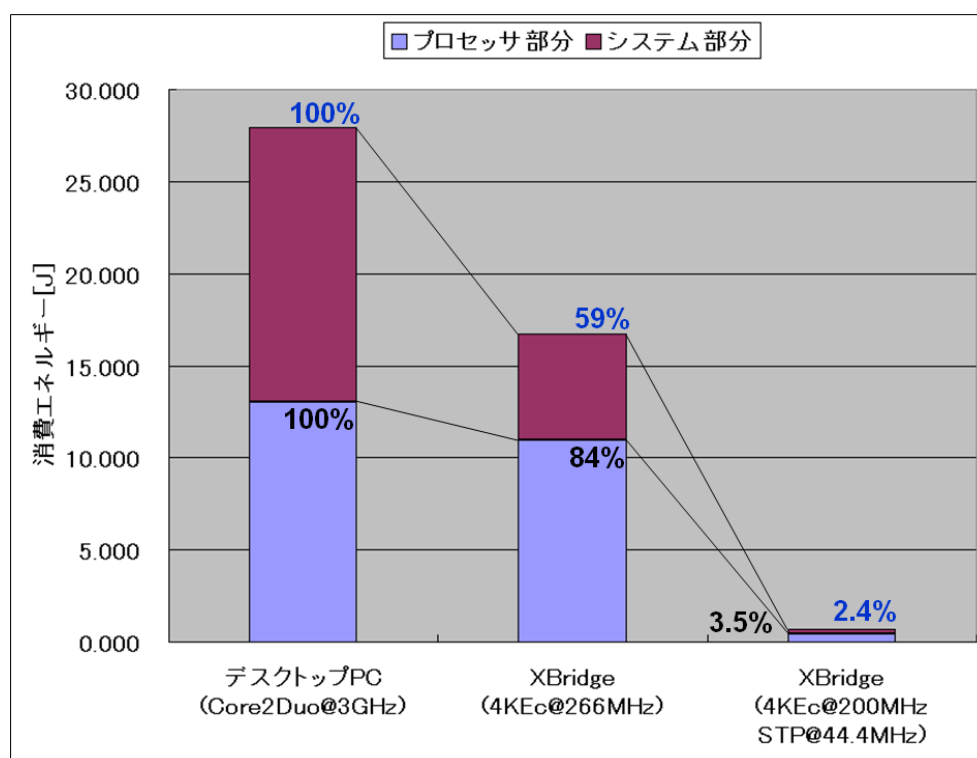


図 23. 消費エネルギーの比較

(2)研究成果の今後期待される効果

近年、携帯電話、携帯端末、デジカメ等組込み機器に各種認識機能が搭載されつつある。また認識アルゴリズムはセンサの種類に応じて多様でかつ複雑かつ大規模になりつつある。これらの処理は現状では高速 CPU での処理に依存しているが、このような処理は電力制約の厳しい携帯端末では電池の消耗等の課題があった。また監視カメラのように長時間監視を続ける必要のある機器においても消費電力の削減は大きな課題である。

本研究の成果は、これら組込み機器における高度な認識処理機能の搭載の実現に向けての大きなマイルストーンである。今後のさらなるアーキテクチャおよびプログラミング環境の革新により、組込み機器への高度な認識機能の実現が期待される。

§ 5 成果発表等

(1) 原著論文発表 (国内(和文)誌 5 件、国際 (欧文) 誌 80 件)

(国内)

1. 大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコアの面積/遅延見積もり", 情報処理学会論文誌, no.10, pp.3462-3481, 2008 年 10 月(引用).
2. 平塚 誠一郎, 後藤 敏, 池永 剛, "適応的な画素間引きと計算予測打ち切りによる超低計算量動き検出アルゴリズム", 電子情報通信学会論文誌 D, Vol. J91-D, No. 8, pp.2080-2088, Aug 2008.
3. 平塚 誠一郎, 後藤 敏, 池永 剛, "モバイル向け 0.3mW 1.4mm² 動き検出プロセッサ LSI", 電子情報通信学会論文誌 C, Vol. J91-C, No. 5, pp.304-310, May 2008.
4. 森隆 寛, 外村 元伸, 大住 勇治, 後藤 敏, 池永 剛, "キュービック補間に基づく魚眼画像の高画質補正アルゴリズム及び専用ハードウェアエンジンの提案", 画像電子学会誌, Vol. 36, No. 9, pp.680-687, Sep., 2007
5. 伊東 健, 中村 創, 後藤 敏, 池永 剛, "デジタルシネマ用 JPEG 2000 エンコーダ向け並列 CBM アルゴリズム及び LSI アーキテクチャ", 画像電子学会誌, Vol. 36, No. 9, pp.650-656, Sep., 2007

(国際)

1. Zhixiang CHEN, Xiao PENG, Xiongxin ZHAO, Leona OKAMURA, Dajiang ZHOU and Satoshi GOTO, "A 6.72-Gb/s 8pJ/bit/iteration IEEE 802.15.3c LDPC decoder chip", IEICE TRANS. Fundamentals, vol. E94-A, No. 12, Dec. 2011. (to be published)
2. Xun He, Xin Jin, Minghui Wang, Dajiang Zhou and Satoshi Goto, "A 98 GMACs/W 32-Core Vector Processor in 65nm CMOS", IEICE TRANS. Fundamentals, vol.E94-A, no.12, Dec. 2011. (to be published)
3. C.Li, Y-P.Dong and T.Watanabe, "Low Power Placement and Routing for th Coarse-Grained Power Gtaing FPGA Architecture", IEICE vol.E94-A, no.12, Dec., 2011. (to be published) (引用)
4. J.Ye, Y. Wan and T.Watanabe, "A New Recovery Mechanism in Superscalar Microprocessors by Recovering Critical Misprediction", IEICE vol.E94-A, no.12, Dec., 2011. (to be published) (引用)
5. J.Ye, Y. Hu, H.Ding and T.Watanabe, "A Behavior-based Adaptive Access-mode for Low-power Set-associative Caches in Embedded Systems", IPSJ J.Information Processing, vol.20, No.1, Nov. 2011. (to be published)
6. Zhenxing CHEN, Satoshi GOTO, "Efficient Motion Vector Prediction Algorithm using Pattern Matching", Journal of Visual Communication and Image Representation. Aug. 2011. DOI: 10.1016/j.jvcir.2011.05.004.
7. Xin Jin, Satoshi Goto, King Ngi Ngan, "Composite Model Based DC Dithering for Suppressing Contour Artifacts in Decompressed Video", IEEE Trans. Image Process., Vol.20, No.8, August 2011. (DOI:10.1109/TIP.2011.2114356)
8. J.Ye, Y. Wan and T.Watanabe: An Adaptive Various-width Data Cache for Low Power Design, IEICE vol.E94-D, no.8, pp.1539-1546, Aug., 2011
9. Masashi Tawada, Masao Yanagisawa, Tatsuo Ohtsuki and Nozomu Togawa, "Exact, Fast and Flexible L1 Cache Configuration Simulation for Embedded Systems," IPSJ Trans. SLDM, vol. 4, pp.166-181, August, 2011.
10. Sho Tanaka, Masao Yanagisawa, Tatsuo Ohtsuki and Nozomu Togawa, "A Fault-Secure High-Level Synthesis Algorithm for RDR Architectures," IPSJ Trans. SLDM, vol. 4,

- pp.150-165, August, 2011.
11. J.Ye, Y, Hu, H.Ding and T.Watanabe: Analysis Before Starting an Access: A New Power-Efficient Instruction Fetch Mechaism, IEICE vol.E94-D, no7, pp.1398-1408, July, 2011 (引用).
 12. Masashi Tawada, Masao Yanagisawa, and Nozomu Togawa, "Speeding-up exact and fast FIFO-based cache configuration simulation," IEICE Electronics Express, vol. 8, no. 14, pp. 1161-1167, July, 2011.
 13. Gang He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, "A 530Mpixels/s Intra Prediction Architecture for Ultra High Definition H.264/AVC Encoder", IEICE Trans. on Electronics, Vol.E94-C No.4, pp.419-427, Apr. 2011. (DOI:10.1587/transele.E94.C.419)
 14. Jinjia Zhou, Dajiang Zhou, Gang He and Satoshi Goto, "Cache Based Motion Compensation Architecture for Quad-HD H.264/AVC Video Decoder", IEICE Trans. on Electronics Vol.E94-C No.4, pp.439-447, Apr. 2011. (DOI:10.1587/transele.E94.C.439) (引用)
 15. Tianruo Zhang, Minghui Wang, Chen Liu, and Satoshi Goto, "Multiple region-of-interest based H.264 encoder with a detection architecture in macroblock level pipelining, IEICE Trans. on Transaction on Electronics, vol. E94-C, no. 4, pp. 401-410, Apr. 2011. (DOI: 10.1587/transele.E94.C.401) (引用)
 16. Xin Jin and Satoshi Goto, "Encoder Adaptable Difference Detection for Low Power Video Compression in Surveillance System", Signal Processing: Image Communications.vol. 26, pp.130-142, March, 2011. (DOI: 10.1016/j.image.2011.01.002) (引用)
 17. Y. Tsukamoto, M. Yanagisawa, T. Ohtsuki, and Nozomu Togawa, "A Fast Selector-Based Subtract-Multiplication Unit and Its Application to Butterfly Unit," IPSJ Trans. System LSI Design Methodology, vol. 4, February Issue, pp.60-69, Feb. 2011. (DOI:10.2197/ipsjtsldm.4.60)
 18. R. Nara, M. Yanagisawa, T. Ohtsuki, and N. Togawa, "Scan Vulnerability in Elliptic Curve Cryptosystems," IPSJ Trans. System LSI Design Methodology, vol. 4, February Issue, pp.47-59, Feb. 2011. (DOI:10.2197/ipsjtsldm.4.47)
 19. Xiao Peng, Xiongxin Zhao, Zhixiang Chen, Fumiaki Maehara, Satoshi Goto, "Generic Permutation Network for QC-LDPC Decoder", IEICE Trans. Vol.E93-A, No.12, Dec. 2010. (DOI: 10.1587/transfun.E93.A.2551)
 20. Xin Man, Takashi Horiyama and Shinji Kimura, "Power Optimization of Sequential Circuits Using Switching Activity Based Clock Gating," IEICE Trans. on Fundamentals, Vol.E93-A, No.12, pp.2472-2480, Dec. 2010. (DOI:10.1578/transfun.E93.A.2472) (引用)
 21. S. Chen, Jianwei Shen, Wei Guo, Mei-fang Chiang, and T. Yoshimura. "Redundant Via Insertion: Removing Design Rule Conflicts and Balancing Via Density", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E93-A, No. 12, pp.1-8, December. 2010. (DOI: 10.1587/transfun.E93.A.2372)
 22. S. Chen and T. Yoshimura. Multi-layer floorplanning for stacked ICs: Configuration number and fixed-outline constraints. Integration, the VLSI journal, 43(4):378--388, September, 2010. (DOI:10.1016/j.vlsi.2010.04.001) (引用)
 23. Shaopeng Tang, Satoshi Goto, "Accurate human detection by appearance and motion", IEICE Transactions on Information and System, VOL.E93-D, NO. 10, pp. 2728-2736, Oct. 2010. (DOI: 10.1587/transinf.E93.D.2728)
 24. Xun He, Jinjia Zhou, Dajiang Zhou and Satoshi Goto, "High profile intra prediction architecture for UHD H.264 decoder", IPSJ Transactions on System LSI Design Methodology, Vol. 3, No. 2, pp. 303-313, Aug. 2010. (DOI: 10.2197/ipsjtsldm.3.303)
 25. Zhixiang Chen, Xiongxin Zhao, Xiao Peng, Dajiang Zhou and Satoshi Goto, "A High Parallelism LDPC Decoder with an Early Stopping Criterion for WiMax and WiFi Application", IPSJ Transaction on System LSI Design Methodology, Vol. 3, pp. 292-302, Aug. 2010. (DOI:

- 10.2197/ipsjtsldm.3.292)
26. Jinjia Zhou, Dajiang Zhou, Xun He and Satoshi Goto, "A bandwidth optimized, 64 cycles/MB joint parameter decoder architecture for ultra high definition H.264/AVC applications", IEICE Transactions on Fundamentals, Vol. E93-A, No. 8, pp. 1425-1433, Aug. 2010. (DOI: 10.1587/transfun.E93.A.1425) (引用)
 27. Shaopeng Tang, Satoshi Goto, "Histogram of template for pedestrian detection", IEICE Transactions on Information and System, VOL.E93-D, NO. 7, pp. 1737-1744, July 2010. (DOI: 10.1587/transinf.E93.D.1737)
 28. Xianmin Chen, Peilin Liu, Dajiang Zhou, Jiayi Zhu, Xingguang Pan, and Satoshi Goto, "A high performance and low bandwidth multi-standard motion compensation design for HD video decoder", IEICE Trans. Fundamentals, Vol. E93-C, No. 3, pp. 253-260, MARCH 2010, DOI: 10.1587/transele.E93.C.253.
 29. Yiping Dong; Yang Wang; Zhen Lin; Watanabe, T. "High Performance and Low Latency Mapping for Neural Network into Network on Chip Architecture", ASICON 09 pp.891-894, OCTOBER 2009, DOI: 10.1109/ASICON.2009.5351550. (引用)
 30. Yichun Tang, Jun Wang, Naoki Tajima, Satoshi Goto, "Low Power Unequal Error Protection Media System Based on Error Concealment in H.264/AVC", The 15th Workshop on Synthesis And System Integration of Mixed Information technologies(SASIMI2009), Okinawa, Japan, May.2009 (引用)
 31. Yiping Dong, Ce Li, Kento Kumai, Yinghe Li, Yang Wang, Takahiro Watanabe , "A Flexible Network on Chip Architecture for Mapping Complex Feedforward Neural Network," J.Signal Processig, 8pages, Vol.13, No.5, 2009 (to appear)
 32. Lei CHEN and Shinji KIMURA, "Optimizing Controlling-Value-Based Power Gating with Gate Count and Switching Activity," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 9 pages, Dec. 2009 (To appear).
 33. Ohchi, N. Togawa, M. Yanagisawa and T. Ohtsuki, "Floorplan-aware high-level synthesis for generalized distributed-register architectures," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E92-A, no.12, pp.-, Dec. 2009 (accepted).
 34. R. Nara, N. Togawa, M. Yanagisawa, T. Ohtsuki, "A Scan-Based Attack Based on Discriminators for AES Cryptosystems," IEICE Trans. Fundamentals, vol.E92-A, No. 12, Dec. 2009 (accepted).
 35. Dajiang Zhou, Jinjia Zhou, Jiayi Zhu, and Satoshi Goto, "A 48 cycles/MB H.264/AVC deblocking filter architecture for ultra high definition applications", IEICE Trans. Fundamentals, 2009(accepted)
 36. K. Tanimura, R. Nara, S. Kohara, Y. Shi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Unified Dual-Radix Architecture for Scalable Montgomery Multiplications in GF(P) and GF(2n)," IEICE Trans. on Fundamentals of Electronics Communications and Computer Science, Vol. E92-A, No.9, pp.2304-2317, September 2009.
 37. Dajiang Zhou, Jinjia Zhou, and Satoshi Goto, "An efficient motion vector coding scheme based on prioritized reference decision", IEICE Trans. Fundamentals, Vol. E92-A, No. 8, pp. 1978-1985, AUGUST 2009
 38. X. H. Wei, T. Ikenaga, S. Goto, "An Ultra-low bandwidth Design Method for MPEG-2 to H.264/AVC Transcoding", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 4, pp. 1072-1079, AUGUST 2009
 39. Zhenyu Liu, Junwei Zhou, Satoshi Goto, Takeshi Ikenaga, "Motion Estimation Optimization for H.264/AVC Using Source Image Edge Features", IEEE Transactions on Circuits and Systems for Video Technology, Vol. 19, No. 8, pp. 1095-1107, Aug. 2009.
 40. Yiqing Huang, Qin Liu, Satoshi Goto, Takeshi Ikenaga, "VLSI Oriented Fast Motion Estimation Algorithm Based On Pixel Difference, Block Overlapping And Motion Feature

- Analysis”, IEICE Trans. Fundamentals, Vol. E92-A, No. 8, pp. 1986-1999, Aug. 2009.
41. Yiqing Huang, Qin Liu, Takeshi Ikenaga, “Macroblock Feature based Adaptive Propagate Partial SAD Architecture for HDTV Application”, IPSJ Transactions on System LSI Design Methodology, Vol. 3, pp. 263-273, Aug. 2009.
 42. Taeko Matsunaga, Shinji Kimura, Yusuke Matsunaga, “Framework for Parallel Prefix Adders Synthesis Considering Switching Activities,” IPSJ Trans. SLDM, pp.212-221, Aug. 2009.
 43. Qin Liu, Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, “Hardware-Oriented Early Detection Algorithms for 44 and 88 All-Zero Blocks in H.264”, IEICE Trans. Fundamentals, Vol. E92-A, No. 4, pp. 1063-1071, Apr. 2009.
 44. Song Chen, Liangwei Ge, Mei-Fang Chiang, Takeshi Yoshimura, “Lagrangian Relaxation Based Inter-Layer Signal Via Assignment for 3-D ICs”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, pp. 1080-1086, April, 2009
 45. Youhua Shi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “A Secure Test Technique for Pipelined Advanced Encryption Standard,” IEICE Transactions on Information and Systems, vol. E91-D, no. 3, pp. 776-780, mar. 2008.
 46. S. Chen, Z. Xu, and T. Yoshimura, “A generalized v-shaped multi-level method for large scale Floorplanning”, Proc. 10th International Symposium on Quality Electronic Design, San Jose, USA, March 2009(引用)
 47. M.-F. Chiang, T. Okamoto, and T. Yoshimura, “Lagrangian relaxation based register placement for high-performance circuits”, Proc. 10th International Symposium on Quality Electronic Design, San Jose, USA, March 2009
 48. Liangwei Ge, Song Chen and Takeshi Yoshimura, “Exploration of Schedule Space by Random Walk”, IPSJ Transactions on System LSI Design Methodology, Vol.2, Feb 2009
 49. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Shunichi Ishiwata, Masaki Nakagawa, Satoshi Goto, Takeshi Ikenaga, “HDTV1080p H.264/AVC Encoder Chip Design and Performance Analysis”, IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, pp 594-608, Feb. 2009(引用).
 50. Wen Ji, Yuta ABE, Takeshi IKENAGA, Satoshi GOTO, “A High Performance Partially-Parallel Irregular LDPC Decoder Based on Sum-Delta Message Passing Schedule”, IEICE Special Section on VLSI Design and CAD Algorithms, Vol.E91-A, No.12 pp.3622-3629, Dec. 2008.
 51. Y. Yang and S. Kimura, “Efficient Hybrid Grid Synthesis Method Based on Genetic Algorithm for Power/Ground Network Optimization with Dynamic Signal Consideration,” IEICE Trans. Fundamentals, vol.E91-A, No.12, pp.3431-3442, Dec. 2008.
 52. L. Chen, T. Horiyama, Y. Nakamura and S. Kimura, “Fine-Grained Power Gating Based on the Controlling Value of Logic Elements,” IEICE Trans. Fundamentals, vol.E91-A, No.12, pp.3531-3538, Dec. 2008.
 53. Yiqing Huang, Qin Liu and Takeshi Ikenaga, “Macroblock Feature based Complexity Reduction for H.264/AVC Motion Estimation”, IEICE Trans. Fundamentals, Vol. E91-A, No. 10, pp. 2934-2944, Oct. 2008.
 54. Qin Liu, Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, “Edge Block Detection and Motion Vector Information Based Fast VBSME Algorithm”, IEICE Trans. Fundamentals, Vol. E91-A, No. 8, pp. 1935-1943, Aug. 2008.
 55. Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, “Content-Aware Fast Motion Estimation for H.264/AVC”, IEICE Trans. Fundamentals, Vol. E91-A, No. 8, pp. 1944-1952, Aug. 2008.
 56. Liangwei Ge, Song Chen, Y.Nakamura and T.Yoshimura, “A Synthesis Method of General Floating-Point Arithmetic Units by Aligned Partition”, IPSJ Trans. On SLDM, Vol.1, No.1, pp67-77, 2008.8
 57. Akira Ohchi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Floorplan-Driven

- High-Level Synthesis for Distributed/Shared-Register Architectures,” IPSJ Tras. on SLDM, Vol.1, pp.78-90, Aug.2008.
58. Zhenyu Liu, Lingfeng Li, Yang Song, Shen Li, Satoshi Goto, Takeshi Ikenaga, “Motion Feature and Hadamard Coefficient based Fast Multiple Reference Frame Motion Estimation for H.264”, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 18, No. 5, pp.620-632, May 2008(引用).
 59. Song Chen and T.Yoshimura, “Fixed-Outline Floorplanning: Block Position Enumeration and a New Method for Calculating Area Costs”, IEEE Transactions on CAD Vol.27, No.5, pp.858-871, 2008.5(引用)
 60. Kazunori Shimizu, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Low Power LDPC Decoder Architecture Based on Intermediate Message Compression Technique”, IEICE Trans. on Fundamental, vol.E92-A, No.4, Apr., 2008.
 61. Yiqing Huang, Zhenyu Liu, Yang Song, Satoshi Goto, Takeshi Ikenaga, “Inter Search Mode Reduction Based Parallel Propagate Partial SAD Architecture for Variable Block Size Motion Estimation in H.264/AVC”, IEICE Trans. Fundamentals, Vol. E91-A, No. 4, pp. 987-997, Apr. 2008.
 62. Qin Liu, Seiichiro Hiratsuka, Kazunori Shimizu, Shinsuke Ushiki, Satoshi Goto, Takeshi Ikenaga, “A 41mW VGA@30fps Quadtree Video Encoder for Video Surveillance Systems”, IEICE Trans. Electronics, Vol. E91-C, No. 4, pp. 449-456, Apr. 2008.
 63. Xiang-hui Wei, Shen Li, Yang Song, Satoshi Goto, “An Irregular Search Window Reuse Scheme for MPEG-2 to H.264 Transcoding”, IEICE Special Section on Signal Processing for Audio and Visual Systems and Its Implementaion, pp.749-755, Mar., 2008
 64. Yibo Fan, Jidong Wang, Takeshi Ikenaga, Yukiyasu Tsunoo, Satoshi Goto, “An Unequal Secure Encryption Scheme For H.264/AVC Video Compression Standard”, IEICE Trans. Fundamentals, Vol. E91-A, No.1, pp. 12-21 Jan. 2008(引用).
 65. Yao Ma, Yang Song, Takeshi Ikenaga, Satoshi Goto, “A High Throughput Multiple Transform Architecture for H.264/AVC Fidelity Range Extensions”, Journal of Semiconductor Technology and Science, Vol.7, No.4, Dec., 2007
 66. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Satoshi goto, Takeshi Ikenaga, “32-Parallel SAD Tree Hardwired Engine for Variable Block Size Motion Estimation in HDTV1080p Real-Time Encoding Application”, IEEE Workshop on Signal Processing Systems (SiPS 2007), Oct. 2007.
 67. Yang Song, Ming Shao, Zhenyu Liu, Shen Li, Lingfeng Li, Takeshi Ikenaga, Satoshi Goto, “H.264/AVC Fractional Motion Estimation Engine with Computation Reusing in HDTV1080p Real-Time Encoding Applications”, IEEE Workshop on Signal Processing Systems (SiPS 2007), Oct. 2007. (引用)
 68. Qi Wang, Kazunori Shimizu, Takeshi Ikenaga, Satoshi Goto, “Efficient Fully-Parallel LDPC Decoder Design with Improved Simplified Min-Sum Algorithms”, IEICE Trans. Electron, Vol. E90-C, No. 10, pp. 1964-1971, Oct. 2007.
 69. Liangwei Ge, Song Chen, Kazutoshi Wakabayashi, Takashi Takenaka, Takeshi Yoshimura, “Max-flow Scheduling in High-level Synthesis”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences E90-A/9, 1940-1948, Sep., 2007
 70. Lingfeng Li, Yang Song, Shen Li, Takeshi Ikenaga, Satoshi Goto, “A Hardware Architecture of CABAC Encoding and Decoding with Dynamic Pipeline for H.264/AVC”, The Journal of VLSI Signal Processing 2007, Springer Netherlands, Online Published in Aug., 2007
 71. Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, “Power-Efficient LDPC Code Decoder Architecture”, IEEE International Symposium on Low Power Electronics and Design (ISLPED 2007), Aug. 2007.
 72. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Shunichi Ishiwata, Masaki Nakagawa,

- Satoshi Goto, Takeshi Ikenaga, "A 1.41W H.264/AVC Real-Time Encoder SOC for HDTV1080P", 2007 Symposium on VLSI Circuits, June 2007.
73. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "Lossy Strict Multilevel Successive Elimination Algorithm for Fast Motion Estimation", IEICE Trans. Fundamentals, Vol.E91-A, No.4, pp.764-770, Apr., 2007
 74. Ming Shao, Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, "Lossless VLSI Oriented Full Computation Reusing Algorithm for H.264/AVC Fractional Motion Estimation", IEICE Trans. Fundamentals, Vol. E90-A, No. 4, pp. 756-763, Apr. 2007.
 75. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "Low-Power Partial Distortion Sorting Fast Motion Estimation Algorithms and VLSI Implementation", IEICE Trans. Inf. & Syst., Vol. E90-D, No. 1, pp. 108-117, Jan. 2007.
 76. Shen Li, Lingfeng Li, Takeshi Ikenaga, Shunichi Ishiwata, Masataka Matsui, Satoshi Goto, "Content-based complexity reduction methods for MPEG-2 to H.264 video transcoding", IEICE Trans. Inf. & Syst., Vol. E90-D, No. 1, pp. 90-98, Jan. 2007.
 77. Zhenyu Liu, Yang Song, Satoshi Goto, Takeshi Ikenaga, "A Fine-Grain Scalable and Low Memory Cost Variable Block Size Motion Estimation Architecture for H.264/AVC", IEICE Trans. Electronics, Vol. E89-C, No. 12, pp. 1928-1936, Dec. 2006.
 78. Kazunori Shimizu, Tatsuyuki Ishikawa, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Power-Efficient LDPC Decoder Architecture based on Accelerated Message-Passing Schedule", IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3602-3612, Dec. 2006.
 79. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "A VLSI Architecture for Variable Block Size Motion Estimation in H.264/AVC with Low Cost Memory Organization", IEICE Trans. Fundamentals, Vol. E89-A, No. 12, pp. 3594-3601, Dec. 2006(引用)
 80. Nobuhiro DOI, Takashi HORIYAMA, Masaki NAKANISHI, and Shinji KIMURA, "Bit-Length Optimization Method for High-Level Synthesis based on Non-Linear Programming Technique," IEICE Trans. on Fundamentals, Vol. E89-A, No. 12, pp.3427-3434, Dec. 2006.

(2)その他の著作物(総説、書籍など)

1. 後藤 敏, 池永 剛, 吉村 猛, 木村晋二, 戸川 望, "メディア処理における超低消費電力 SoC 技術", 情処学 情報処理, vol. 51, no. 7, July 2010.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 9 件、国際会議 10 件)

(国内)

1. 後藤 敏, "アンビエント SoC 教育研究の国際拠点", 電子情報通信学会総合大会、TK-7-13、2011 年 3 月 15 日(招待講演)
2. 後藤 敏, "アルゴリズム/アーキテクチャレベルの低消費電力化技術:画像処理を例に", 電子情報通信学会総合大会、AT-1-2、2011 年 3 月 14 日(招待講演)
3. 後藤敏, "メディア処理における超低消費電力化技術", 情報処理学会全国大会、2010 年 3 月 9 日(招待講演)
4. 後藤敏, "マルチメディア処理における超低消費電力化技術", 電気4学会、関西支部講演会、2009 年 10 月 14 日(招待講演)
5. 後藤敏, "メディア処理における低消費電力化技術", 電子情報通信学会・LSI とシステムのワークショップ、北九州市、2009 年 5 月 20 日(招待講演)
6. 池永 剛, "メディア処理応用からの機能集積情報システムの実現", 電子情報通信学会第 38 回機能集積情報システム研究会, Mar. 2009 (特別講演)
7. 後藤 敏, "メディア処理における超低消費電力化技術", ESS2007 シンポジウム、情報処理学会、2007 年 10 月
8. 池永 剛, "ユビキタス・アンビエント情報化社会に向けた動画像圧縮 LSI", 電子情報通信学

会信号処理研究会, 2007 年 10 月

9. 池永 剛, “動画像圧縮 LSI の技術動向”, 情報処理学会オーディオビジュアル複合情報処理研究会, 2007 年 9 月

(国際)

1. Shiji Kimura, “Low Power LSI Design Methods Based on Gating Technology,” The IEEE 9th International Conference on ASIC (ASICON2011), Oct., 2011 (Keynote Speech)
2. Satoshi Goto, “Low Power Design for Video Compression and Processing”, ITC-CSCC2010, Thai, July 2010 (基調講演)
3. Satoshi Goto, “Low Power Design for Video Processing and Compression”, ISCCSP, Limassol, Cyprus, MARCH 2010 (Keynote Speech).
4. Satoshi Goto, “Ambient SoC Initiative”, Workshop on future Electronics Engineer, EPFL, Lousanne, DECEMBER 2009 (Invited Speech).
5. Satoshi Goto, “How to achieve Ultra Low Power Video Processing”, ASICON, Changsha, China, OCTOBER 2009 (Keynote Speech).
6. Satoshi Goto, “Recent Advance in Video Processing Technology”, ISSCS, Iasi, Romania, JULY 2009 (Keynote Speech).
7. Satoshi Goto, “Paradigm shift for System LSI design methodology”, 2007 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2007), Xiamen, China, Nov. 2-7 (Keynote Speech)
8. Takeshi Yoshimura and Song Chen, “A Fixed-Outline Floorplanning Method”, Proceedings of ASICON2007, Oct. 2007
9. Takeshi Ikenaga, “Video Compression LSI: Past, Present, and Future Trends”, The 7th International Conference on ASIC (ASICON2007), Oct., 2007 (Keynote Speech)
10. Satoshi Goto, “Ambient SoC design: New paradigm for next generation”, ITC-CSCC, August 2007, Pusan, Korea (Keynote speaker)

② 口頭発表 (国内会議 96 件、国際会議 179 件)

(国内)

1. 金 予, 木村晋二, “論理素子の制御値に基づく多段のパワーゲーティング,” 信学技法 VLD-2011-7, pp.33-38, May, 2011.
2. 嶋田 吉倫, 史 又華, 戸川 望, 柳澤政生, 大附辰夫, スクラッチパッドメモリとコード配置最適化による低エネルギー ASIP 合成手法, VLSI 設計技術研究会, pp. 25-30, Mar. 2011 (引用)
3. 松永多苗子, 木村晋二, 松永裕介, 「キャリアチェーンを用いたマルチオペランド加算器の FPGA 向け低電力合成手法」, 情報処理学会研究報告 2010-SLDM-148, 6 ページ, 2011 年 1 月.
4. 金 予, 木村 晋二, “論理素子の制御値に基づく擬似パワーゲーティング手法について”, 情報処理学会 DA シンポジウム, pp.159-164, Sept. 2010.
5. Xin Man, Takashi Horiyama and Shinji Kimura, “Automatic Clock Gating Generation through Power-optimal Control Signal Selection,” 情報処理学会技術研究報告, 2010-SLDM-145, No. 1, pp.1-6, May 2010.
6. 小原 俊逸, 史 又華, 戸川 望, 柳澤 政生, 大附 辰夫, 命令メモリビット幅削減に基づく低エネルギー ASIP 合成手法, システム LSI 設計技術研究会, pp. 25-30, Mar. 2008. (引用)
7. Ye Jiongyao, Wan Yu, DongYiping, Bao Zhiguo Takahiro Watanabe, “Reducing Branch Misprediction Penalty Superscalar Microprocessor by Recoverig Critical Misprediction,” The 8th Forum on Information technology 2009(FIT2009), pp.121-128, Sept., 2009.
8. 原智昭, 戸川望, 柳澤政生, 大附辰夫, 外村元伸, “ビットレベル処理を考慮したセクタ帰

- 着型重み付き加算器,” 信学技報, VLD2009-2, pp. 7-12, 2009 年 5 月.
9. Lei Chen, Shinji Kimura, "A New Heuristic for Autonomic Controlling Value Based Power Gating," 情報処理学会技術研究報告, Vol.2009-SLDM-140 No.5, pp.1-6, 2009 年 5 月.
 10. 大智輝, 戸川望, 柳澤政生, 大附辰夫, "一般化レジスタ分散アーキテクチャを対象としたフロアプラン指向高位合成手法", 信学 第 22 回回路とシステム軽井沢ワークショップ, pp.438-443, 2009 年 4 月.
 11. 齊藤啓太, 戸川望, 柳澤政生, 大附辰夫, "連携処理を考慮したネットワークプロセッサへの処理割り当て手法," 信学技報, VLD2008-151, 2009 年 3 月.
 12. 脇田慎吾, 戸川望, 柳澤政生, 大附辰夫, "Odd-Even Turn Model を対象とした NoC の負荷分散による遅延時間削減手法," 信学技報, VLD2008-152, 2009 年 3 月.
 13. 坂寄貴宏, 池永 剛, "実時間 KLT Tracker 向きハードウェアエンジンの実現", 電子情報通信学会画像工学研究会, Mar. 2009.
 14. 坂寄貴宏, 河根広大, 池永 剛, "実時間 KLT Tracker の特徴点追跡ハードウェアの実現", 電子情報通信学会総合大会, D-12-27, Mar. 2009.
 15. Zhewen Zheng, Takeshi Ikenaga, Qin Liu, Yiqing Huang, "An Edge Information Based Block Size Decision Method for Intra Mode Decision in H.264/AVC", 電子情報通信学会総合大会, D-11-18, Mar. 2009.
 16. Yiqing Huang, Qin Liu, Takeshi Ikenaga, "Multi-Stage Based Inter Mode Decision Algorithm in H.264/AVC", 電子情報通信学会総合大会, D-11-19, Mar. 2009.
 17. Qin Liu, Yiqing Huang, Takeshi Ikenaga, "Bayesian Decision Based All-Zero Block Detection Algorithm in H.264/AVC", 電子情報通信学会総合大会, D-11-20, Mar. 2009.
 18. Shuijiong Wu, Yiqing Huang, Qin Liu, Takeshi Ikenaga, "Macroblock Level Rate Control for H.264/AVC Based on Model Parameter Update and Weighted Reference Calculation", 電子情報通信学会総合大会, D-11-21, Mar. 2009.
 19. Jingbang Qiu, Tianci Huang, Takeshi Ikenaga, "1D-based 2D Gaussian Convolution Unit Based Hardware Accelerator for Gaussian & DoG Pyramid Construction in SIFT", 電子情報通信学会総合大会, D-12-69, Mar. 2009.
 20. Tian ci Huang, Jing bang Qiu, Takeshi Ikenaga, "A GMM based Foreground Extraction Algorithm in Complex Background for Surveillance System", 電子情報通信学会総合大会, D-12-96, Mar. 2009.
 21. 牛木 慎祐, 中村 浩一, 清水 一範, 王 棋, 阿部 裕太, 後藤 敏, 池永 剛, "LDPC 符号化 OFDM-UWB 方式に基づく 820Mb/s ベースバンド処理 LSI", 電子情報通信学会集積回路研究会, Jan. 2009.
 22. 佐藤亘, 大智輝, 戸川望, 柳澤政生, 大附辰夫, "フロアプランを考慮した高位合成のための高速なモジュール配置手法," 電子情報通信学会 技術研究報告 2009 年 1 月.
 23. 渡辺隆行, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションプロセッサのための高速かつ最適なパイプライン構成を持つ SIMD 演算ユニット合成手法," 電子情報通信学会 技術研究報告 2009 年 1 月.
 24. 小林優太, 戸川望, 柳澤政生, 大附辰夫, "命令メモリアクセス数削減に基づく低エネルギー ASIP 合成手法," 電子情報通信学会 技術研究報告 2009 年 1 月(引用).
 25. 東條信明, 戸川望, 柳澤政夫, 大附辰夫, "組み込みシステムの 2 階層キャッシュとスクラッチパッドメモリのシミュレーション手法," 電子情報通信学会 技術研究報告, vol. 108, no. 298, VLD2008-76, pp. 97-102, 2008 年 11 月.
 26. 長島諒侑, 今井優太, 戸川望, 柳澤政生, 大附辰夫, "高効率列処理演算器によるマルチレート対応高スループットイレギュラーLDPC 復号器の実装と評価," 電子情報通信学会 技術研究報告, vol. 108, no. 298, VLD2008-66, pp. 37-42, 2008 年 11 月.
 27. 遠藤哲弥, 大智輝, 戸川望, 柳澤政生, 大附辰夫, "レジスタ分散型アーキテクチャを対象としたフロアプラン指向高位合成のためのマルチプレクサ削減手法," 電子情報通信学会 技術研究報告, vol. 108, no. 298, VLD2008-84, pp. 145-150, 2008 年 11 月.

28. 松永多苗子, 木村晋二, 松永裕介, “FPGA を対象とした部分積加算回路の合成について,” 情処研報告 2008-SLDM-136, pp.59-63, Oct. 2008.
29. Wenqi YOU, Xianghui WEI, Yang SONG, Takeshi IKENAGA, Satoshi GOTO, “A Novel Hardware-Friendly Regular 3-Step Integer Motion Estimation Algorithm for H.264/AVC”, 2008 年電子情報通信学会通信ソサイエティ大会, 通信講演論文集 2, BS-12-18, S-152, Sep. 2008.
30. Guifen Tian, Tianruo Zhang, Takeshi Ikenaga, Satoshi Goto, “A Fast Block Type Decision Algorithm for H.264/AVC Intra Prediction”, 2008 年電子情報通信学会通信ソサイエティ大会, 通信講演論文集 2, BS-12-19, S153, Sep. 2008.
31. 大智輝, 戸川望, 柳澤政生, 大附辰夫, “マルチサイクル配線遅延を考慮したフロアプラン指向高位合成手法”, 情報処理学会 DA シンポジウム 2008, pp.109-114, 2008 年 8 月.
32. 松永多苗子, 木村晋二, 松永裕介, “スイッチング確率を考慮した prefix graph 合成手法の改良について,” 情処研報告 2008-SLDM-135, pp.31-36, May 2008.
33. Tianruo ZHANG, Guifen TIAN, Takeshi IKENAGA, Satoshi GOTO, “A Novel Fast Block Type Decision Algorithm for Intra Prediction in H.264/AVC High Profile”, The 21st Workshop on Circuits and Systems in Karuizawa, Japan, pp.121-125, Apr.2008
34. Yibo FAN, Takeshi IKENAGA, Yukiyasu TSUNOO, Satoshi GOTO, “A Low-cost LSI design of AES against DPA attack by hiding power information”, The 21th workshop on circuits and systems in karuizawa, Japan, pp,271-274 Apr.2008.
35. Song Chen, Liang-Wei Ge, Mei-Fang Chiang and T.Yoshimura, “Lagrangian Relaxation Based Inter-Layer Signal Via Assignment for 3-D ICs”, Proc. 21st Circuits and Systems Karuizawa Workshop, pp581-586, 2008.4.
36. 東條信明, 戸川望, 柳澤政生, 大附辰夫, “アプリケーションプロセッサの L1 キャッシュ最適化手法”, 第 21 回 回路とシステム 軽井沢ワークショップ, 2008 年 4 月.
37. WANG Lu, ZHANG Xiaolin, CHEN Song, and YOSHIMURA Takeshi, “On Objective Functions for Fixed-Outline Floorplanning”, 電子情報通信学会 2008 年総合大会, 2008 年 3 月
38. XU Zheng, CHEN Song, and YOSHIMURA Takeshi, “A Multilevel Fixed-outline Floorplanning for Large-scale IC Design”, 電子情報通信学会 2008 年総合大会, 2008 年 3 月
39. 田島直樹, 阿部裕太, 清水一範, 池永剛, 後藤敏, “H.264/AVC エラーコンシールメントに基づくUEPメディアシステムの消費電力削減手法”, 電子情報通信学会 2008 総合大会, 2008 年 3 月
40. 唐文明, 阿部裕太, 池永剛, 後藤敏, “高効率メッセージパッシングイレギュラーLDPC 復号器の面積削減方法”, 電子情報通信学会 2008 総合大会, A-3-15, 2008 年 3 月
41. Yao Ma, Yang Song, Yan Zhuang, Wenqi You, Takeshi Ikenaga, Satoshi Goto, “Group-Based Prediction Scheme on Multiple Reference Frame Fractional Motion Estimation in H.264/AVC”, IEICE general conference, Kitakyushu, Japan, A-16-1, Mar., 2008
42. Guifen Tian, Tianruo Zhang, Wenqi You, Takeshi Ikenaga, Satoshi Goto, “A Fast Mode Decision Algorithm for H.264/AVC Intra Prediction”, IEICE general conference, Kitakyushu, Japan, A-16-2, Mar., 2008
43. Chang-Uk Jeong, Takeshi Ikenaga, Satoshi Goto, “Diamond Web-grid Search Algorithm for H.264/AVC Motion Estimation”, IEICE general conference, Kitakyushu, Japan, A-4-16, Mar., 2008
44. Tianruo Zhang, Guifen Tian, Takeshi Ikenaga, Satoshi Goto, “A Novel Fast Block Type Decision Algorithm for Intra Prediction in H.264/AVC High Profile”, IEICE general conference, Kitakyushu, Japan, D-11-50, Mar., 2008
45. Yan Zhuang, Tianruo Zhang, Guifen Tian, Takeshi Ikenaga, Satoshi Goto, “Rate Estimation Using Linear programming in RDO of H.264/AVC”, IEICE general conference, Kitakyushu,

- Japan, A-16-12, Mar., 2008
46. Wen Ji, Yuta Abe, Takeshi Ikenaga, Satoshi Goto, "High Throughput Rate-1/2 Partially-Parallel Irregular LDPC Decoder", IEICE general conference, Kitakyushu, Japan, A-4-33, Mar., 2008
 47. Hsing-Ying Ho, Takeshi Ikenaga, Satoshi Goto, "Prediction-based Center-bias Fast Fractional Motion Estimation Algorithm for H.264/AVC", IEICE general conference, Kitakyushu, Japan, A-4-33, Mar., 2008
 48. Jun Wang, Takeshi Ikenaga, Satoshi Goto, "Adaptive Spatial EC Based on Numerical Measures of Edge Statistical Model", IEICE general conference, Kitakyushu, Japan, D-11-70, Mar., 2008
 49. Wenqi You, Yang Song, Guifen Tian, Takeshi Ikenaga, Satoshi Goto, "A Mode Reduction Based Fast Integer Motion Estimation Algorithm for HDTV", IEICE general conference, Kitakyushu, Japan, D-11-14, Mar., 2008
 50. Xianghui Wei, Hsing-Ying Ho, Wenqi You, Takeshi Ikenaga, Satoshi Goto, "Level C+ Bandwidth Reduction Method for MPEG-2 to H.264 Transcoding", IEICE general conference, Kitakyushu, Japan, A-16-11, Mar., 2008
 51. 阿部裕太, 田島直樹, 李星, 清水一範, 池永剛, 後藤敏, "高効率 Message-Passing スケジュールを用いたイレギュラーLDPC 復号器の高速マルチレート設計", VLSI 設計技術研究会(沖縄), 2008年3月
 52. 田島直樹, 阿部裕太, 清水一範, 池永剛, 後藤敏, "長い符号長に適した低消費電力高効率 Message-Passing LDPC デコーダーの設計", VLSI 設計技術研究会(沖縄), 2008年3月
 53. Yibo Fan, Jidong Wang, Takeshi Ikenaga, Yukiyasu Tsunoo, Satoshi Goto, "Hardware Evaluation of eSTREAM Stream Cipher Candidates in Phase 3 Profile 2: Moustique, Pomaranch and Decim v2", Symposium on Cryptography and Information Security (SCIS2008), Jan., 2008
 54. 日浦敏宏, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションプロセッサのカーネル自動生成手法", 電子情報通信学会 VLD 研究会, pp.83-88, 慶應義塾大学日吉キャンパス, 2008/1/17
 55. 東條信明, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションプロセッサの L1 データキャッシュ最適化手法", 電子情報通信学会 VLD 研究会, Vol.107, pp.77-82, 慶應義塾大学日吉キャンパス, 2008/1/17
 56. 遠藤哲弥, 大智輝, 戸川望, 柳澤政生, 大附辰夫, "レジスタ分散型アーキテクチャを対象とした高位合成のためのマルチプレクサ削減手法", 電子情報通信学会 VLD 研究会, pp.7-12, 慶應義塾大学日吉キャンパス, 2008/1/17
 57. Tianruo Zhang, Shen Li, Heng-Yao Lin, Takeshi Ikenaga, Satoshi Goto, "A Hardware-Oriented Hybrid Fast Mode Decision Algorithm for H.264/AVC Intra Encoder", SIP Symposium, Sendai, Japan, pp.95-99, Nov., 2007
 58. 阿部 裕太, 清水 一範, 李 星, 池永 剛, 後藤 敏, "802.11n に準拠した LDPC 誤り訂正符号の高速化設計", 第11回システムLSIワークショップ, 2007年11月
 59. 黄 異青, 劉 振宇, 池永 剛, 後藤 敏, "Pixel Difference and Motion Feature Analysis to Complexity Reduction in H.264/AVC Motion Estimation", 22 回信号処理シンポジウム, 2007年11月
 60. 中村浩一, 牛木慎祐, 清水一範, 後藤敏, 池永剛, "LDPC 符号化 UWB-OFDM 方式におけるインターリーブ手法に関する提案", 22 回信号処理シンポジウム, 2007年11月
 61. 今井優太, 清水一範, 戸川望, 柳澤政生, 大附辰夫, "列処理演算法に着目したマルチレート対応イレギュラーLDPC 符号復号器", 電子情報通信学会 RECONF 研究会, Vol.107, No.342, pp.19-24, 北九州国際会議場, 福岡, 2007/11/22
 62. 川畑伸幸, 奈良竜太, 戸川望, 柳澤政生, 大附辰夫, "AES における合成体 SubBytes 向けパワーマスキング乗算回路の設計", 電子情報通信学会 VLD 研究会, Vol.107, No.335,

- pp.37-42, 北九州国際会議場, 福岡, 2007/11/21
63. 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD プロセッサコアの面積/遅延見積もり手法", 情報処理学会 組込みシステム研究会 組込みシステムシンポジウム 2007, pp.233-240, 日本科学未来館, 東京, 2007/10/20
 64. 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "楕円曲線暗号用 SIMD 型 MSD 乗算器の設計", 情報処理学会 組込みシステム研究会 組込みシステムシンポジウム 2007, pp.90-99, 日本科学未来館, 東京, 2007/10/19
 65. 大田元則, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "応用指向動的再構成なネットワークプロセッサ設計手法", 情報処理学会 組込みシステム研究会 組込みシステムシンポジウム 2007, pp.141-150, 日本科学未来館, 東京, 2007/10/19
 66. 田島直樹, 清水一範, 池永剛, 後藤敏, "不均一誤り保護方式を用いたメディア処理システムの計算量削減手法", 第 58 回情報処理学会オーディオビジュアル複合処理研究会, Vol. 2007, No. 96, pp. 9-14, 福岡, 日本, 2007 年 9 月
 67. 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "GF(2m)上の SIMD 型 MSD 乗算器を用いた楕円曲線暗号回路の実装", 情報処理学会 システム LSI 設計技術研究会 情報処理学会 DA シンポジウム 2007, pp.221-226, 遠鉄ホテルエンパイア, 静岡県, 2007/8/30
 68. 大田元則, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションに特化した動的再構成可能なネットワークプロセッサ", 情報処理学会 システム LSI 設計技術研究会 情報処理学会 DA シンポジウム 2007, pp.37-42, 遠鉄ホテルエンパイア, 静岡県, 2007/8/29
 69. 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "HW/SW 協調合成における ASIP の面積/遅延見積もり手法", 情報処理学会 システム LSI 設計技術研究会 情報処理学会 DA シンポジウム 2007, pp.31-36, 遠鉄ホテルエンパイア, 静岡県, 2007/8/29
 70. 谷村和幸, 奈良竜太, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, "GF(2n)及び GF(P)におけるスケーラブル双基数ユニファイド型モンゴメリ乗算器", 電子情報通信学会 VLD 研究会, Vol.107, No.105, pp.43-48, 北海道東海大学 札幌キャンパス, 2007/6/22
 71. 本間雅行, 戸川望, 柳澤政生, 大附辰夫, 佐藤真琴, "再構成型プロセッサ FE-GA へのフィルタマッピングとその自動化手法", 電子情報通信学会 VLD 研究会, Vol.107, No.100, pp.67-72, 北海道東海大学 札幌キャンパス, 2007/6/21
 72. 牛木 慎祐, 清水 一範, 中村 浩一, 後藤 敏, 池永 剛, "OFDM無線通信向き高速・低消費電力FFT回路の提案", 電子情報通信学会集積回路研究会, 2007 年 5 月
 73. 奈良竜太, 清水一範, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "楕円曲線暗号に適した GF(2m)上の SIMD 型 MSD 乗算器の設計", 電子情報通信学会 VLD 研究会, Vol.107, No.32, pp.25-29, 京大会館, 2007/5/11
 74. Yukio Yamakoshi, Takeshi Yoshimura, Takeshi Ikenaga, Satoshi Goto, "Small Deadspace Fixed-Outline Floorplanner with Soft Modules", The 20th Workshop on Circuits and Systems in Karuizawa, Nagano, Japan, pp.295-300, Apr., 2007
 75. Yibo Fan, Takeshi Ikenaga, Satoshi Goto, "A High-speed Design of Montgomery Multiplier", The 20th Workshop on Circuits and Systems in Karuizawa, Nagano, Japan, pp.137-142, Apr., 2007
 76. Zhenxing Chen, Yang Song, Takeshi Ikenaga, Satoshi Goto, "Motion-Content Based Search Range Prediction in Variable Block Size Motion Estimation", The 20th Workshop on Circuits and Systems in Karuizawa, Nagano, Japan, pp.615-619, Apr., 2007
 77. Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Low Power LDPC Decoder Design based on Accelerated Message-Passing Schedule", The 20th Workshop on Circuits and Systems in Karuizawa, Nagano, Japan, pp.331-336, Apr., 2007
 78. Dmitriev Ivan, Grandpierre Thierry, Akil Mohamed, Ghorayeb Hicham, Satoshi Goto, Takeshi Ikenaga, "A real-time parallel architecture for human face detection based on the Algorithm Architecture Adequation approach", 第 20 回回路 とシステム軽井沢ワークショップ, 2007 年

4 月

79. Yiqing Huang, Zhenyu Liu, Yang Song, Satoshi Goto, Takeshi Ikenaga, "Inter Search Mode Reduction Based Parallel Propagate Partial SAD Architecture for Variable Block Size Motion Estimation in H.264/AVC", 第 20 回回路 とシステム軽井沢ワークショップ, 2007 年 4 月
80. 奈良竜太, 小原俊逸, 清水一範, 戸川望, 柳澤政生, 大附辰夫, "GF(2n)上の MSB 乗算器をベースにした楕円曲線暗号 LSI 向け MSD 乗算器の実装", 電子情報通信学会 第 20 回回路とシステム軽井沢ワークショップ, pp.355-360, 軽井沢プリンスホテル, 2007/4/23
81. Yun Yang, Shinji Kimura, "Optimal planar jumping systolic array design for matrix multiplication", Proceedings of 20th Workshop on Circuits and Systems in Karuizawa, pp.343-348, Apr., 2007
82. 李 星, 清水一範, 池永 剛, 後藤 敏, "高効率 Message-Passing スケジュールを用いた部分並列型イレギュラーLDPC 復号器", 電子情報通信学会集積回路研究会, Mar. 2007.
83. 神園: 線形計画法を用いたクロックスキューの最適化, 情処学会九州支部「火の国シンポジウム 2007」講演 No. C-2-1(2007 年 3 月)
84. 井上 敬太, シン唯頡, 木村 晋二, "回路変更を用いたプロトタイプ設計検証の高速化手法", 情報処理学会研究報告, No. SLDM129/4, pp.113-118, 2007 年 3 月.
85. 堀内一央, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションプロセッサ向けデータキャッシュ構成最適化システムとその評価", 電子情報通信学会技術研究報告, VLD2006-122, pp.19-24, March 2007.
86. 繁田裕之, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコア設計におけるプロセッシングユニット最適化手法," 電子情報通信学会技術研究報告, VLD2006-119, pp.1-6, March 2007.
87. 大東真崇, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコアを対象としたハードウェア/ソフトウェア分割フレームワーク," 電子情報通信学会技術研究報告, VLD2006-120, pp.7-12, March 2007.
88. 元橋雅人, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "携帯機器向け MPEG-A Photo Player のメタデータ生成システムのハードウェア化に関する一考察," 電子情報通信学会技術研究報告, VLD2006-145, pp.31-36, March 2007.
89. 中島裕貴, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコア最適化設計のための多重ループに対応した SIMD 命令合成手法", 電子情報通信学会技術研究報告, VLD2006-121, pp.13-18, March 2007.
90. 奈良竜太, 小原俊逸, 清水一範, 戸川望, 池永剛, 柳澤政生, 後藤敏, 大附辰夫, "楕円曲線暗号向け GF(2m) 上の Digit-Serial 乗算器の設計", 電子情報通信学会 VLSI 設計技術研究会, Jan. 2007.
91. Yibo Fan, Xiaoyang Zeng, Takeshi Ikenaga, Satoshi Goto, "Hardware Reuse Architecture for High-Radix Scalable Montgomery Multiplier", 2E2-1, Symposium on Cryptography and Information Security (SCIS2007), Jan. 2007.
92. 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, "XML をベースとした CDFG マニピュレーションフレームワーク: CoDaMa", 電子情報通信学会技術研究報告, VLD2006-97, January 2007 (引用).
93. 平塚 誠一郎, 清水一範, 後藤 敏, 池永 剛, "モバイル向け 0.3mW、1.4mm² 動き検出プロセッサ LSI", 電子情報通信学会集積回路研究会, Dec. 2006.
94. 今井優太, 清水一範, 戸川望, 柳澤政生, 大附辰夫, "動的再構成可能なマルチレート対応 LDPC 符号復号器の実装," 電子情報通信学会技術研究報告, RECONF2006-43, pp.35-40, November 2006.
95. 日浦敏宏, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, "アプリケーションプロセッサのフォワーディングユニット最適化手法", 電子情報通信学会技術研究報告, VLD2006-80, pp.49-54, November 2006.
96. 古宇田朋史, 小原俊逸, 史又華, 戸川望, 柳澤政生, 大附辰夫, "MPEG-4 形式符号化/複

合化に対応した DSP 組み込み向け専用演算器の設計,” 情報処理学会組込みシステムシンポジウム 2006 論文集(ESS2006) Vol.2006, pp.70-78, October 2006.

(国際)

1. Xin Jin and Satoshi Goto, “Low power parallel surveillance video encoding system based on joint power-speed scheduling”, Visual Communications and Image Processing (VCIP 2011), Tainan, Taiwan, Nov. 6-9, 2011.
2. Yu Jin and Shinji Kimura, “Multi-Stage Power Gating Based on Controlling Values of Logic Gates,” Proc. ASICON, 4 pages, Oct. 2010.
3. J.Ye, J.Jin and T.Watanabe, “A Behavior-based Reconfigurable Cache for the Low Power Embedded Processor, ASICON2011”, Xiamen, Oct.,2011.
4. Jiu Xu, Ning Jiang, Satoshi Goto, “Block-based Codebook Model with Oriented-Gradient Feature for Real-time Foreground Detection”, 2011 IEEE 13th International Workshop on Multimedia Signal Processing(MMSP), 6 pages, Hangzhou, China, October 17-19, 2011.
5. Qian Xie, Qian He, Xiao Peng, Ying Cui, Zhixiang Chen, Dajiang Zhou, Satoshi Goto, “A High Parallel Macro Block Level Layered LDPC Decoding Architecture based on Dedicated Matrix Reordering”, SiPS 2011, Beirut, Lebanon, Oct.4-6. 2011.
6. Ying Cui, Xiao Peng, Zhixiang Chen, Xiongxin Zhao, Yichao Lu, Dajiang Zhou and Satoshi Goto, “Ultra Low Power QC-LDPC Decoder with High Parallelism,”The 24th IEEE International SOC Conference (SOCC2011), Taipei, Taiwan, Sept.26-28, 2011.
7. Jinjia Zhou, Dajiang Zhou, Gang He and Satoshi Goto, “A 16-65 Cycles/MB H.264/AVC Motion Compensation Architecture for Quad-HD Applications”, The 2011 European Signal Processing Conference (EUSIPCO), ISSN 2076-1465, Catalonia, Spain. 8.29-9.2, 2011, pp. 728-733.
8. Wei Fei, Dajiang Zhou, Satoshi Goto, “A 1 Gbin/s CABAC Encoder for H.264/AVC”, EUSIPCO 2011, ISSN 2076-1465, Barcelona, Spain, 8.29-9.2, 2011, pp. 1524-1528.
9. Xun He, Dajiang Zhou, Xin Jin and Satoshi Goto, “A 98 GMACs/W 32-Core Vector Processor in 65nm CMOS”, International Symposium on Low Power Electronics and Design (ISLPED) 2011, Fukuoka, Japan, Aug. 1-3, 2011.
10. C.Li, Y-P.Dong and T.Watanabe New Power-aware Placement for Region-based FPGA Architecture combined with Dynamic Power Gating by PCHM, ISLPED2011, Fukuoka, August, 2011
11. Taeko Matsunaga, Shinji Kimura and Yusuke Matsunaga, “Power and Delay Aware Synthesis of Multi-Operand Adders Targeting LUT-based FPGAs”, Proc. International Symposium on Low Power Electronics and Design, pp.217-222, Aug. 2011 (引用).
12. C.Li, Y-P.Dong and T.Watanabe: New Power-Efficient FPGA Design combining with Region-Constrained Placement and Multiple Power Domains, NEWCAS2011, Bordeaux(France), June 26-29, 2011
13. Zhixiang Chen, Xiao Peng, Xiongxin Zhao, Qian Xie, Leona Okamura, Dajiang Zhou and Satoshi Goto, “A Macro-Layer Level Fully Parallel Layered LDPC Decoder SoC for IEEE 802.15.3c Application,” 2011 IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT 2011), Apr. 26, 2011. DOI: 10.1109/VDAT.2011.5783634
14. Masashi Tawada, Masao Yanagisawa, Tatsuo Ohtsuki and Nozomu Togawa, “Exact and fast L1 cache configuration simulation for embedded systems with FIFO/PLRU cache replacement policies,” in Proc. IEEE VLSI-DAT 2011, pp. 1-4, April, 2011. (DOI 10.1109/VDAT.2011.5783622).
15. Dajiang Zhou, Jinjia Zhou, Xun He, Ji Kong, Jiayi Zhu, Peilin Liu and Satoshi Goto, “A 530Mpixels/s 4096x2160@60fps H.264/AVC high profile video decoder chip”, IEEE- JSSC, Vol.46, No.4, pp.777-788, Apr. 2011. (DOI:10.1109/JSSC.2011.2109550) (引用)

16. W. Zhong, B. Yu, S. Chen, T. Yoshimura, S. Dong, and S. Goto, "Application-Specific Network-on-Chip Synthesis: Cluster Generation and Network Component Insertion", in IEEE Proc. International Symposium on Quality Electronic Design (ISQED), March 2011. (引用)
17. N. Liu, S. Chen, T. Yoshimura, "Floorplanning for high utilization of heterogeneous FPGAs", in IEEE Proc. International Symposium on Quality Electronic Design (ISQED), March 2011.
18. R. Liu, S. Chen, and T. Yoshimura, "Post-scheduling frequency assignment for energy-efficient high-level synthesis," in Proc. IEEE Asia Pacific Conference on Circuits and Systems, pp.588-591, Dec.2010.
19. Youhua Shi, Kenta Tokumitsu, Nozomu Togawa, Masao Yanagisawa and Tatsuo Ohtsuki, "VLSI Implementation of a Fast Intra Prediction Algorithm for H.264/AVC Encoding," Proc. of IEEE APCCAS, pp.1139-1142, Dec. 2010.
20. Gang He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, "Intra Prediction Architecture for H.264/AVC QFHD Encoder", PCS 2010, Dec. 7th, 2010. (DOI:10.1109/PCS.2010.5702533)
21. Kun Ba, Xin Jin and Satoshi Goto, "A dynamic slice-resize algorithm for fast H.264/AVC parallel decoder," The 18th International Symposium on Intelligent Signal Processing and Communications Systems (ISPACS2010), Cheng Du, China, Dec. 06-08, 2010. (DOI:10.1109/ISPACS.2010.5704638)
22. Tianruo Zhang, Minghui Wang, Chen Liu, and Satoshi Goto, "Complexity Reduction Algorithm for Region-of-Interest based H.264 Encoding", APCCAS 2010, Malaysia, Dec. 6, 2010. (引用)
23. Ning Jiang, Yijun Lu, Shaopeng Tang and Satoshi Goto, "Rapid Face Detection using A Multi-mode Cascade and Separate Haar Feature", ISPACS 2010, Dec 6th, 2010. (DOI:10.1109/ISPACS.2010.5704623)
24. Xin Jin, Kun Ba and Satoshi Goto, "Low power parallel encoding system for video surveillance applications," International SoC Design Conference (ISOCC) 2010, Songdo Convensia, Incheon, Korea, Nov. 22-23, 2010. (DOI: 10.1109/SOCCDC.2010.5682929)
25. S. Chen, Y. Yao, and T. Yoshimura, "A dynamic programming based algorithm for post-scheduling frequency assignment in energy-efficient high-level synthesis," in International Conference on Solid-State and Integrated-Circuit Technology (ICSICT), pp.794-796, November, 2010. (DOI: 10.1109/ICSICT.2010.5667427)
26. Tianruo Zhang, Xin Jin, Chen Liu, Minghui Wang, and Satoshi Goto, "ROI based Complexity Reduction Algorithm for H.264 Encoder", ISOCC 2010, Incheon, Korea, Nov. 22-23, 2010. (DOI:10.1109/SOCCDC.2010.5682927)
27. Chen Liu, Xin Jin, Tianruo Zhang, Minghui Wang and Satoshi Goto, "Interactive partial video decoding for viewing resolution adaptation", ISOCC2010, Incheon, Korea, Nov. 22-23, 2010. (DOI:10.1109/SOCCDC.2010.5682925)
28. Xiongxin Zhao, Zhixiang Chen, Xiao Peng, Dajiang Zhou and Satoshi Goto, "A BER performance-aware early termination scheme for layered LDPC decoder", SIPS 2010, pp. 416-419, October 6th, 2010. (DOI: 10.1109/SIPS.2010.5624881)
29. Minghui Wang, Tianruo Zhang, Chen Liu and Satoshi Goto, "Region-of-Interest based Preprocessing for H.264/AVC Encoding", The Journal of the Institute of Image Electronics Engineers of Japan, Vol. 39, No. 5, pp.682-691, Sep. 2010.
30. Xin Jin and Satoshi Goto, "Hilbert Transform based Workload Estimation for Low Power Surveillance Video Compression", ICIP 2010, pp.4461-4464, Sep. 26th, 2010. (DOI: 10.1109/ICIP.2010.5651500) (引用)
31. Shaopeng Tang, Satoshi Goto, "Multi scale block histogram of template feature for pedestrian detection", ICIP2010, pp. 3493-3496, Sep. 26th, 2010. (DOI: 10.1109/ICIP.2010.5654039)
32. Xin Jin and Satoshi Goto, "Encoder Adaptable Difference Detection for Low Power Video

- Compression in Surveillance System”, PCM 2010, part II, pp.285–296, Sep. 21th, 2010.(DOI: 10.1007/978-3-642-15696-0_27) (引用)
33. Jinjia Zhou, Dajiang Zhou, Gang He and Satoshi Goto, “A Bandwidth Reduction Scheme and its VLSI Implementation for H.264/AVC Motion Vector Decoding”, PCM2010,partII,pp.52-61,Sep.21th,2010.(DOI: 10.1007/978-3-642-15696-0_6)
 34. Liu Song, Dajiang Zhou, Xin Jin, Satoshi Goto, “A constant rate bandwidth reduction architecture with adaptive compression mode decision for video decoding”, EUSIPCO-2010, pp. 2017–2021, Aug. 23rd, 2010.
 35. Dajiang Zhou, Jinjia Zhou, Xun He, Ji Kong, Jiayi Zhu, Peilin Liu and Satoshi Goto, “System-level low power design for ultra high definition H.264/AVC video decoder”, ACM ISLPED 2010, Design Contest Award, Aug. 20th, 2010.
 36. Yibo Fan, Yukiyasu Tsunoo and Satoshi Goto, “ $2\mu\text{w}$ AES Core with DPA Attack-Countermeasure”, ACM ISLPED 2010, Design Contest Award, Aug. 20th, 2010.
 37. Xin Jin, Kun Ba and Satoshi Goto, “Low power surveillance video coding system,” ICME2010, pp.1156–1157, July 21st, 2010. (DOI:10.1109/ICME.2010.5583167) (引用)
 38. Xuena Bao, Dajiang Zhou, Peilin Liu and Satoshi Goto, “An Advanced Hierarchical Motion Estimation Scheme With Lossless Frame Recompression For Ultra High Definition Video Coding”, ICME 2010, pp. 820–825, July 21st, 2010. (DOI: 978-1-4244-7492-9/10/)
 39. Muchen Li, Xin Jin and Satoshi Goto, “Ultra Low Bit Rate Video Coding for Surveillance System”, ICGCS 2010, pp. 611–614, June 20th, 2010. (DOI: 10.1109/ICGCS.2010.5542989)
 40. Dajiang Zhou, Jinjia Zhou, Xun He, Ji Kong, Jiayi Zhu, Peilin Liu and Satoshi Goto, “A 530Mpixels/s 4096x2160@60fps H.264/AVC high profile video decoder chip”, Symposium on VLSI Circuits 2010, pp. 171–172, June 18th, 2010. (DOI 10.1109/VLSIC.2010.5560311) (引用)
 41. Zhixiang Chen, Xiongxin Zhao, Xiao Peng, Dajiang Zhou and Satoshi Goto, “An Early Stopping Criterion for Decoding LDPC Codes in WiMAX and WiFi Standards”, ISCAS 2010, pp. 473–476, June 1st, 2010. (DOI: 10.1109/ISCAS.2010.5537638)
 42. Xuena Bao, Dajiang Zhou, and Satoshi Goto, “A Lossless Frame Recompression Scheme for Reducing DRAM Power in Video Encoding,” ISCAS 2010, pp. 677–680, June 1st, 2010. (DOI: 10.1109/ISCAS.2010.5537495) (引用)
 43. Liu Song, Dajiang Zhou, Xin Jin, Peilin Liu, Satoshi Goto, “An adaptive bandwidth reduction scheme for video coding”, IEEE International Symposium on Circuits and Systems (ISCAS2010), pp. 401–404, May 30th, 2010. (DOI: 10.1109/ISCAS.2010.5537728)
 44. Xin Jin and Satoshi Goto, “Content Similarity Based Early Skip Mode Decision for Low Power Surveillance Video Compression”, The 4th International Symposium on Communications, Control and Signal Processing (ISCCSP2010), Limassol, Cyprus, MARCH 2010.
 45. Shaopeng Tang, Satoshi Goto, “Histogram of template for human detection”, ICASSP 2010, Dallas, USA, MARCH 2010.
 46. Lei CHEN and Shinji KIMURA, “Optimizing Controlling-Value-Based Power Gating with Gate Count and Switching Activity,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E92-A, No. 12, pp.3111–3118, DECEMBER 2009. (引用)
 47. Shaopeng Tang, Satoshi Goto, “Human Detection Using Motion and Appearance base Feature”, ICICS 2009, Beijing, China, pp.1-4, DECEMBER 2009, DOI: 10.1109/ICICS.2009.5397675.
 48. Dajiang Zhou, Jinjia Zhou, Jiayi Zhu, and Satoshi Goto, “A 48 cycles/MB H.264/AVC deblocking filter architecture for ultra high definition applications”, IEICE Trans. Fundamentals, Vol. E92-A, No. 12, pp. 3203–3210, DECEMBER 2009, DOI: 10.1587/transfun.E92.A.3203.

49. Yiqing Huang, Qin Liu, Shuijiong Wu, Zhewen Zheng, Takeshi Ikenaga, "Macroblock and Motion Feature Analysis to H.264/AVC Fast Inter Mode Decision", *IEICE Trans. Fundamentals*, Vol. E92-A, No. 12, pp. 3361-3368, DECEMBER 2009, DOI:10.1587/transfun.E92.A.3361. (引用)
50. Ohchi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Floorplan-aware high-level synthesis for generalized distributed-register architectures," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E92-A, no. 12, pp.3169-3179, DECEMBER 2009, DOI: 10.1587/transfun.E92.A.3169.
51. Zhixiang Chen, Xiongxin Zhao, Xiao Peng, Dajiang Zhou and Satoshi Goto "A High-Parallelism Reconfigurable Permutation Network for IEEE 802.11n and 802.16e LDPC Decoder", *ISPACS 2009*, Kanazawa, Japan, pp. 85-88, DECEMBER 2009, DOI: 10.1109/ISPACS.2009.5383896.
52. Jinjia Zhou, Dajiang Zhou, Xun He and Satoshi Goto, "A 64-cycleper-mb joint parameter decoder architecture for ultra high definition H.264/AVC applications," *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009)*, Kanazawa, Japan, 2009, pp. 49 -52 DECEMBER 2009, DOI: 10.1109/ISPACS.2009.5383903.
53. Xin Jin and Satoshi Goto, "Difference Detection with Encoder Adaptability for Low Complexity Surveillance Video Compression", *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009)*, Kanazawa, Japan, 2009. pp. 489-492. DECEMBER 7-9 2009, DOI: 10.1109/ISPACS.2009.5383796.
54. Xun He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, "A New Architecture for High Performance Intra Prediction in H.264 Decoder", *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009)*, Kanazawa, Japan, 2009, pp.41-44, DECEMBER 7-9, 2009, DOI: 10.1109/ISPACS.2009. 5383905.
55. Yiqing Huang, Qin Liu, Satoshi Goto, Takeshi Ikenaga, "Adaptive Sub-sampling based Reconfigurable SAD Tree Architecture for HDTV", *IEICE Trans. Fundamentals*, Vol. E92-A, No. 11, pp. 2819-2829, NOVEMBER 2009, DOI:10.1587/transfun.E92.A.2819.
56. Jinjia Zhou, Dajiang Zhou, Xun He and Satoshi Goto, "A High Speed Deblocking Filter Architecture for H.264/AVC." in *International SoC Design Conference*, pp. 63-66, NOVEMBER 2009, DOI: 10.1109/SOCD.2009.5423872.
57. Yu Hong, Peilin Liu, Hang Zhang, Zongyuan You, Dajiang Zhou, and Satoshi Goto, "A 360Mbin/s CABAC Decoder for H.264/AVC Level 5.1 Applications", *ISOC 2009*, Busan, Korea, pp. 71-74, NOVEMBER 2009, DOI: 10.1109/SOCD.2009.5423878.
58. Xun He, Dajiang Zhou, Jinjia Zhou and Satoshi Goto, "High Profile Intra Prediction Architecture for H.264", *International SoC Design Conference*, pp. 57-60, NOVEMBER 2009, DOI: 10.1109/SOCD.2009.5423874.
59. Yiqing Huang, Qin LIU Takeshi Ikenaga, "Macroblock Feature and Motion Involved Multi-stage Fast Inter Mode Decision Algorithm in H.264/AVC Video Coding", *IEEE International Conference on Image Processing (ICIP2009)*, NOVEMBER 2009, 978-1-4244-5654-3/09/\$26.00©2009IEEE.
60. Zhenyu Liu, Takeshi Ikenaga, "Hardware Optimizations of Variable Block Size Hadamard Transform for H.264/AVC FRExt", *IEEE International Conference on Image Processing (ICIP2009)*, NOVEMBER 2009, 978-1-4244-5654-3/09/\$26.00©2009IEEE.
61. Xiacong Jin, Yiqing Huang, Qin Liu, Shuijiong Wu, Takeshi Ikenaga, "Fast Spatial Direct Mode Decision for B Slice Based on Temporal Information in H.264 Standard", *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2009)*, NOVEMBER 2009, 978-1-4244-5016-9/09/\$25.00©2009IEEE.
62. R. Nara, N. Togawa, M. Yanagisawa, T. Ohtsuki, "Scan-Based Attack against Elliptic Curve Cryptosystems," *Proc. of IEEE ASP-DAC 2010*, Jan. 2010 (accepted).

63. Shaopeng Tang, Satoshi Goto, "Human Detection Using Motion and Appearance baseFeature", ICICS 2009, Beijing, China, Dec 2009(accepted).
64. Tianruo Zhang, Chen Liu, Minghui Wang, Satoshi Goto, "Region-of-Interest based H.264 Encoder for Videophone with a Hardware Macro block Level Face Detector", MMSP 2009, Rio de Janeiro, Brazil, Oct 2009.
65. Tianruo Zhang, Minghui Wang, Chen Liu, Satoshi Goto, "VLSI Architecture of a Low Complexity Face Detection Algorithm for Real-Time Video Encoding", ASICON 2009, Changsha, China, Oct 2009, DOI:10.1109/ASICON.2009.5351587(引用)
66. Minghui Wang, Tianruo Zhang, Satoshi Goto, "Pre-processor of the Region-of-Interest Based H.264 Encoder for Low Power Application", ASICON 2009, Changsha, China, Oct 2009.
67. Xiao Peng, Satoshi Goto, "Implementation of LDPC decoder for 802.16e", ASICON 2009, Changsha, China, Oct 2009.
68. Zhenxing Chen, Satoshi Goto, "A QP and partition-size statistic based fuzzy algorithm for fast inter & intra mode decision in video coding", CISP 2009, Tianjin, China, Oct 2009.
69. Jian-wei Shen, Mei-Fang Chiang, Song Chen, Wei Guo, Takeshi Yoshimura, "Redundant Via Allocation for Layer Partition-based Redundant Via Insertion", The IEEE 8th International Conference on ASIC, Oct. 2009.
70. Wei Guo, Song Chen, Mei-Fang Chiang, Jian-Wei Shen, Takeshi Yoshimura, "Convex-Cost Flow based Redundant Via Insertion with Density-Balance Consideration", The IEEE 8th International Conference on ASIC, Oct. 2009.
71. Xiaolin Zhang, Song Chen, Longfan Piao, Takeshi Yoshimura, "A Heuristic Method for Module Sizing Under Fixed-Outline Constraints", The IEEE 8th International Conference on ASIC, Oct. 2009.
72. Hongying Liu, Satoshi Goto, Junhuai Li, "An Indoor Localization System with RFID Passive Tags", International Symposium on Ubiquitous Computing Systems (UCS'2009), Beijing, China, pp.1-7, AUGUST 2009
73. Zhixiang Chen, Xiongxin Zhao and Satoshi Goto, "A Memory Efficient Check Message Quantization Scheme for LDPC decoder", ITC-CSCC2009, Jeju Island, Korea, pp. 1412-1415, JULY 2009
74. Xiongxin ZHAO, Zhixiang Chen and Satoshi Goto, "High Efficiency Architecture for DVB-S2 based LDPC decoder", ITC-CSCC2009, Jeju Island, Korea, pp. 1558-1561, JULY 2009
75. Zhewen Zheng, Yiqing Huang, Qin Liu, Takeshi Ikenaga, "Intra Mode Decision for Reducing Block Types and Prediction Modes Based on Edge Information in H.264/AVC", The 24th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2009), July 2009.
76. Jinjia Zhou, Dajiang Zhou, Hang Zhang, Yu Hong, Peilin Liu, and Satoshi Goto, "A 136 cycles/MB, luma-chroma parallelized H.264/AVC deblocking filter for QFHD applications", International Conference on Multimedia and Expo, New York, USA, pp. 1134-1137, JUNE 2009
77. Xin Jin, Satoshi Goto and King Ni Ngan, "Composite modeling of optical flow for artifacts reduction", International Conference on Multimedia and Expo, New York, USA, JUNE 2009
78. Dajiang Zhou, Zongyuan You, Jiayi Zhu, Ji Kong, Yu Hong, Xianmin Chen, Xuewen He, Chen Xu, Hang Zhang, Jinjia Zhou, Ning Deng, Peilin Liu, and Satoshi Goto, "A 1080p@60fps multi-standard video decoder chip designed for power and cost efficiency in a system perspective", Symp. VLSI Circuits 2009, Kyoto, Japan, pp. 262-263, JUNE 2009(引用)
79. Dajiang Zhou, Jinjia Zhou, and Satoshi Goto, "Prioritized reference decision for efficient motion vector coding", ISCAS 2009, Taipei, Taiwan, pp. 1649-1652, MAY 2009
80. Xianmin Chen, Peilin Liu, Jiayi Zhu, Dajiang Zhou, and Satoshi Goto, "Block-pipelining cache for motion compensation in high definition H.264/AVC video decoder", ISCAS 2009, Taipei,

- Taiwan, pp. 1069–1072, MAY 2009
81. Hongying Liu, Satoshi Goto, Junhuai Li, “The Study and Application of Tree-based RFID Complex Event Detection Algorithm”, 2nd International Symposium on Electronic Commerce and Security(ISECS’2009), NanChang, China, pp. 527-531, MAY 2009
 82. Minghui Wang, Tianruo Zhang, Chen Liu, Satoshi Goto, “Region-of-interest based dynamical parameter allocation for H.264/AVC encoders”, 27th Picture Coding Symposium (PCS 2009), Chicago, Illinois, USA, MAY 2009
 83. Xin Jin, Satoshi Goto and King Ni Ngan, “Optical flow based DC surface compensation for artifacts reduction”, 27th Picture Coding Symposium (PCS 2009), Chicago, Illinois, USA, MAY 2009
 84. Shaopeng Tang, Satoshi Goto, “Pedestrian Detection with an Ensemble of Localized Features”, ISCAS 2009, Taiwan, pp. 2838–2841, MAY 2009
 85. Xun He, Xiangzhong Fang, Ci Wang, Satoshi Goto, “Parallel HD Encoding on CELL. International Symposium on Circuits and Systems”, ISCAS 2009, Taiwan, pp. 1065 - 1068, MAY 2009
 86. M.-F. Chiang, T. Okamoto, and T. Yoshimura, “Register placement for high-performance circuits,” in Design, Automation and Test in Europe (DATE), Nice, France, April 2009, pp.1470–1475.
 87. Minghui Wang, Tianruo Zhang, Chen Liu, Satoshi Goto, “Region-of-Interest Based H.264 Encoding Parameter Allocation for Low Power Video Communication”, The 5th International Colloquium on Signal Processing and its Applications (CSPA2009), Mar.2009.
 88. Chen Liu, Tianruo Zhang, Xin Jin, Satoshi Goto, “An Inter Mode Decision Method with Motion Correlation Adaptation for H.264/AVC”, The 5th International Colloquium on Signal Processing and its Applications (CSPA2009), Mar.2009.
 89. Zhenxing CHEN, Satoshi GOTO, “OBJECT’S MOVING SPEED BASED MODEL FOR DECIDING VIDEO SEQUENCES’S BENCHMARK SEARCH RANGE IN VIDEO CODING”, The 5th International Colloquium on Signal Processing and its Applications(CSPA2009), Mar.2009.
 90. Zhao Min, Xin Jin, Satoshi Goto, “Novel Real-time Rate Control Algorithm for Constant Quality H.264/AVC High Vision Codec”, The 5th International Colloquium on Signal Processing and its Applications (CSPA2009), Mar.2009.
 91. Jingbang Qiu, Takeshi Ikenaga, Tianci Huang, “Hardware Accelerator for Feature Point Detection Part of SIFT Algorithm & Corresponding Hardware-Friendly Modification”, The 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2009), Mar. 2009.
 92. Yiqing Huang, Qin Liu, Takeshi Ikenaga, “VLSI Oriented Fast Motion Estimation Algorithm Based on Macroblock and Motion Feature Analysis”, The 5th International Colloquium on Signal Processing and its Applications (CSPA 2009), Mar. 2009.
 93. Tianci Huang, Jingbang Qiu, Takahiro Sakayori, Satoshi Goto and Takeshi Ikenaga, “Motion Detection Based On Background Modeling And Performance Analysis For Outdoor Surveillance”, International Conference on Computer modeling and simulation (ICCMS2009), Feb. 2009.
 94. Wu Shuijiong, Huang Yiqing and Ikenaga Takeshi, “A Macroblock-Level Rate Control Algorithm for H.264/AVC Video Coding with Context-Adaptive MAD Prediction Model”, International Conference on Computer modeling and simulation (ICCMS2009), Feb. 2009.
 95. Guifen Tian, Tianruo Zhang, Takeshi Ikenaga, Satoshi Goto, “A Fast Hybrid Decision Algorithm for H.264/AVC Intra Prediction Based on Entropy Theory”, MMM 2009, Sophia-Antipolis, France, LNCS 5371, pp.85-95, Jan.2009
 96. Wen Ji, Yata Abe, Takeshi Ikenaga, Satoshi Goto, “A High Performance LDPC Decoder for

- IEEE802.11n Standard”, 14th Asia and South Pacific Design Automation Conference (ASP-DAC2009), Japan, pp. 127-128, Jan. 2009.
97. Nobuaki Tojo, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Exact and Fast L1 Cache Simulation for Embedded Systems”, IEEE ASP-DAC 2009, Yokohama, Japan, Jan., 2009.
 98. Guifen Tian, Tianruo Zhang, Takeshi Ikenaga, Satoshi Goto, “A Fast Hybrid Decision Algorithm for H.264/AVC Intra Prediction Based on Entropy Theory”, MMM 2009, Sophia-Antipolis, France, LNCS 5371, pp.85-95, Jan.2009
 99. Yiqing Huang, Qin Liu, Takeshi Ikenaga, “Compressor Tree Based Processing Element Optimization in Propagate Partial Sad Architecture”, IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2008), Dec. 2008.
 100. Guifen TIAN, Tianruo ZHANG, Satoshi GOTO, “A Block Type Decision Algorithm for H.264/AVC Intra Prediction Based on Entropy Feature”, IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2008), Macao, China, pp.1348-1351, Nov.2008
 101. Tianruo ZHANG, Guifen TIAN, Satoshi GOTO, “A Frequency-Based Fast Block Type Decision Algorithm for intra Prediction in H.264/AVC High Profile”, IEEE Asia Pacific Conference on Circuits and Systems(APCCAS2008), Macao, China, pp. 1292-1295, Nov.2008
 102. Akiyuki Nagashima, Yuta Imai, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Dynamically Reconfigurable Architecture for Multi-Rate Compatible Regular LDPC Decoding”, IEEE APCCAS 2008, Macao China, Nov., 2008.
 103. Akira Ohchi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “High-level synthesis algorithms with floorplaning for distributed/shared-register architectures,” ICCAD 2008, Nov., 2008.(Special Session).
 104. Shinsuke Ushiki, Koichi Nakamura, Kazunori Shimizu, Qi Wang, Yuta Abe, Satoshi Goto and Takeshi Ikenaga, “A 820 Mb/s Baseband Processor LSI based on LDPC Coded OFDM for UWB Systems”, IEEE Asian Solid-State Circuits Conference (A-SSCC 2008), Nov. 2008.
 105. Yibo FAN, Takeshi IKENAGA, Satoshi GOTO, “Optimized 2-D SAD Tree Architecture of Integer Motion Estimation for H.264/AVC”, 16th IFIP/IEEE international conference on very large scale integration (VLSI-SoC 2008), Rhodes Island, Greece, pp.395-400, Oct. 2008
 106. Zhenxing CHEN, Qin LIU, Takeshi IKENAGA, Satoshi GOTO, “A Motion Vector Difference Based Self-Incremental Adaptive Search Range Algorithm for Variable Block Size Motion Estimation”, ICIP2008, San Diego, U.S., pp.1998-1991, Oct.2008
 107. Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, “Optimization of Propagate Partial SAD and SAD Tree Motion Estimation Hardwired Engine for H.264”, IEEE International Conference on Computer Design (ICCD 2008), Oct. 2008.
 108. Qin Liu, Yiqing Huang, Takeshi Ikenaga, “Early Detection Algorithms for 8×8 All-Zero Blocks in H.264/AVC”, IEEE 2008 International Workshop on Multimedia Signal Processing (MMSP-08), Oct. 2008.
 109. Taeko MATSUNAGA, Shinji KIMURA, Yusuke MATSUNAGA, “Synthesis of Parallel Prefix Adders Considering Switching Activities,” Proc. ICCD, pp.404-409, Oct. 2008.
 110. Liangwei Ge, Song Chen, T.Yoshimura, “Automatic Implementation of Arithmetic Functions in High-Level Synthesis”, Proc. ICSICT-2008, 2008.10
 111. Yibo FAN, Takeshi IKENAGA, Satoshi GOTO, “Fast VBSME design using reconfigurable hardware architecture and search range reduction algorithm”, The 10th IASTED International Conference on Signal and Image Processing (SIP 2008), Kailua-Kona, Hawaii, Aug. 2008.
 112. Qin Liu, Yiqing Huang, and Takeshi Ikenaga, “4 x 4 SAD and SATD based all Zero Block Detection Algorithm in H.264/AVC”, The 10th IASTED International Conference on Signal and Image Processing (SIP 2008), Aug. 2008.
 113. Yiqing Huang, Qin Liu, and Takeshi Ikenaga, “Half Pixel Cost Distribution based Simplified

- Fractional Motion Estimation”, The 10th IASTED International Conference on Signal and Image Processing (SIP 2008), Aug. 2008.
114. Qin Liu, Yiqing Huang, Takeshi Ikenaga, “Early Detection Algorithms for 4x4 and 8x8 All-Zero Blocks in H.264/AVC”, 16th European Signal Processing Conference (EUSIPCO 2008), Aug. 2008.
 115. Wenqi YOU, Yao MA, Yang SONG, Yan ZHUANG, Takeshi IKENAGA, Satoshi GOTO, “VLSI Oriented Group-based Algorithm for Multiple Reference Fractional Motion Estimation in H.264/AVC”, SIP2008, Hawaii, U.S., Aug.2008
 116. Yibo FAN, Takeshi IKENAGA, Satoshi GOTO, “A Low-cost Reconfigurable Architecture for AES Algorithm”, International Conference on Information and Communications Security (ICICS 2008), Prague, Czech Republic, pp.271-274 Jul.2008
 117. Tianruo ZHANG, Guifen TIAN, Takeshi IKENAGA, Satoshi GOTO, “A Novel Fast Block Type Decision Algorithm for Intra Prediction in H.264/AVC High Profile”, The 23rd International Technical Conference on Circuits/Systems, Computers and Communications, Shimonoseki, Japan, pp.1-4, Jul.2008
 118. Wenming TANG, Wen JI, Xianghui WEI, Takeshi IKENAGA, Satoshi GOTO, “A Power-saving 1Gbps Irregular LDPC Decoder based on High-efficiency Message Passing” The 23rd International Technical Conference on Circuits/Systems, Computers and Communications(ITC-CSCC),Shimonoseki, Japan, Jul.2008
 119. Jia Su, Qin Liu, Satoshi Goto, Takeshi Ikenaga, “8x8 transformation based all zero block detection for H.264/AVC encoder”, The 23rd International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2008), July 2008.
 120. Zheng Xu, Song Chen, T.Yoshimura and Y.Fang, “A New Implementation of Multilevel Framework for Interconnect-Driven Floorplanning”, Proc. ITC-CSCC 2008,pp.185-188, 2008.7
 121. Lu Wang, Xiaolin Zhang, Song Chen, T.Yoshimura, “On Objective Functions for Fixed-Outline Floorplanning”, Proc.ITC-CSCC 2008, pp569-572, 2008.7
 122. Liangwei Ge, Song Chen and T.Yoshimura, “Exploration of Schedule Space by Random Walk”, Proc.ITC-CSCC 2008, pp1573-1576, 2008.7
 123. Liangwei Ge, Song Chen, Yuichi Nakamura and T.Yoshimura, “A Synthesis Method of General Floating-Point Arithmetic Units by Aligned Partition”, Proc. ITC-CSCC 2008, pp.1177-1180, 2008.7
 124. Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, “Fast Motion Estimation for H.264/AVC Using Image Edge Features”, IEEE International Conference on Multimedia & Expo (ICME 2008), June 2008.
 125. Guifen TIAN, Tianruo ZHANG, Xianghui WEI, Takeshi IKENAGA, Satoshi GOTO, “An Efficient Fast Mode Decision Algorithm for H.264/AVC Intra Prediction”, CISP, Hainan, China, May. Vol.1, pp.411-415, May.2008
 126. Qin Liu, Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, “Aliasing Error Reduction Based Fast VBSME Algorithm”, Congress on Image and Signal Processing (CISP 2008), May 2008.
 127. Yiqing Huang, Qin Liu, Satoshi Goto, Takeshi Ikenaga, “Adaptive Subsampling and Motion Feature based Fast H.264 Motion Estimation”, Congress on Image and Signal Processing (CISP 2008), May 2008.
 128. Tianruo ZHANG, Shen LI, Guifen TIAN, Takeshi IKENAGA, Satoshi GOTO, “High Throughput VLSI Architecture of a Fast Mode Decision Algorithm for H.264/AVC Intra Prediction”, International Conference on Communications, Circuits and Systems, Xiamen, China, pp.1383-1387, May.2008
 129. Wen JI, Yuta ABE, Takeshi IKENAGA, Satoshi GOTO, “A Cost-Efficient Partially-Parallel Irregular LDPC Decoder Based on Sum-Delta Message Passing Algorithm”, GLSVLSI, Florida,

- USA, pp.207-212, May. 2008
130. Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, "VLSI Friendly Computation Reduction Scheme in H.264/AVC Motion Estimation", IEEE International Symposium on Circuits and Systems (ISCAS2008), May 2008 (引用).
 131. Lei Chen, Takashi Horiyama, Yuichi Nakamura, Shinji Kimura, "Fine-Grained Power Gating Based on the Controlling Value of Logic Gates," 情処研報告 2008-SLDM-135, pp.55-60, May 2008.
 132. Wen Ji, Xing Li, Takeshi IKENAGA, Satoshi GOTO, "High Throughput Partially-Parallel Irregular LDPC Decoder Based on Delta-Value Message-Passing Schedule ", VLSI Design, Automation and Test, Hsinchu, Taiwan, pp.220-223, Apr. 2008
 133. Akira. Ohchi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "High-level synthesis algorithms with floorplaning for distributed/shared-register architectures," VLSI-DAT 2008, pp. 164-167, Apr., 2008.
 134. Yuta Abe, Xing Li, Kazunori Shimizu, Takeshi Ikenaga, Satoshi Goto, "High-throughput design of high-efficiency message passing partially parallel irregular-LDPC decoder based on 802.11n", International Conference in Embedded Systems and Intelligent Technology (ICESIT 2008), Feb., 2008
 135. Youhua Shi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "GECOM: Test Data Compression Combined with All Unknown Response Masking, ASP-DAC 2008", pp.577-582, COEX, Seoul, Korea, Jan. 24, 2008
 136. Kazuyuki Tanimura, Ryuta Nara, Shunitsu Kohara, Kazunori Shimizu, Youhua Shi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "Scalable Unified Dual-Radix Architecture for Montgomery Multiplication in GF(P) and GF(2n)", ASP-DAC 2008, pp.697-702, COEX, Seoul, Korea, Jan. 24, 2008
 137. Zhenxing Chen, Yang Song, Takeshi Ikenaga, Satoshi Goto, "A Novel Dynamic Search Range Decision Method for Variable Block Size Motion Estimation in H.264/AVC", The International Conference on Information, Communications and Signal Processing (ICICS 2007), Singapore, Dec., 2007
 138. Yibo Fan, Jidong Wang, Takeshi Ikenaga, Yukiyasu Tsunoo, Satoshi Goto, "A New Video Encryption Scheme for H.264/AVC", PCM 2007, Hongkong, China, pp.246-255, Dec., 2007
 139. Yiqing Huang, Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, "Hardware Friendly Background Analysis Based Complexity Reduction in H.264/AVC Multiple Reference Frames Motion Estimation", International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2007), Nov., 2007
 140. Qin Liu, Zhenxing Chen, Satoshi Goto, Takeshi Ikenaga, "Fast Motion Estimation Algorithm Based on Edge Block Detection and Motion Vector Information", International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2007), Nov., 2007
 141. Lei Wang, Jun Wang, Satoshi Goto, Takeshi Ikenaga, "Variable Block Size Error Concealment Scheme based on H.264/AVC Non-normative Decoder", International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2007), Nov., 2007
 142. Zhenxing Chen, Yang Song, Takeshi Ikenaga, Satoshi Goto, "Hardware friendly adaptive search range algorithm for variable block size motion estimation in H.264/AVC", International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2007), Xiamen, China, pp. 369-372, Nov., 2007
 143. Taeko Matsunaga, Shinji Kimura, Yusuke Matsunaga, "Power-Conscious Synthesis of Parallel Prefix Adders under Bitwise Timing Constraints", Proceedings of 14th Workshop on Synthesis And System Integration of Mixed Information technologies, pp.7-14, Oct., 2007
 144. Lei Chen, Shinji Kimura, "Active Mode Leakage Power Reduction Based on the Controlling Value of Logic Gates", Proceedings of 14th Workshop on Synthesis And System Integration of

- Mixed Information technologies, pp.266–271, Oct., 2007
145. Jun Lu, Song Chen, Takeshi Yoshimura, "Performance Maximized Interlayer Via Planning for 3D Ics", Proceedings of ASICON2007, Oct. 2007
 146. Qin Liu, Seiichiro Hiratsuka, Satoshi Goto, Takeshi Ikenaga, "A 41mW VGA@30fps Quadtree Video Encoder for Video Surveillance Systems", The 7th International Conference on ASIC (ASICON2007), Oct., 2007
 147. Yiqing Huang, Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, "Cost Efficient Propagate Partial SAD Architecture for Integer Motion Estimation in H.264/AVC", The 7th International Conference on ASIC (ASICON2007), Oct., 2007
 148. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Satoshi Goto, Takeshi Ikenaga, "32-Parallel SAD Tree Hardwired Engine for Variable Block Size Motion Estimation in HDTV1080p Real-Time Encoding Application", IEEE Workshop on Signal Processing Systems (SiPS 2007), Oct., 2007
 149. Yao Ma, Yang Song, Takeshi Ikenaga, Satoshi Goto, "A High Throughput Multiple Transform Architecture for H.264/AVC Fidelity Range Extensions", ISOC 2007, Seoul, Korea, pp.169–172, Oct., 2007
 150. Yang Song, Ming Shao, Zhenyu Liu, Shen Li, Lingfeng Li, Takeshi Ikenaga, Satoshi Goto, "H.264/AVC Fractional Motion Estimation Engine with Computation Reusing in HDTV1080p Real-Time Encoding Applications", SiPS 2007, Shanghai, China, pp.509–514, Oct., 2007
 151. Yibo Fan, Jidong Wang, Takeshi Ikenaga, Satoshi Goto, "Mixed Bus Width Architecture for Low Cost AES VLSI Design", ASICON 2007, Guilin, Guangxi, China, pp.854–857, Oct., 2007
 152. Jidong Wang, Yibo Fan, Takeshi Ikenaga, Satoshi Goto, "A Partial Scramble Scheme for H.264 Video", ASICON 2007, Guilin, Guangxi, China, pp.802–805, Oct., 2007
 153. Jun Wang, Shen Li, Kazunori Shimizu, Takeshi Ikenaga, Satoshi Goto, "Unequal Error Protected Transmission with Dynamic Classification in H.264/AVC", ASICON 2007, Guilin, pp.798–801, Oct., 2007
 154. Jun Wang, Lei Wang, Shen Li, Takeshi Ikenaga, Satoshi Goto, "An improved inter frame error concealment in H.264/AVC", ASICON 2007, Guilin, Guangxi, China, pp.794–797, Oct., 2007
 155. Xing Li, Yuta Abe, Kazunori Shimizu, Zhen Qiu, Takeshi Ikenaga, Satoshi Goto, "Cost-Efficient Partially-Parallel Irregular LDPC Decoder with Message Passing Schedule", ISIC 2007, Singapore, pp.548–551, Sep., 2007
 156. Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Power-Efficient LDPC Code Decoder Architecture", The International Symposium on Low Power Electronics and Design (ISLPED) 2007, Portland, Oregon, U.S., pp. 359–362, Aug., 2007
 157. Xing Li, Kazunori Shimizu, Zhen Qiu, Takeshi Ikenaga, Satoshi Goto, "Partially-Parallel Irregular LDPC Decoder based on Improved Message Passing Schedule", MWSCAS 2007, Montreal, Canada, pp.1473–1476, Aug., 2007
 158. Qin Liu, Seiichiro Hiratsuka, Satoshi Goto, Takeshi Ikenaga, "Two-Steps Cross-Diamond Fast Search Algorithm on Motion Estimation in H.264", International Conference on Communications, Circuits and Systems (ICCCAS2007), July, 2007
 159. Yiqing Huang, Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, "Adaptive Edge Detection Pre-Process Multiple Reference Frames Motion Estimation in H.264/AVC", International Conference on Communications, Circuits and Systems (ICCCAS2007), July, 2007
 160. Zhenyu Liu, Lingfeng Li, Yang Song, Satoshi Goto, Takeshi Ikenaga, "VLSI Oriented Fast Multiple Reference Frame Motion Estimation Algorithm for H.264/AVC", International Conference on Multimedia & Expo (ICME 2007), July, 2007
 161. Akira Ohchi, Shunitsu Kohara, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "Floorplan-aware High-Level Synthesis for Distributed/Shared-Register Architectures", IEICE ITC-CSCC 2007, pp.1049–1050, Paradise Hotel, Busan, Korea, July. 11, 2007

162. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "Ultra Low-Complexity Fast Variable Block Size Motion Estimation Algorithm in H.264/AVC", IEEE ICME '07, Beijing, China, pp.376-379, July, 2007
163. Xianghui Wei, Shen Li, Satoshi Goto, "A Motion Vector Prediction Scheme for MPEG-2 to H.264 Transcoding on Smoothness of Motion Vector Field", IEEE ICME '07, Beijing, China, pp.424-427, July, 2007
164. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Shunichi Ishiwata, Masaki Nakagawa, Satoshi Goto, Takeshi Ikenaga, "A 1.41W H.264/AVC Real-Time Encoder SOC for HDTV1080P", 2007 Symposium on VLSI Circuits, June, 2007(引用)
165. Masaya Takahashi, Takahiro Watanabe, Takeshi Yoshimura, "Construction of an (r11,r12,r22)-Tournament from a Score Sequence Pair", Proceedings of International Symposium on Circuits and Systems (ISCAS 2007), pp.3403-3406, May, 2007
166. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "Enhanced Strict Multilevel Successive Elimination Algorithm for Fast Motion Estimation", IEEE ISCAS '07, New Orleans, USA, pp.3659-3662, May, 2007
167. Xianghui Wei, Shen Li, Yang Song, Satoshi Goto, "An Irregular Search Window Reuse Scheme for Motion Estimation in MPEG-2 to H.264 Transcoding", IEEE ISCAS '07, New Orleans, USA, pp.1987-1990, May, 2007
168. Lingfeng Li, Yang Song, Takeshi Ikenaga, Satoshi Goto, "Hardware Architecture Design of CABAC Codec for H.264/AVC", International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2007), Taiwan, pp. 248-251, Apr., 2007
169. Qi Wang, Kazunori Shimizu, Takeshi Ikenaga, Satoshi Goto, "Power-Saved 1.35Gbps Irregular LDPC Decoder based on Simplified Min-Sum Algorithm", International Symposium on VLSI Design, Automation & Test (VLSI-DAT 2007), Taiwan, pp. 95-98, Apr., 2007
170. Shen Li, Xianghui Wei, Takeshi Ikenaga, Satoshi Goto, "A VLSI Architecture Design of an Edge Based Fast Intra Prediction Mode Decision Algorithm for H.264/AVC", ACM Great Lakes Symposium on VLSI (GLSVLSI 2007), Mar. 2007.
171. Zhenyu Liu, Yiqing Huang, Yang Song, Satoshi Goto, Takeshi Ikenaga, "Hardware-Efficient Propagate Partial SAD Architecture for Variable Block Size Motion Estimation in H.264/AVC", ACM Great Lakes Symposium on VLSI (GLSVLSI 2007), Mar. 2007.
172. Song Chen and Takeshi Yoshimura: "A Stable Fixed-Outline Floorplanning Method", International Symposium on Physical Design (ISPD 2007), Mar8-21, Austin, USA 2007.
173. Yang Song, Zhenyu Liu, Takeshi Ikenaga, Satoshi Goto, "Lossy Strict Multilevel Successive Elimination Algorithm for Fast Motion Estimation", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2006), Dec. 2006.
174. Kazunori Shimizu, Nozomu Togawa, Takeshi Ikenaga, Satoshi Goto, "Memory-Efficient Accelerating Schedule for LDPC Decoder", IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2006), Dec. 2006.
175. Shen Li, Lingfeng Li, Takeshi Ikenaga, Shunichi Ishiwata, Masataka Matsui, Satoshi Goto, "Complexity Based Fast Coding Mode Decision for MPEG-2 / H.264 Video Transcoding", IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2006), Dec. 2006.
176. Lingfeng Li, Yang Song, Takeshi Ikenaga, Satoshi Goto, "A CABAC Encoding Core with Dynamic Pipeline for H.264/AVC Main Profile", IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2006), Dec. 2006.
177. Yang Song, Takeshi Ikenaga, Satoshi Goto, Zhenyu Liu, "Enhanced Partial Distortion Sorting Fast Motion Estimation Algorithm for Low-Power Applications", IEEE Asia-Pacific Conference on Circuits and Systems (APCCAS2006), Dec. 2006.
178. Song Chen and Takeshi Yoshimura: "On the number of 3-D IC floorplan configurations and A Solution Perturbation Method with Good Convergence", Asia Pacific Conference on Circuits

and Systems (APCCAS2006), Singapore, Dec.4-7, 2006

179. Seiichiro Hiratsuka, Satoshi Goto, Takeshi Ikenaga, "A 0.3mW 1.4mm² Motion Estimation Processor for Mobile Video Application", IEEE Asian Solid-State Circuits Conference (A-SSCC 2006), Nov. 2006.

③ ポスター発表 (国内会議 0 件、国際会議 0 件)

なし

(4) 知財出願

なし

(5) 受賞・報道等

① 受賞

1. Zhixiang Chen, Xiao Peng, Xiongxin Zhao, Qian Xie, Leona Okamura, Dajiang Zhou, Satoshi Goto: IEEE ISIC2011 Chip Design Contest Bronze Award, "A 6.72-GB/S 8PJ/Bit/Iteration IEEE 802.15.3C LDPC Decoder Chip", 2011 年 12 月
2. Dajiang Zhou, Jinjia Zhou, Xun He, Ji Kong, Jiayi Zhu, Peilin Liu and Satoshi Goto: IEEE VLSI Symposia Best Student Paper Award, 2011 年 6 月
3. Zhixiang Chen, Xiao Peng, Xiongxin Zhao, Qian Xie, Leona Okamura, Dajiang Zhou and Satoshi Goto, VLSI-DAT 2011 Best Paper Award, "A Macro-Layer Level Fully Parallel Layered LDPC Decoder SoC for IEEE 802.15.3c Application," 2011 年 4 月,
4. 周 金佳: ひびきの賞 (修士論文) 最優秀賞 2011 年 3 月
5. 後藤 敏: IEEE Life Fellow, 2010 年 12 月
6. Xin Jin, Kun Ba and Satoshi Goto: ISOCC 最優秀論文賞、2010 年 11 月
7. 叶 炯耀 他: PrimeAsia2010 Bronze-leaf Award, 2010 年 9 月
8. Dajiang Zhou, Jinjia Zhou, Xun He, Ji Kong, Jiayi Zhu, Peilin Liu and Satoshi Goto: ISLPED2010 デザインコンテスト入賞、2010 年 8 月
9. Fan Yibo, Yukiyasu Tsunoo and Satoshi Goto ISLPED2010 デザインコンテスト入賞、2010 年 8 月
10. 戸川望: 第 9 回船井学術賞: 2010 年 4 月
11. 後藤敏 IT 機構賞、2009 年 11 月
12. 奈良竜太 情報処理学会優秀発表学生賞、2009 年 8 月
13. Yiqing Huang, Takeshi Ikenaga, "VLSI Oriented Fast Motion Estimation Algorithm Based On Macroblock And Motion Feature Analysis", The 5th International Colloquium on Signal Processing and its Applications (CSPA2009), Mar. 2009.
14. Ryo Tamura, Masayuki Honma, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki - Waseda University, Makoto Satoh - Hitachi, Ltd. " FIR Filter Design on Flexible Engine/Generic ALU Array and Its Dedicated Synthesis Algorithm ", Merit Student Paper Awards, APCCAS2008, Dec. 2008.
15. 池永 剛、劉 振宇、宋 楊、邵 明、李 申、李 凌峰、後藤 敏、石渡俊一、中河正樹、"1.41W フルハイビジョン用 H.264/AVC エンコーダ SoC"、第10回 LSI IP デザイン・アワード IP 優秀賞, Apr. 2008.
16. Samsung Electronics Award Silver Prize, Oct. 2007. Yao Ma, Yang Song, Takeshi Ikenaga, Satoshi Goto, "A High Throughput Multiple Transform Architecture for H.264/AVC Fidelity Range Extensions", International SoC Design Conference (ISOCC 2007)
17. 第9回 LSI IP デザイン・アワード IP 賞: 清水一範、池永剛、後藤敏、"1.14Gb/s 15360bit LDPC 符号復号器", Apr. 2007.
18. 情報処理学会システム LSI 設計技術研究会・2006 年度優秀発表学生賞: 小原俊逸、大智輝、奈良竜太

19. 情報処理学会コンピュータサイエンス領域奨励賞:大智輝
20. 情報処理学会システム LSI 設計技術研究会優秀論文賞:大智輝

② マスコミ(新聞・TV 等)報道

1. 日経産業新聞(2012年2月20日):スーパーハイビジョンLSI・1チップ化をISSCCで発表
2. 日刊工業新聞(2012年2月20日): スーパーハイビジョン、早大が復号LSI試作
3. 電波新聞(2012年2月29日):スーパーハイビジョン復号LSI, 世界初
4. 化学工業日報(2012年2月20日):スーパーハイビジョン用ビデオ復号 LSI 開発
5. 日本経済新聞(2012年2月20日):スーパーハイビジョン向け LSI の1チップ化成功
6. マイナビニュース(2012年2月20日):早大、スーパーハイビジョン(8kx4k)用ビデオ復号 LSI を開発
7. 日本テレビ Every(2011年1月12日):早大の中国留学生の研究活動
8. 日本テレビ 真相バンキシャ(2010年12月12日):早大で中国留学生が活躍
9. 日本テレビ 真相バンキシャ(2010年7月26日):早大でのシステム LSI 研究
10. 日経産業新聞(2010年6月15日):消費電力6割減 LSI:早大が開発
11. 化学工業日報(2010年6月14日):ビデオ復号 LSI:60%の低消費電力化
12. 日刊工業(2010年6月12日):次世代 HD に対応 LSI:消費電力 60%以上削減
13. Daily Yomiuri(2010年5月24日): Chinese student makes mark
14. 読売新聞(2010年5月12日):メガチャイナ 早大研究室席卷
15. 2009年12月26日:朝日新聞、“空気を読む次世代 IT”、後藤敏
16. 2009年8月26日:半導体産業新聞、“研究開発・インタビュー”、後藤敏
17. 2009年7月1日:日刊工業新聞、“ビデオ復号 LSI を開発”:後藤敏
18. 2009年6月17日:電波新聞、“世界最小の消費電力”、後藤敏
19. 半導体産業新聞(2008年10月8日): A-SSCC の特集記事の中で、試作を行ったベースバンド LSI が、プログラム委員会による注目論文として紹介される
20. 6月19日 日刊工業新聞: フルハイビジョン H.264 エンコーダ LSI を開発

(6)成果展開事例

①実用化に向けての展開

本成果を実用化および製品化に向けて、活動を行っている。

②社会還元的な展開活動

得られた成果に基づき、IEEE、電子情報通信学会、情報処理学会の大会や研究会及び講習会で講演を行った。

- Satoshi Goto, "Low Power Design for Video Processing", IEEE Signal Processing Society Summer School on 3D and High Contrast Video Processing Systems", July 4-8, 2011, Hsinchu, Taiwan.
- 後藤 敏、“アルゴリズム／アーキテクチャレベルの低消費電力化技術”、電子情報通信学会 VLD 研究会 2011年5月18日。
- 後藤 敏、“アルゴリズム／アーキテクチャレベルの低消費電力化技術”、電子情報通信学会総合大会 2011年3月14日。
- 後藤 敏、“メディア処理における超低消費電力化技術”、情報処理学会シンポジウム 2010年3月9日。
- 後藤 敏、“メディア処理における超低消費電力化技術”、電子情報通信学会関西支部講習会 2009年10月14日。

- ・ 後藤 敏、“メディア処理における超低消費電力化技術”、電子情報通信学 LSI とシステムのワークショップ、2009年5月20日。
- ・ 後藤 敏、“メディア処理における超低消費電力化技術”、情報処理学会 ESS2007、2007年10月19日。

§ 6 研究期間中の主なワークショップ、シンポジウム、アウトリーチ等の活動

【ワークショップ】

年月日	名称	場所	参加人数	概要
2012/01/29	低消費電力シンポジウム	オーストラリア シドニー	40名	低消費電力化技術に向けた国内外での革新技術に関するシンポジウム
2011/7/1	アンビエント SoC シンポジウム	早稲田大学基幹理工学研究科	150名	低消費電力化技術に向けた革新技術の討議
2011/5/23	低消費電力化技術ワークショップ	早稲田大学情報生産システム研究科	35名	低消費電力 EDA 技術に関するワークショップ
2011/1/14	北九州ひびきのワークショップ	早稲田大学情報生産システム研究科	80名	低消費電力デバイス／システムに関するワークショップ
2010/12/18	低消費電力化ワークショップ	早稲田大学基幹理工学研究科	60名	組込みシステムの低消費電力化についての討議
2010/11/15	超低消費電力メディア処理 SoC ワークショップ	早稲田大学情報生産システム研究科	25名	画像圧縮 HW 低電力化に関する討議
2010/10/18	低消費電力メディア処理に関するワークショップ	早稲田大学情報生産システム研究科	31名	メディア情報の手法についての討論
2010/7/17	低消費電力に関するワークショップ	早稲田大学情報生産システム研究科	45名	低消費電力の方針と今後の計画の討議
2010/6/21	超低消費電力メディア処理 SoC ワークショップ	早稲田大学情報生産システム研究科	30名	超低消費電力化方式、アーキテクチャ、回路構成の観点から、どの程度の低消費電力化が可能かについての討議
2010/4/10	低電力アルゴリズム・アーキテクチャに関するワークショップ	早稲田大学情報生産システム研究科	33名	低消費電力 SoC 研究の進め方についての発表討議
2010/1/22	低消費電力システムに関するワークショップ	台湾大学電子工学研究所	45名	低消費電力化のアルゴリズムとハードウェア化に関する討議
2009/12/1	低消費電力アルゴリズム・アーキテクチャに関するワークショップ	早稲田大学基幹理工学部	105名	画像圧縮 HW 低電力化に関する討議
2009/10/24	低消費電力方式に関するワークショップ	早稲田大学基幹理工学部	85名	低消費電力技術の発表と討議
2009/9/26	低消費電力 SoC に関するワークショップ	早稲田大学情報生産システム研究科	31名	メディア情報の ROI 情報処理手法についての討

				論
2009/9/2	超低消費電力メディア処理 SoC ワークショップ	早稲田大学情報生産システム研究科	30 名	超低消費電力化を図るために、方式、アーキテクチャ、回路構成の観点から、どの程度の低消費電力化が可能かの討議
2009/4/6	低電力アルゴリズム・アーキテクチャに関するワークショップ	早稲田大学情報生産システム研究科	33 名	低消費電力 LSI 研究の進め方についての発表討議
2008/12/12	低消費電力アーキテクチャに関するワークショップ	早稲田大学情報生産システム研究科	28 名	画像圧縮HW低電力化に関する討議
2008/11/15	低消費電力 SoC に関するワークショップ	早稲田大学情報生産システム研究科	25 名	メディア情報の ROI 情報処理手法についての討論
2008/11/14	低消費電力方式に関するワークショップ	早稲田大学基幹理工学部	95 名	マルチコアに基づく低消費電力技術の発表と討議
2008/10/16	低消費電力アルゴリズム・アーキテクチャに関するワークショップ	早稲田大学情報生産システム研究科	31 名	画像圧縮HW低電力化に関する討議
2008/8/1	超低消費電力メディア処理 SoC ワークショップ	早稲田大学情報生産システム研究科	30 名	超低消費電力化をはかるために、方式、アーキテクチャ、回路構成の観点から、どの程度の低消費電力化が可能かの討議
2008/6/6	低電力アルゴリズム・アーキテクチャに関するワークショップ	早稲田大学情報生産システム研究科	33 名	低消費電力 LSI 研究の進め方についての発表討議

§ 7 結び

・メディア情報システムにおいて消費電力を1/100にすることは極めてチャレンジングな目標であり、その目標達成に向けて、新しい発想と新しいアイデアを出しながら、具体的な成果を示しながら、技術開発を行ってきました。プロジェクトの最初の時期では、シミュレーションを中心に研究を行いました。中間時点の3年後から実際のシステムで低消費電力化の効果を確かめることを目標に、チップを試作することと、組み込みプロセッサ上にソフトウェアを実装することで、研究の成果が具体的に実測できることとしました。結果的には、多くの良い成果がでたと感じています。

・方式・アルゴリズム、ハードウェア、ソフトウェアの3つの観点から、3つのサブチームに分け、消費電力の目標の達成に向けて個々の技術開発を行い、また互いに議論して切磋琢磨し協力し合うという体制で研究できたことは非常に有効であったと思っております。また、プロジェクトの後半では個々に開発した技術を結合してまとめて示すことに努力し、部分的ですが、結合に成功し成果を示すことができました。しかし、もっと個々の成果を結合し、プロジェクトの全体として成果をだすべきであったと思っています。個々の成果が研究レベルであることと、結合には大変な労力を要することが、うまくいかなかった理由と思っています。

・現在までに全体システムとして約 10%に電力を削減できており、特定応用のメディア情報システムにおいては、約 5%程度まで演算量を削減できる見通しを得ました。他のチームの成果を活用することや、さらに研究を深めれば、1/100 に削減できる技術開発が可能であると確信しています。

・本プロジェクトで開発した研究成果については、技術の有効性を吟味し、企業と連携しながら実用化と製品化を目指す予定で進めています。JST 殿で行われている他の事業への参加も含めて検討させて頂ければ幸いです。

・本プロジェクトのように、国内の多くの大学・研究機関から優秀な研究者が参加して、低消費電力の実現という目標に向けて研究開発したことは、非常に有益でした。研究面では世界トップレベルの成果を出し、かつ実用的にも広く使える技術が開発できたと思っており、このようなプロジェクトを国が主導し日本で行うことは、大学と産業界の両者にとって非常に有効であり、ぜひ、このようなプロジェクトが多く日本で立ち上がり、日本での今後の基礎技術の強化と事業の発展がされることを望みます。