

橋本昌宜

大阪大学 大学院情報科学研究科
准教授

ビアスイッチの実現によるアルゴリズム・処理機構融合型
コンピューティングの創出

§ 1. 研究実施体制

(1)「テスト」グループ

- ① 研究代表者:橋本 昌宜 (大阪大学大学院情報科学研究科、准教授)
- ② 研究項目
 - ・再構成可能チップのテストに関する課題抽出

(2)「ビアスイッチ・動作合成」グループ

- ① 主たる共同研究者:杉林 直彦 (日本電気株式会社 グリーンプラットフォーム研究所、シニアマネージャー)
- ② 研究項目
 - ・ビアスイッチの研究開発
 - ・簡単なベンチマークアプリケーションの準備と動作合成に求められる機能の予備調査

(3)「アーキテクチャ」グループ

- ① 主たる共同研究者:密山 幸男 (高知工科大学システム工学群、准教授)
- ② 研究項目
 - ・配線構造検討のための評価環境の構築

(4)「回路」グループ

- ① 主たる共同研究者:小野寺 秀俊 (京都大学大学院情報学研究科、教授)
- ② 研究項目
 - ・動作電圧としきい値電圧の設定指針

(5)「マッピング」グループ

① 主たる共同研究者:越智 裕之 (立命館大学情報理工学部、教授)

② 研究項目

- ・ツール開発に必要な課題の抽出
- ・初期配置アルゴリズムについての検討

§ 2. 研究実施の概要

本研究では、IoT(Internet of Things)に代表される組み込み用途において、専用ハードウェア化による高いエネルギー効率、ソフトウェア実装と同等の設計生産性、低いNRE(Non-recurring Expense)コストのすべてを実現する新たなアルゴリズム・処理機構融合型コンピューティングを創出し、その実現に不可欠な新ナノデバイスとしてビアスイッチを開発する。

上記の目的の実現に向け、平成 26 年度は各グループが課題の把握と今後の方針の策定に注力し、以下の研究項目を実施した。

- **ビアスイッチプログラミング方式の検討**
ファンアウトが実現できるビアスイッチのプログラム方式を検討し、バリスタを2個用いる方式を考案した。バリスタを2個用いることで、スネークパスの発生を防いだプログラムが可能となった。
- **バリスタの要求性能の明確化**
上記のプログラミング方式に対して、回路動作時(~0.5V)とプログラム時(~2V)とを考慮して、バリスタの要求性能を明確化した。ビアスイッチ1つあたりの回路動作時リーク電流の目標値をトランジスタ並みの1nAとすると、バリスタを介したビアスイッチのオフ抵抗は500MΩ@0.5Vである必要がある。一方、原子スイッチのプログラムには少なくとも100uA以上の電流が必要である。以上から、回路動作時とプログラム時とで、5桁のオンオフ比が必要であることがわかった。
- **バリスタ候補材料のベンチマーク**
既報の論文の調査を行うことで材料ベンチマークを実施し、バリスタ候補材料の絞り込みを行った。ビアスイッチ向けのバリスタ材料として、遷移金属酸化物系(TaOやTiOなど)と、シリコン系(SiN、SiO、a-Siなど)について、材料実験と集積化検討を進めることにした。
- **動作電圧としきい値電圧の設定指針**
再構成可能チップのエネルギー効率(エネルギーあたりの処理量)を向上させるための電源電圧とトランジスタしきい値電圧の設定指針について検討した。
- **配線構造評価環境の整備**
ビアスイッチの特性を活かした配線構造の検討を効率的に進めるため、アプリケーションのマッピング結果に基づいて配線遅延と実装面積を高い精度で見積もることができる評価環境を構築した。
- **配置アルゴリズム**
混合粒度再構成可能アーキテクチャ向けのマッピングにおいて重要性の高い初期配置アルゴリズムについて検討に着手し、ペアリンキング法やパーティショニングベースの手法の有効性を確認した。
- **テスト時間の概算見積もり**
LUT、コネクションブロック、スイッチブロックからなる基本ブロックのテストに必要な時間を見積もったところ、2ms程度であった。テスト高速化にはプログラム電流の調整が重要との知見を得た。