

「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」
平成 25 年度採択研究代表者

H26 年度
実績報告書

高木信一

東京大学 大学院工学系研究科
教授

極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

§ 1. 研究実施体制

(1)「東京大学」グループ

- ① 研究代表者： 高木 信一（東京大学工学系研究科、教授）
- ② 研究項目
 - ・Ge 系 TEFET 技術の開発
 - ・化合物半導体 TFET 技術の開発

(2)「東芝」グループ

- ① 主たる共同研究者： 川中 繁（(株)東芝 セミコンダクター&ストレージ社 半導体研究開発センター、主査）
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・TFET 回路設計技術の開発
 - ・TFET 回路・システム技術の開発

(3)「住友化学」グループ

- ① 主たる共同研究者： 山田 永（住友化学(株) 先端材料探索研究所、主席研究員）
- ② 研究項目
 - ・Ge 系 TFET チャネル形成技術の開発
 - ・化合物半導体 TFET チャネル形成技術の開発

(4)「NTT」グループ(研究機関別)

- ① 研究代表者：横山 春喜（日本電信電話(株) NTTフォトニクス研究所、主任研究員）

② 研究項目

- ・化合物半導体 TFET チャンネル形成技術の開発

§ 2. 研究実施の概要

本研究では、ULSI の電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタの S 値の低減を実現可能なトンネル FET (TFET) を用いたデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET 集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Ge などの新材料を用いた高性能 TFET 技術 (2) Si TFET の高性能化と TFET 回路・設計技術の構築 の 2 つの研究開発を連携して進めている。

今年度は、高性能 TFET が期待できる Ge ソースひずみ SOI TFET と Zn 拡散ソース InGaAs TFET、またより短期での実用化が期待できる Si TFET を中心に研究を行った。また、TFET 回路設計環境構築と回路実証に向け、TFET の素子モデルの高精度化を進めて、特性ばらつきや消費電力の見積もりを行うと共に、TFET SRAM の回路動作の有効性の検証を行った。

大きなバンド不連続によりトンネル確率の向上が期待できる Ge をソースとするひずみ SOI TFET において、Ge 成長中のボロンの in-situ ドーピングの最適化や MOS 界面特性向上のためのアニール条件の最適化を行い、良好な TFET 動作の実現に成功した。S ファクターの最小値として、60 mV/dec. を切る 28 mV/dec. の値を得ると共に、 10^7 を越える大きなオンオフ電流比を実証した。この I_{on}/I_{off} 比は、これまでの報告された TFET の中で、同じ S ファクターで比較して、最高レベルに達している。更に、TFET の有望なチャネル構造である GOI 構造形成に際し、酸化濃縮法を最適化して欠陥密度の低減を進めると共に、10 nm 以下の膜厚をもつ GOI 基板の作製に成功した。

また、InGaAs TFET に関して、Zn 拡散を利用した急峻な p 型不純部分布のソース領域を持つ TFET の特性向上を進め、In 組成の高い InGaAs を含む量子井戸構造チャネルを有する FET を提案した。更に、Si プラットフォーム上での InGaAs TFET を可能にするため、大面積 Si ウェハ上でも高品質の InGaAs 層が実現できる基板貼り合せ技術を開発し、MOSFET 動作を実証した。加えて、GaSb 系 TFET の検討を開始し、MOS 界面制御技術や Si 基板上への貼り合せ技術を開発して、TFET 実現の前提となる Si 基板上の GaSb MOSFET や InAs/GaSb MOSFET の動作実証に成功した。

Si TFET に関しては、量産に用いられている標準 Si CMOS プロセス適用したトンネル素子試作環境を構築して、横型 TFET を作製しその基本動作を確認した。更に、TFET 特性改善のため、急峻 S ファクター、低いオフ電流、小さい素子バラツキの観点から、Si 系 TFET 構造のベンチマークを行い、縦型 TFET 構造の最適化を進めた。

TFET 回路設計環境構築に関して、温度依存性やプロセスばらつきに関するシミュレーションを可能にし、ワーストコーナーの解析を開始した。また、通常電源電圧までの電圧依存性やゲートリーク電流の合わせ込みを進め、異なる S ファクター、プロセス、温度条件での TFET 回路の消費エネルギーの検討を開始した。TFET を用いた基本回路設計検討では、ばらつきを含めた基本回路の動作周波数と最低動作電圧の評価を行い、TFET へのばらつきの影響を調べた。また SRAM セルについて検討を行い、MOSFET と TFET を組み合わせた hybrid 型 8Tr SRAM と既存の MOSFET のみの 6Tr SRAM cell を用いる低リーク版 SRAM の性能比較から、TFET では、リテンション電圧 0.4V において、スタンバイ時の消費電流が約 1/100 低減できること、面積や動作時電流に関しても TFET が有利であることが示された。

○代表的な論文

1. Minsoo Kim, Yuuki Wakabayashi, Ryosho Nakane, Masafumi Yokoyama, Mitsuru Takenaka and Shinichi Takagi, “High Ion/Ioff Ge-source ultrathin body strained-SOI Tunnel FETs – impact of channel strain, MOS interfaces and back gate on the electrical properties”, Tech. Dig. International Electron Device Meeting (IEDM), pp. 331–334, 2014.
2. Minsoo Kim, Yuuki Wakabayashi, Masafumi Yokoyama, Ryosho Nakane, Mitsuru Takenaka and Shinichi Takagi, “Electrical Characteristics of Ge/Si Hetero-Junction Tunnel Field-Effect Transistors and Their Post Metallization Annealing Effect”, IEEE Trans. Electron Devices, vol. 62, No. 1, pp. 9–14, 2015.
3. Sang-Hyeon Kim, Yuuki Ikku, Masafumi Yokoyama, Ryosho Nakane, Jian Li, Yung-Chung Kao, Mitsuru Takenaka and Shinichi Takagi, “Direct wafer bonding technology for large-scale InGaAs-on-insulator transistors”, Appl. Phys. Lett., vol. 105, No. 4, 043504 , 2014.