

堀 敦史

独立行政法人理化学研究所計算科学研究機構
上級研究員

メニーコア混在型並列計算機用基盤ソフトウェア

§ 1. 研究実施体制

(1) 堀グループ

① 研究代表者: 堀 敦史 ((独)理化学研究所計算科学研究機構、上級研究員)

② 研究項目

- ・メニーコア用 OS カーネルの開発
- ・スケーラブル並列ファイルシステム
- ・超軽量マルチスレッド機構
- ・故障レジリエンス

(2) 並木グループ

① 主たる共同研究者: 並木 美太郎 (東京農工大学大学院工学研究院、教授)

② 研究項目

- ・メニーコア用 OS における資源管理と仮想化方式

(3) Dongarra グループ

① 主たる共同研究者: Jack Dongarra (テネシー大学、教授)

② 研究項目

- ・故障レジリエンス基盤

§ 2. 研究実施の概要

本研究は、エラー! 参照元が見つかりません。に示すような、メニーコア CPU とマルチコア CPU が混在するアーキテクチャを持つ計算ノードが、高速ネットワークにより接続されている分散メモリ型並列計算機を対象とした、システムソフトウェアの研究開発を目指している。このような混在型アーキテクチャは消費電力対性能比に優れ、将来のポストペタスケール時代に有望な計算機アーキテクチャとして有望と考えられている。

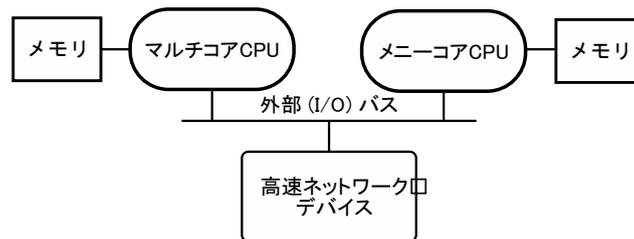


図 1 ターゲットアーキテクチャ

混在型アーキテクチャの計算ノードでは、従来型のマルチコア CPU とメニーコア CPU の密で効率的な連携が、アプリケーション実行性能の焦点となる。本研究では、マルチコア CPU が持つメモリ空間とメニーコア CPU が持つメモリ空間を統一的にひとつの仮想アドレス空間に実現し、データの受け渡しにデータのコピーを回避することで、効率的な実行モデル Multiple-PVAS (M-PVAS) を実現した(エラー! 参照元が見つかりません。)。この M-PVAS は、メニーコア CPU におけるタスク間の通信を効率的に実現可能とする Partitioned Virtual Address Space (PVAS) をベースとしている。

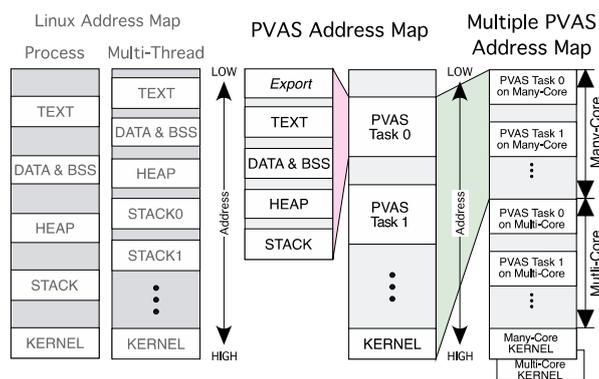


図 2 PVAS と M-PVAS のアドレスマップ

本年度は 5 年間に渡るプロジェクトの 4 年度目にあたる。今年度は、PVAS、M-PVAS 等、これまでにプロトタイプ開発されたプログラムの質を高め、アプリケーションレベルでの評価のための基盤を固めることを大きな目的とし、評価を進めると同時に、テスト環境の構築することで質的にも改良

が進められた。これにより来年度の最終年度に向け、本格的なソフトウェアの公開の下準備が整ったと考えられる。

特に PVAS に関しては、米アルゴンヌ研究所との共同研究項目となり、イレギュラーな問題における効率的な実行環境として、PVAS の上に構築された User-Level Process を用いた新しい MPI の実装研究も始まった。

大規模なファイル I/O における問題点の明確化とその解消を目指した研究や、ポストペタにおいて予想される、高頻度の故障発生に対処するための耐故障レジリエンス基盤の研究開発もおこなった。これらの研究も、プロジェクト最終年度に向け、それぞれの研究を深化させる予定である。

【代表的な原著論文】

- [1] 島田 明男, 堀 敦史, 石川 裕, “新しいタスクモデルによるメニーコア環境に適した MPI ノード内通信の実装”, 情報処理学会論文誌 第 50 号 (採録決定。2015 年 3 月発刊予定)
- [2] ステンシル計算におけるスペアノードを用いた故障復帰における通信性能への影響について (吉永一美, 堀敦史, 石川裕), In 2015 年ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS2015), 情報処理学会, 2015 (to appear. <http://hpcs.hpcc.jp>).
- [3] Algorithm-based Fault Tolerance for Dense Matrix Factorizations, Multiple Failures and Accuracy, Aurelien Bouteiller, Thomas Herault, George Bosilca, Peng Du, and Jack Dongarra, ACM Transactions on Parallel Computing, 2014. DOI:10.1145/2686892.