

高木信一

東京大学 大学工学系研究科
教授

「極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築」

§1. 研究実施体制

(1)「東京大学」グループ

- ① 研究代表者： 高木 信一（東京大学大学院工学系研究科、教授）
- ② 研究項目
 - ・Ge 系 TEFET 技術の開発
 - ・化合物半導体 TFET 技術の開発

(2)「東芝」グループ

- ① 主たる共同研究者： 川中 繁（(株)東芝 セミコンダクター&ストレージ社 半導体研究開発センター、主査）
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・TFET 回路設計技術の開発
 - ・TFET 回路・システム技術の開発

(3)「住友化学」グループ

- ① 主たる共同研究者： 秦 雅彦（住友化学(株) 先端材料探索研究所、上席研究員）
- ② 研究項目
 - ・Ge 系 TFET チャンネル形成技術の開発
 - ・化合物半導体 TFET チャンネル形成技術の開発

§2. 研究実施の概要

本研究では、ULSIの電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタのS値の低減を実現可能なトンネルFET(TFET)を用いたデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Geなどの新材料を用いた高性能TFET技術 (2) Si TFETの高性能化とTFET回路・設計技術の構築の2つの研究開発を連携しながら進める。

今年度は、初年度として、高性能TFETが期待できる新材料TFETとして、GeソースひずみSOI TFETとZn拡散ソースInGaAs TFETを中心に研究を開始した。また、TFET回路実証と実用化に向けて、TFETの物理モデルをベースにしたSPICEモデル構築を進めると共に、リング発振器やSRAMの回路動作のシミュレーションを行った。

大きなバンド不連続によりトンネル確率の向上が期待できるGeをソースとするひずみSOI TFETに関しては、急峻なソースプロファイルの実現のため、Ge成長中のボロンのin-situドーピングを行い、またGe MOS界面特性とSi MOS界面の特性を同時に改良するため、原子層堆積法(ALD)によるAl₂O₃越しのMOS界面のプラズマ酸化とForming gasアニールを組み合わせる方法により、比較的良好なTFET動作を実現することに成功した。Sファクターの最小値として、60 mV/dec. を切る51 mV/dec. の値を得ると共に、7ケタを越える大きなオンオフ電流比を得ることができた。更に、III-V半導体上のGeエピ層をSi基板上に貼り合わせる新しいGOI基板形成技術を提案し、18nmのGe膜厚をもつGOI基板の作製に成功した。

また、InGaAs TFETに関しては、InGaAs中でのZnの特異な拡散挙動を利用し、スピンオンガラスからのZn拡散により、急峻なp型不純部分布のソース領域を持つTFETを作製した。結果として、オン・オフ電流比として $\sim 2 \times 10^6$ 、オン電流の $\sim 10 \mu A/\mu m$ 、Sファクターの最小値として64 mV/dec という、III-V TFETとしては優れた値を実現した。またId-Vd特性から、良好な電流飽和特性が得られることが分かった。これまでの報告されたTFETの中で、このIon/Ioff比は最も優れた値であり、Ionの値も同じSファクターで比較し、最高レベルに達している。

また、TFETを用いた回路設計・検証を行うにあたり、既存のモデルでは記述できないTFETのコンパクトモデルの作成が必須である。そこで、HSPICEでのシミュレーションを可能とするため、物理モデルをベースに、TFETのサブスレッショルド特性を含む導通状態の電流を物理的な描像に基づきモデル化することに成功し、従来のMOSFETのモデルと並列接続したコンパクトモデルを構築した。更に、このモデルの下で、トランジスタのソースとドレインが非対称で、MOSFETとは電流・電圧特性が異なるTFET単体および縦積みトランジスタ、インバータ、2入力NAND、SRAMセルと言った基本的な回路をシミュレーション可能とする計算環境の構築と、シミュレーション結果のフィードバックによるモデルの改良を進めた。

また、TFET基本回路の性能検討として、インバータで構成したリングオシレータの動作とその性能評価をHSPICEによるシミュレーションにより行った。HSPICEでゲート段数201段までのトランジェント解析を行い、動作周波数の電源電圧依存性を評価した。また、基本的なSRAMセルとして、TFETを用いた6Tr.セルの読み出し電流についてもシミュレーションを行い、TFETのMOSFETに対する有用性を検証するためのシミュレーション環境の構築を実現した。

§3. 成果発表等

(3-1) 原著論文発表

論文詳細情報(国際)

1. Munetaka Noguchi, Sang-Hyeon Kim, Masafumi Yokoyama, Osamu Ichikawa, Takenori Osada, Masahiko Hata, Mitsuru Takenaka, and Shinichi Takagi, “High Ion/Ioff and low subthreshold slope planar-type InGaAs Tunnel FETs with Zn-diffused source junctions”, Tech. Dig. International Electron Device Meeting (IEDM), pp. 683-686, 2013. (DOI: 10.1109/IEDM.2013.6724707)
2. Weili Cai, Mitsuru Takenaka and Shinichi Takagi, “Evaluation of Interface State Density of Strained-Si MOS Interfaces by Conductance Method”, J. Appl. Phys., vol. 115, 094509, 2014. (DOI: <http://dx.doi.org/10.1063/1.4867935>)
3. Xiao Yu, Rui Zhang, Jian Kang, Takenori Osada, Masahiko Hata, Mitsuru Takenaka and Shinichi Takagi, “Ultrathin body Germanium-on-insulator (GeOI) MOSFETs fabricated by transfer of epitaxial Ge films on III-V substrates”, 21st International Symposium on VLSI Technology, Systems and Applications (2014 VLSI-TSA) (2014). (in press).
4. Weili Cai, Mitsuru Takenaka and Shinichi Takagi, “Effects of biaxially-tensile strain to properties of Si/SiO₂ interface states generated by electrical stress”, 2014 The International Reliability Physics Symposium (2014). (in press).
5. Kohichi Nishi, Masafumi Yokoyama, Haruki Yokoyama, Mitsuru Takenaka and Shinichi Takagi, “Thin body GaSb-OI p-MOSFETs on Si wafers fabricated by direct wafer bonding”, 26th International Conference on Indium Phosphide and Related Materials (IPRM) (2014). (in press).
6. Shinichi Takagi and Mitsuru Takenaka, “III-V/Ge CMOS Device Technologies for Future Logic LSIs”, 7th International SiGe Technology and Device Meeting (ISTDM) (2014). (in press).
7. Sang-Hyeon Kim, Yuuki Ikku, Masafumi Yokoyama, Ryosho Nakane, J. Li, Y. C. Kao, Mitsuru Takenaka and Shinichi Takagi, “High Performance InGaAs-On-Insulator MOSFETs on Si by Novel Direct Wafer Bonding Technology applicable to Large Wafer Size Si”, 2014 Symposium on VLSI Technology (2014). (in press).
8. Masafumi Yokoyama, Haruki Yokoyama, Mitsuru Takenaka, and Shinichi Takagi, “III-V single structure CMOS by using ultrathin body InAs/GaSb-OI channels on Si”, 2014 Symposium on VLSI Technology (2014). (in press).