

ポストペタスケール高性能計算に資するシステムソフトウェア技術の
創出

平成 24 年度採択研究代表者

H25 年度 実績報告

近藤 正章

東京大学大学院情報理工学系研究科
准教授

ポストペタスケールシステムのための電力マネジメントフレームワークの開発

§ 1. 研究実施体制

(1)「システムソフトウェアグループ」グループ

- ① 研究代表者:近藤 正章 (東京大学大学院情報理工学系研究科、准教授)
- ② 研究項目
 - ・電力制約適応型システムのための基盤システムソフトウェアの詳細設計と開発
 - ・動的ノブ制御用ミドルウェアの要件調査と設計
 - ・電力制約適応型ジョブ管理技術構築に向けた要件調査と方針策定

(2)「最適化コード生成」グループ

- ① 主たる共同研究者:三吉 郁夫 (富士通株式会社次世代テクニカルコンピューティング開発本部、マネージャー)
- ② 研究項目
 - ・アプリケーションプログラムの挙動可視化
 - ・アプリケーションプログラム書き換え技術の検討

(3)「電力性能予測技術」グループ

- ① 主たる共同研究者:井上 弘士 (九州大学大学院システム情報科学研究所、准教授)
- ② 研究項目
 - ・電力性能挙動プロファイリング環境の構築
 - ・性能推定用シミュレータの開発
 - ・電力制約を考慮した大規模計算機センター運用ポリシーの検討

(4)「システムアーキテクチャ」グループ

① 主たる共同研究者: 三輪 忍 (東京大学大学院情報理工学系研究科、助教)

② 研究項目

- ・アーキテクチャトレンドの調査
- ・電力性能ノブのモデリング
- ・制御アルゴリズムの検討

§ 2. 研究実施の概要

本研究では、限られた電力資源を各アプリケーションに、各ハードウェア要素に適応的に配分することで性能やシステムの電力効率を向上させる「電力制約適応型システム」をコンセプトとし、電力資源を真に有効利用できる電力マネージメントフレームワークを開発している。本年度は、主として電力制御基本システムソフトウェアや電力性能予測ツールの設計とプロトタイプ実装、電力性能最適化ツールにおける可視化やノブ制御ポイントの埋め込み技術の構築、電力性能ノブ制御最適化のアルゴリズム検討を行った。

電力制御基本システムソフトウェアに関しては、大規模システムにおける複数ノードに跨った統一的な電力管理を行うための API として、アプリケーションの特徴をシステムへ設定する API とそれに基づき電力を制御するシステムソフトウェアの仕様を検討し、その設計を行った。また、リアルタイムな動的電力管理を行うミドルウェアの開発に向け、システム電力を柔軟かつ細粒度に管理することを目的に、Intel 社製プロセッサで CPU・DRAM の電力観測・制御が行える RAPL インタフェースを利用したノード全体電力のモデリング手法を開発した。さらに、複数ジョブ環境でのシステム全体の電力スケジューリングを行う基盤環境やそのポリシー設定のための API の要件調査も実施した。

電力性能最適化ツールにおける可視化・ノブ制御ポイントの埋め込み技術構築に関しては、アプリケーションプログラム書き換え技術の開発に向け、複数の実アプリケーションを対象に RAPL や DVFS を用いた電力制御のケーススタディを積み重ね、時間分解能に着目して結果を解析した。ユーザによる電力を考慮したアプリケーション最適化を効率化するためには、従来の性能解析ツールを利用しつつ電力情報の取得・解析が行えることが望ましい。そこで、既存解析ツールの消費電力情報取得機能を利用した際のオーバーヘッドの解析、またその改良を行った。その結果、既存ツールと比較して、低オーバーヘッドで消費電力情報を汎用的なフォーマットに記録することが可能となった。また、限定的ではあるが、プログラムのソースコード部分とその実行時の消費電力値の対応付けが可能な可視化ツールも開発し、アプリケーション実行時の電力消費の詳細を分析可能とした。電力性能最適化の際には最大消費電力と実行時間のトレードオフを効果的に認識することができるように消費電力の時系列変化を 3 次元で可視化することも検討した。

電力性能ノブ制御最適化のアルゴリズムに関しては、MHD シミュレーションや FMO などのアプリケーションを対象に、計算ノードの電力制約が与えられた際の CPU と DRAM の電力バジェットを変更しつつ性能を解析した。従来の単純な電力配分に対し、各要素の負荷を考慮して適切に

電力配分をすることで、MHD の場合で最大 2.1 倍の性能向上を達成できることを明らかにした。これに基づき、自動で CPU と DRAM への電力バジェット配分を決定するアルゴリズムを考案した。また、RAPL による CPU と DRAM の電力制御だけではなく、ネットワークの電力性能ノブである EEE や GPU の DVFS、メモリホットプラグといった新規電力性能ノブにも着目し、その電力性能モデリングを行った。また電力制約下でそれら電力性能ノブを制御して要素間で電力を融通し、電力効率を向上させるアルゴリズムを構築した。例えば、EEE を利用してネットワークと CPU 間で電力配分を最適化することで最大 38.9%の電力性能の改善が、またメモリホットプラグにより削減した電力を CPU 周波数の向上に費やすことで、最大 27.8% の性能向上が得られることなどがわかっている。

§ 3. 成果発表等

(3-1) 原著論文発表

論文詳細情報(国際)

1. Hiroshi Sasaki, Satoshi Imamura, and Koji Inoue, “Coordinated Power-Performance Optimization in Manycores”, Proc. of the 22nd International Conference on Parallel Architectures and Compilation Techniques, pp. 51-62, 2013 (DOI: 10.1109/PACT.2013.6618803).
2. Shinobu Miwa, Sho Aita and Hiroshi Nakamura, “Performance Estimation for High Performance Computing Systems with Energy Efficient Ethernet Technology”, International Conference of Energy-Aware High Performance Computing (EnA-HPC’13), pp. 1-9, 2013 (DOI:10.1007/s00450-013-0238-4).
3. Toshiya Komoda, Shingo Hayashi, Takashi Nakada, Shinobu Miwa and Hiroshi Nakamura, “Power Capping of CPU-GPU Heterogeneous Systems through Coordinating DVFS and Task Mapping”, The 31st IEEE International Conference on Computer Design (ICCD’13), pp. 349-356, 2013 (DOI: 10.1109/ICCD.2013.6657064).