

ポストペタスケール高性能計算に資するシステムソフトウェア技術の
創出
平成 24 年度採択研究代表者

H25 年度 実績報告

遠藤 敏夫

東京工業大学学術国際情報センター
准教授

ポストペタスケール時代のメモリ階層の深化に対応するソフトウェア技術

§ 1. 研究実施体制

(1) 遠藤グループ

- ①研究代表者: 遠藤 敏夫 (東京工業大学学術国際情報センター、准教授)
- ②研究項目
 - ・メモリ階層対応ランタイムの研究開発とプログラミングモデル・アーキテクチャ統合

(2) 佐藤グループ

- ①主たる共同研究者: 佐藤 幸紀 (北陸先端科学技術大学院大学情報社会基盤研究センター、助教)
- ②研究項目
 - ・メモリ階層対応ダイナミックコンパイル技術の研究開発

(3) 緑川グループ

- ①主たる共同研究者: 緑川 博子 (成蹊大学理工学部、助教)
- ②研究項目
 - ・大容量、高性能を実現する多種多階層型メモリ構成技術と管理手法の研究

§ 2. 研究実施の概要

本 CREST チームの研究目的は、ポストペタ時代に向けてますます厳しくなるメモリウォール問題に対処することにより、科学技術計算の高性能化と大規模化を両立することである。そのためにアーキテクチャは、旧来からのキャッシュメモリ、DRAM メモリに加えて、GPU デバイスメモリ (GDDR)、3 次元積層メモリ、Flash メモリや不揮発メモリを含む多種多階層のメモリ階層を持つ環境を想定し、アプリケーションアルゴリズムについては局所性向上・通信削減技術の導入および改良を行いつつ、アプリケーションと深いメモリ階層を持つアーキテクチャを接合するシステムソフトウェアについての研究開発を行う。

本年度は前年度に引き続き、メモリ階層を活用するシステムソフトウェアの研究開発(遠藤グループ、緑川グループ)およびメモリアクセスパターンに関するプロファイラ・シミュレータ開発(佐藤グループ)などを行った。現在主なターゲットとする計算は流体シミュレーションなどのカーネルに頻出するステンシル計算であり、その詳細プロファイリングおよび局所性向上技術により、高性能性と大規模性の両立が可能であることを示した。その過程において、時間ブロッキング手法を用いたベンチマークプログラムやメモリプロファイラ・シミュレータを、本プロジェクトの成果の一部としてチーム内および別プロジェクトに提供を行った。

メモリ階層対応ランタイムやソフトウェア・アーキテクチャ技術統合を担当する遠藤グループにおいては、ステンシル計算を主なターゲットとし、大規模性と高性能性の両立のための局所性向上・通信削減アルゴリズムを研究開発した。時間ブロッキング手法およびその最適化により、256GPU 環境において、GPU デバイスメモリ総容量を超えるような問題サイズであっても高性能(20TFlops)・高スケーラビリティを実現可能であるという顕著な成果を得た。さらに、ソフトウェアの記述性を向上させるために本チームの HHRT(hybrid-hierarchical runtime)ライブラリや CREST 丸山直也チームの Physis DSL との統合を行った。

メモリ階層対応ダイナミックコンパイルーション技術の研究開発を担当する佐藤グループにおいては、メモリ局所性プロファイラとメモリ性能シミュレータの開発に加えて、これら 2 つの結果を入力としてコード最適化を行う単一命令セット環境における実行時バイナリ変換システムの基本設計を行い、その構成要素について概念実証を行った。

主に多種多階層型メモリ構成技術を担当する緑川グループにおいては、コンピュータで主記憶として広く使われている DRAM に比べて、電力消費が小さく大容量にすることができるフラッシュデバイス(flash SSD)を用い、現在のようにファイルの入出力装置として使うのではなく、主記憶の拡張メモリとして利用するための様々な実験を行った。また、メモリアクセスにおける時間的、空間的局所性を利用したアルゴリズムを導入し、高性能計算で広く用いられているステンシル計算に適用した。この結果、フラッシュを拡張メモリとして用い、主記憶サイズの16倍のサイズの問題を解いた場合、主記憶(DRAM)だけで実行した場合の性能の 57%~73%程度にすることができた。これによりフラッシュを遅いが大きなメモリとして実際に利用できることを初めて示した。

§ 3. 成果発表等

(3-1) 原著論文発表

論文詳細情報(国内)

[proceedings]

【佐藤グループ】

- B-1 佐藤幸紀. メモリ階層対応ダイナミックコンパイレーション機構の動作原理とコードプロファイリング. 情報処理学会第55回プログラミング・シンポジウム, 伊東市, 2014年1月. [概要による査読]

論文詳細情報(国際)

[proceedings]

【遠藤グループ】

- A-1 Guanghao Jin, Toshio Endo, Satoshi Matsuoka. A Multi-level Optimization Method for Stencil Computation on the Domain that is Bigger than Memory Capacity of GPU. In Proceedings of The Third International Workshop on Accelerators and Hybrid Exascale Systems (AsHES), in conjunction with IEEE IPDPS 2013, Boston, USA, May 2013. (DOI 10.1109/IPDPSW.2013.58)
- A-2 Guanghao Jin, Toshio Endo, Satoshi Matsuoka. A Parallel Optimization Method for Stencil Computation on the Domain that is Bigger than Memory Capacity of GPUs. In Proceedings of IEEE Cluster 2013, Indianapolis, USA, September 2013. (DOI 10.1109/CLUSTER.2013.6702633)

【佐藤グループ】

- B-2 Yuichiro Yasui, Katsuki Fujisawa and Yukinori Sato. Fast and Energy-efficient Breadth-first Search on a single NUMA system. In Proceedings of International Supercomputing Conference 2014 (ISC'14). June. 2014 (accepted).

【緑川グループ】

- C-1 Hiroko Midorikawa, Yuichiro Suzuki, Masatoshi Iwaida. User-level Remote Memory Paging for Multithreaded Applications, Proceeding of 13th IEEE/ACM International Symposium on Cluster, Cloud and Grid Computing (CCGrid2013), Delft, Netherlands, May 2013, pp. 196-197, 2013-5 (DOI 10.1109/CCGrid.2013.63)