

山崎 信行

慶應義塾大学大学院 理工学研究科  
教授

組込みリアルタイムシステム用ディペンダブル SoC 及び SiP に関する基盤技術の研究

## § 1. 研究実施体制

(1)「慶大(基盤ソフトウェア、基盤ハードウェア)」グループ

① 研究代表者:山崎 信行 (慶應義塾大学大学院理工学研究科、教授)

② 研究項目

- ・ディペンダブルな組込みリアルタイムシステム用 SoC 及び SiP の設計・実装・評価
- ・ディペンダブルな組込みリアルタイムシステム用オペレーティングシステムの設計・実装・評価

(2)「NECAT(基盤パッケージ)」グループ

① 主たる共同研究者:和田喜久男(NEC アクセステクニカ(株) 開発本部 シニアエキスパート)

② 研究項目

- 基盤ハードウェアグループとコデザインを行いつつ、FFCSP を応用した 3 次元 SiP の設計、シミュレーション、実装組立
- ・I/O コア SiP の組立
  - ・3D-NoCSiP の基板シミュレーションと組立

(3)「東大(組込みアプリケーション)」グループ

① 主たる共同研究者:稲葉 雅幸 (東京大学大学院情報理工学系研究科、教授)

② 研究項目

- ・大出力系ロボットにおけるディペンダビリティ評価
- ・小型分散系でのディペンダビリティ評価

## § 2. 研究実施の概要

### 2.1 チーム全体の研究の概要

#### (1) 本研究の背景と課題定義

本研究は、ディペンダブルかつ実用的な VLSI システム実現するために、組込みリアルタイムシステムの構築をターゲットとした SoC (System-on-Chip) 及び SiP (System-in-Package) をコデザイン (co-design) する。

本研究では、リアルタイム性として  $10\mu\text{sec}$  程度の時間粒度を達成すると共に、ディペンダブルで超小型・高機能・低消費電力な組込みリアルタイムシステムを構築するための基盤技術の構築を目指す。VLSI システムのディペンダビリティを、チップ、パッケージ、基板を互いに考慮しながら設計することによって、大幅に向上させる。これらの実現のために、ターゲットアプリケーション、ハードウェア、ソフトウェアをコデザインし、トータルシステムとして研究開発する手法を構築する。

実用的な組込みリアルタイムシステムを構築するために、アプリケーション(ロボットへの応用)とソフトウェア(OS)及びハードウェア(アーキテクチャ)のコデザイン、SoC と SiP のコデザイン、及びそれらの設計・実装・評価手法の研究を行う。これらを実現するためには、ソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行いつつ、リアルタイム性を有したプロセッサアーキテクチャ、オンチップネットワーク、チップ間通信リンク、動的電圧周波数制御や QoS(Quality of Service)制御等の研究開発を行う。並行して SoC と SiP とをコデザインし、SoC/SiP に高信頼性化、小型化、高機能化、低消費電力化等の特徴を付与する設計・実装・評価に関する基盤技術を確立する。さらには、研究開発した SoC/SiP をロボット制御に応用して、実機評価を行うことにより有効性を示す。

#### (2) 本研究の特徴

国内外において、組込みシステムやリアルタイム処理・通信に関する研究はソフトウェアを中心に行われている場合が多い。これに対して本研究では、リアルタイムスケジューリング理論及びソフトウェア(OS、スケジューラ)の研究とハードウェア(アーキテクチャ)の研究とを同時に協し行い、最適な役割分担を決定しつつ互いに研究を行うことにより、ソフトウェア／ハードウェア単独では実現できない演算や通信の QoS 制御を実現可能とする。

同様に、センサやパッシブデバイスなど多種類のデバイスも内蔵可能な自由度が高い 3 次元 SiP 実装技術(FFCSP)を研究開発し、さらに SoC 設計とコデザインしてディペンダビリティの向上を行う点に独創性を有する。

#### (3) 本研究の達成目標

本研究の目的は、組込みリアルタイムシステム(特に分散制御システム)の構築をターゲットとして、ディペンダブルな SoC 及び SiP の設計・実装・評価に関する基盤技術を確立することにある。その際、本研究の成果としてできあがる SoC と SiP からなる VLSI システム及び基本ソフトウェアを用いて、各種組込みリアルタイムシステム(ロボット等)への組み込み応用を目指し、ディペンダブルで超小型・多機能・低消費電力な VLSI システムを SoC と SiP をコデザインすることによって実現す

ること、及びそのための設計・実装・評価手法を確立することを目標とする。

ターゲットアプリケーション(ロボット等の制御)を実現するために基本ソフトウェア(OS)及びハードウェア(プロセッサ及び NoC(Network-on-Chip)等のアーキテクチャ)のコーデザインを行い、基本ソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行って、組込みリアルタイム処理を高効率で実現する。そのために、QoS の理論と共に、プロセッサアーキテクチャ、NoC、チップ間通信アーキテクチャ、電圧周波数制御等の要素技術の研究開発を行い、それらをまとめて SoC として設計・実装する。10  $\mu$  sec 程度のリアルタイム性を実現し、アプリケーションとしては従来までは実現不可能であった非常に高精度な分散制御システム(ロボットシステム)を構築する。

さらに、ディペンダブルで超小型・高機能・低消費電力な SoC/SiP を実現するための基盤技術を、SoC と SiP をコーデザインすることによって確立する。実用的でディペンダブルな VLSI システムを構築するためには、SoC 技術と SiP 技術を相乗的に組み合わせる(各々の弱点をカバーしつつ特長を引き出す)必要がある。その際、ディペンダビリティの向上を目指し、SiP 化する際には SoC を含む全てのデバイスを KGD (Known Good Die)として実装し、さらには制御兼自己モニタリング用センサを SiP に内蔵し、VLSI システムをより安定化させる。

最終的には、研究開発した SoC/SiP をロボット制御に応用して、実機評価を行うことにより有効性を示す。

## 2.2 研究実施方法

### (1) 本研究チーム全体の運営と取りまとめ方針

本研究では、基盤ソフトウェア(ディペンダブルオペレーティングシステム:担当 慶應義塾大学)、基盤ハードウェア(ディペンダブルアーキテクチャ及びディペンダブル SoC:担当 慶應義塾大学)、基盤パッケージ(ディペンダブル SiP:担当 NEC アクセステクニカ)、及び組込みアプリケーション(先端ロボット応用によるディペンダビリティ評価:担当 東京大学)の大きく 4 つにテーマ(グループ)を分けつつも、相互に密接な連携を保ちつつ、コーデザインを行いながら研究開発を行う。

基盤ハードウェアグループがリアルタイム処理用 SoC の開発を行い、基盤パッケージグループが SiP 化及びボード設計を行う。基盤ソフトウェアグループがソフトウェアの開発環境及び RT-OS を開発し、組込みアプリケーショングループが研究開発した SoC/SiP の実機検証及びフィードバックを行う。

### (2) 研究グループの分担

#### ① 「慶大(基盤ソフトウェア、基盤ハードウェア)」グループ(研究代表者グループ)

##### ・D-RMTP Iにおける $\mu$ ITRON 仕様のリアルタイム OS

昨年度までに研究開発を行った分散リアルタイム処理用 SoC である D-RMTP I 用に  $\mu$  ITRON 仕様のリアルタイム OS の研究開発を行った。具体的には D-RMTP I の特徴的な機能であるハードウェアによるリアルタイムスケジューリングをサポートする RMT 実行(優先度付き SMT 実行)及びコンテキストスイッチのオーバーヘッドを削減するコンテキストキャッシュを  $\mu$  ITRON 仕様のリアルタイム OS においてサポートすることにより、従来までは不可能であった 10  $\mu$  sec オーダのリアルタイム処理を実現する。

また、 $\mu$ ITRON 仕様の API を用いてこれらの機能を利用できるようにする。具体的には、*D-RMTP I* 固有の RMT 実行(優先度付き SMT 実行)を有効利用しつつ、 $\mu$ ITRON 仕様の API をサポートする。これにより、*D-RMTP I* 固有の機能を利用したアプリケーションを  $\mu$ ITRON 仕様の API を用いて開発することが可能になる。 $\mu$ ITRON 仕様のマルチプロセッサ向け OS は名古屋大学の TOPPERS/FDMP や東京大学の T-Kernel 等が存在するが、*D-RMTP I* 固有の RMT 実行や IPC 制御機構をサポートすることで、時間粒度の非常に細かい  $\mu$ ITRON 仕様のリアルタイム OS を実現する。

#### ・*D-RMTP II* の設計・実装

種類の異なる複数の CPU(具体的には3種類のコア)を RT-NoC (Real-Time Network-on-Chip) で接続し、さらにはメモリインタフェース(LPDDR2 IF, NAND Flash IF)やリアルタイム通信リンク (*Responsive Link*)を集積した SoC である *D-RMTP II* の設計・実装を行う。プロセッサ内部のリアルタイム処理は RMT 実行(優先度付 SMT)と IPC 制御により実現し、チップ内通信は 3次元のリアルタイムオンチップネットワーク(3D RT-NoC)により実現し、チップ間通信は *Responsive Link* により実現する。このように、演算処理、チップ内通信、およびチップ間通信の全てにおいてリアルタイム性を有することで、トータルシステムとして高精度のリアルタイム性を実現する。

#### ・I/O Core SoC の設計・実装

*D-RMTP II* SiP の I/O 処理用として昨年度までに研究開発した I/O コンパニオンチップを改良して、一般のエントリーユーザ向けの I/O Core SoC の設計・実装を行う。I/O Core SoC は本来の目的である *D-RMTP II* SiP の I/O コンパニオンチップとしても使用でき、さらには *Responsive Link* を有したエントリー向け評価キットとして使用できるように設計を行う。その際、昨年度までに研究開発した I/O コンパニオンチップを用いた実機検証をフィードバックすることにより、ディペンダビリティの高い I/O Core SoC を実現する。

## ② 「NECアクセステクニカ(基盤パッケージ)」グループ

#### ・最適 SiP の実現

プログラム開発を実行する場合とロボットに実装する場合において基板構成を変更する事で可用性の向上と信頼性の向上を図った SiP を実現する。Host PC とのインタフェースを汎用インタフェースである USB 基板で実現することで開発環境の可用性を向上させ、ロボット実装時には USB 基板からアナログ制御基板に変更することで小型化を実現する。この様に、シームレスなロボット実装環境への適応を実現する。

#### ・LSI の多段実装の実現

異種の LSI の多段実装をディペンダブルに実現する。具体的には DRAM と Flash memory の 3 段及び 4 段積層を実現した。DRAM は DDR と LPDDR3 という異なる LSI を多段実装し、下段に高速信号系の LSI を、上段には低速信号系の LSI を実装することで、信頼性の向上を図る。Flash memory として、Nor と Nand という異種の Flash memory を多段実装することで、両方の機能を持つ

Flash memory モジュールを実現する。この際、異種の LSI の多段実装を実現するにあたり、最適配置を実現し、信頼性の向上を実現する。異種 LSI の 3 次元実装は LSI の品質確認と実装形態を合わせるための調整が多岐であり、実現している事例はほとんどない。

### ③ 「東大(組込みアプリケーション)」グループ

・大出力発揮可能な高効率モータ駆動制御モジュールの *Responsive Link* 通信を用いた制御

D-RMTP を搭載したダイナミックレンジの大きな高効率なモータ電流制御回路及びモータ内部温度推定機能に基づく大出力発揮可能な高効率モータ駆動モジュールを用いて、*Responsive Link* 通信を通して制御を行う。

本技術により、全身 20 自由度程度を想定した等身大ヒューマノイドに十分搭載可能な駆動基板サイズにおいて、従来技術での駆動系よりも飛躍的にモータ駆動出力が高まり、人間と同程度の関節速度及びトルクを発揮可能なヒューマノイドが構築可能となるため、介護現場を始めとする将来的なヒューマノイドの社会進出を現実的なものと推進する基礎技術として期待できる。従来、モータ駆動モジュールへの送受信は RS-485 等を用いた通信を行っており、リアルタイム性に問題があり、耐ノイズ性を高めるために符号化のための追加ロジックを必要としていた。RS-485 では数 Mbps 程度の通信レートであるが、*Responsive Link* では 800Mbps までの通信が可能となり、高精度なロボット制御が可能になる。

研究開発する大出力モータ駆動系の単純な軸出力においては、Boston Dynamics 社の油圧駆動系よりも劣るが、制御性においては本技術によるモータ駆動系に大きな優位性があり、介護現場等で必要とされる繊細な作業を行うことが可能である。また既存のモータ制御基板を用いた介護を想定したヒューマノイドは数多くあり(早稲田 Twendy、理研 RI-MAN)、一方で実際の介護現場においては、人を支えることのできる十分な関節トルクや咄嗟に人を支えられるだけの瞬間的な関節速度が不可欠であり、センサモジュールと組み合わせて状況に応じたフィードバックによるモータ駆動が不可欠である。

このように、こうした大出力モータ駆動系の実現はヒューマノイドの介護分野で大きなブレイクスルーとなりうる。現在用いられている RS-485 といった通信では力センサをフィードバックし柔らかな動作をするために必要な制御ループをヒューマノイド全身で実現することが困難である。ここで、通信速度が速くリアルタイム性があり、ディペンダブルな制御系が構築できる本技術に非常に優位性があり、現場普及への重要なキーファクタであると考えられる。

### (3) 領域外部の企業等との連携

組込みアプリケーションに関しては、共同研究グループとしては入ってもらわないが外部アドバイザー(JAXA 宇宙研 高橋忠幸教授及び坂井真一郎准教授)を依頼し、アドバイザーからの助言を元にして宇宙機への応用も目指す。

ET2013 及び慶應テクノモールにおいて、普及の一環として評価キットやデモを紹介した所、数社から実用化に向けた検証作業を行っているとの報告を受けており、協力企業との連携体制を今後も維持していく。

## 2.3 研究グループの今年度の研究の狙い

### ①「慶大(基盤ソフトウェア、基盤ハードウェア)」グループ(研究代表者グループ)

#### ・D-RMTP II の設計・実装

機能や性能の異なるヘテロジニアスなリアルタイム処理用のマルチコアプロセッサである D-RMTP II の設計・実装を行う。CPU におけるリアルタイム演算処理、チップ内リアルタイム通信、チップ間リアルタイム通信を実現することで、トータルシステムとして分散リアルタイム処理を実現することを目標にする。

#### ・I/O Core SoC の設計・実装

昨年度までに設計・実装した I/O コンパニオンチップをベースにして、分散制御のエントリーモデルとして使用することのできる I/O Core SoC を研究開発する。その際、従来の I/O コンパニオンチップとして利用できるようにするだけでなく、一般ユーザに使いやすいように(特に Responsive Link を容易に使用できるように)機能等を改善することを目指す。出口戦略として、本 I/O Core SoC を様々な用途に簡易に利用できることを目指す。

#### ・基盤ソフトウェア開発環境の構築

D-RMTP II を利用するための基盤ソフトウェアを開発する。具体的には、D-RMTP II 向けの  $\mu$ ITRON 仕様のリアルタイム OS や独自設計のリアルタイム OS をサポートすることで、D-RMTP II 向けのアプリケーションを容易に開発するためのソフトウェア環境を構築する。また、I/O コンパニオンチップ向けのリアルタイム OS を設計・実装する。

### ②「NECアクセステクニカ(基盤パッケージ)」グループ

一つの SiP 上に異なる種類の DRAM モジュールと Flash memory モジュールを多段実装する技術を確立する。DRAM モジュールでは、低速信号の DDR を最上段に、中段下段には高速信号の LPDDR2 を実装し、高信頼性を実現する。Flash モジュールでは、NAND Flash と Nor Flash の異種の LSI の 4 段積層を実現する。

### ③「東大(組込みアプリケーション)」グループ

#### ・大出力系ロボットにおけるロボット駆動における LSI ディペンダビリティ評価

瞬発力を備えた大出力ロボット脚を用いた跳躍や転倒防止動作などにおける制御では、リアルタイム性やシステムの対ノイズ性、信頼性、安全性が必要となる。ロボットアプリケーションに必要な通信ディペンダビリティを Responsive Link による通信を用いた D-RMTP 搭載モータ駆動モジュールにおいて検証する。具体的には、実際に大出力高速制御が必要なジャンプ着地・転倒制御を行う際のロボットアプリケーションにおいて、高速実時間性、大電流ノイズ耐性、通信可用性、高速分散計算といったディペンダビリティ性の検証を D-RMTP 搭載モータ駆動モジュールを用いて進める。この検証を進めるための複数のモータ駆動軸を Responsive Link の通信でつないで駆動できる大出力ロボット駆動評価プロトタイプを開発する。

・分散系でのセンサネットワークにおける LSI ディペンダビリティ評価

全身 60 以上の関節自由度を有し、それらを冗長筋群で駆動してロボット身体の運動や人間とのインタラクションを行う人体を模した超多自由度を有する筋骨格ヒューマノイドロボット(図 2 参照)では、従来より遙かに高密度なモータ駆動基板及びセンサ制御計測基板の分散配置が必要となる。ロボットのアプリケーションでは、新たな機能の追加や保守整備の簡略化のために動的な構成変更できることが望ましい。そこで、IO Core SoC 搭載小型分散駆動制御モジュールを用いて、実際に実ロボットにおける分散制御基板を腕部、頭部、脚部、体幹部と逐次的に置換していくことで、低レイテンシなリアルタイム通信性、熱ノイズ耐性、RT-DVFS による電力消費といったディペンダビリティを既存マイコンと比較評価を行うことを目的とする。IO Core SoC 搭載制御モジュールの Responsive Link の有効性を示すために、研究開発した IO Core SiP を用いた分散ロボット駆動評価プロトタイプを開発する。

### § 3. 成果発表等

#### (3-1) 原著論文発表

##### 論文詳細情報(国内)

1(慶大 1)

上田陸平, 藤井啓, 千代浩之, 松谷宏紀, 山崎信行(慶大), “ITRON 仕様 OS の RMT Processor 向け実装,” 情報処理学会論文誌, Vol. 54, No. 7, pp. 1835-1848, 2013 年 7 月.

2(慶大 2)

谷口将一, 山崎大輝, 笹川雄二郎, 松谷宏紀, 山崎信行(慶大), “優先度逆転を低減させる優先度付きオンチップネットワーク向けルータアーキテクチャ,” 情報処理学会論文誌, Vol. 54, No. 7, pp. 1861-1872, 2013 年 7 月.

3(慶大 3)

溝谷圭悟, 上田陸平, 高須雅義, 千代浩之, 松谷宏紀, 山崎信行(慶大), “インプリサイス計算モデルにおける Temperature-Aware DVFS,” 組込みシステムシンポジウム 2013, pp. 17-26, 東京, 2013 年 10 月 17 日.

##### 論文詳細情報(国際)

4(慶大 4)

Hiroyuki Chishiro, Nobuyuki Yamasaki (Keio Univ.), “Semi-Fixed-Priority Scheduling with Multiple Mandatory Parts,” The 16th IEEE International Symposium on Object/Component/Service-Oriented Real-Time Distributed Computing, Germany, June 21, 2013.

5(慶大 5)

Hiroyuki Chishiro (Keio Univ.), James H. Anderson (UNC-CH), Nobuyuki Yamasaki (Keio Univ.), "An Evaluation of the RUN Algorithm in LITMUS<sup>RT</sup>," ACM SIGBED Review, Vol. 10, No. 2, p. 29, July 2013.

6(慶大 6)

Yusuke Kumura, Kazutoshi Suito, Hiroki Matsutani, Nobuyuki Yamasaki (Keio Univ.), "A Low-Power Link Speed Control Method on Distributed Real-time Systems," The 7th IEEE International Symposium on Embedded Multicore Systems-on-Chip, pp.49-54, Tokyo, Sep. 27, 2013.

7(NEC AT1)

Kikuo Wada (NEC AT), Shigekazu Hino (HINO Jisso Design), Nobuyuki Yamasaki (Keio Univ.), "Three-dimensional packaging structure for 3D-NoC," The 2013 IEEE Electrical Design of Advanced Packaging & Systems Symposium, pp. 72-75, Nara, Dec. 12, 2013.

8(慶大 7)

Nobuyuki Yamasaki (Keio Univ.), "Co-Design of Dependable Responsive Multithreaded Processor II (DRMTP-II) SoC and SiP," The International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems, United States, Mar. 19, 2014.

9(慶大 8)

Hiroyuki Chishiro, Nobuyuki Yamasaki (Keio Univ.), "Practical Imprecise Computation Model: Theory and Practice," The 17th IEEE International Symposium on Object/Component/Service-Oriented Real-Time Distributed Computing, United States, June 2014. (in press).

### (3-2) 知財出願

特許出願件数 (平成 25 年度)

合計	国内	1	件
----	----	---	---

CREST 研究期間累積件数

合計	国内	5	件
----	----	---	---