

山崎 信行

慶應義塾大学 大学院理工学研究科・准教授

組込みリアルタイムシステム用ディペンダブル SoC 及び
SiP に関する基盤技術の研究

§ 1. 研究の概要

1. 1 チーム全体の研究の概要

(1) 本研究の背景と課題定義

本研究は、組込みリアルタイムシステムの構築をターゲットとし、SoC (System-on-Chip) 及び SiP (System-in-Package) をコデザインすることでディペンダブルかつ実用的な VLSI システム実現する基盤技術に関する研究を行う。本研究がターゲットとしている組込みリアルタイムシステムは、産業的にも技術的にも、今後の日本にとって非常に重要な位置を占め続けると考えられる。

従来、組込みリアルタイムシステムに関する研究はソフトウェアに関するものがほとんどであり、時間粒度が 1msec 程度のシステムを対象としていた。それに対して本研究開発では、 $10\mu\text{sec}$ 程度の時間粒度を達成すると共に、ディペンダブルで超小型・高機能・低消費電力な組込みリアルタイムシステムを構築するための基盤技術の構築を目指す。一方、VLSI (SoC) は基板に実装してはじめて動作するので VLSI システムに対するディペンダビリティは基板実装技術と共に考慮する必要がある。近年、VLSI システムに対する高信頼性や省電力など多くの要求に対して SoC を補間する手段として、SiP の研究が盛んに行われている。VLSI システムのディペンダビリティを、チップ、パッケージ、基板を互いに考慮しながら設計することによって、大幅に向上させる。これらの実現のために、ターゲットアプリケーション、ハードウェア、ソフトウェアをコデザインし、トータルシステムとして研究開発する手法を構築する(図 1 参照)。

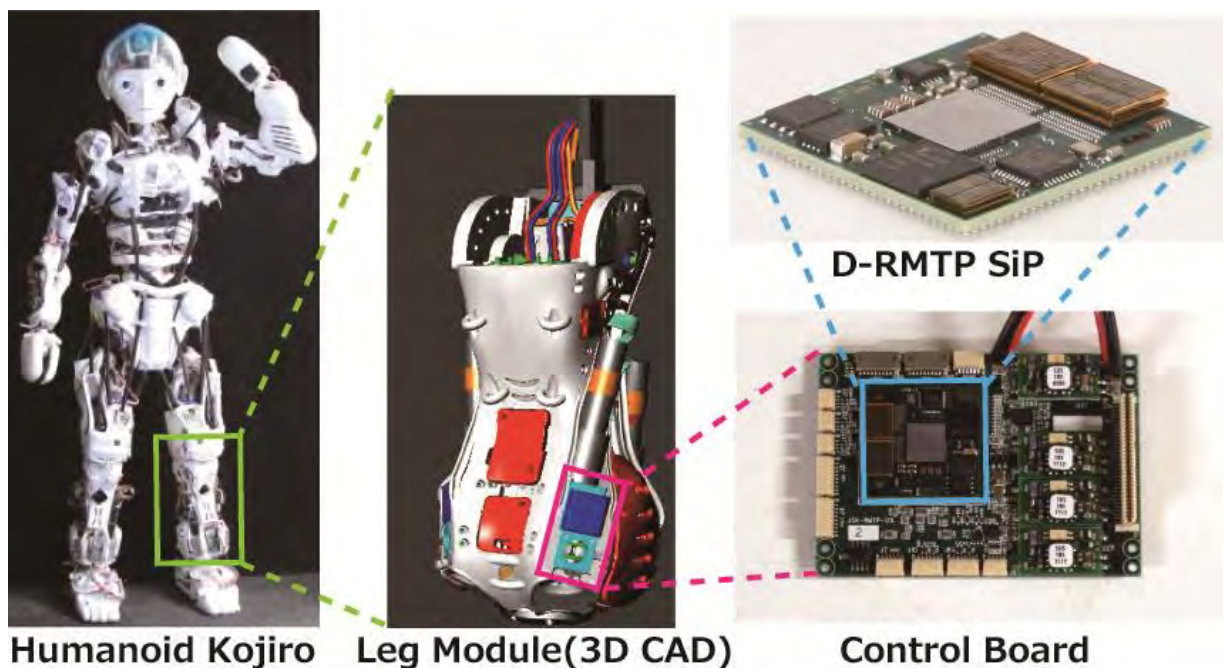


図 1 研究概要：基盤ハードウェア(D-RMTP)、基盤パッケージ(SiP)、アプリケーション(ロボット)

本研究で取り扱うディペンダビリティを図 2 の様に定義する。この評価指標に沿ってディペンダビリティの向上を目指すための研究を行い、さらには研究開発の成果の評価を行っていく。実用的な組み込みリアルタイムシステムを構築するために、アプリケーション(ロボット及び宇宙機への応用)とソフトウェア(OS)及びハードウェア(アーキテクチャ)のコデザイン(co-design)、SoC と SiP のコデザイン、及びそれらの設計・実装・評価手法の研究を行う。その実現のためにソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行いつつ、リアルタイム性を有したプロセッサアーキテクチャ、オンチップネットワーク、チップ間通信リンク、動的電圧周波数制御等の研究開発を行う。並行して SoC と SiP とをコデザインし、SoC/SiP に高信頼性化、小型化、高機能化、低消費電力化等の特徴を付与する設計・実装・評価に関する基盤技術を確立する。

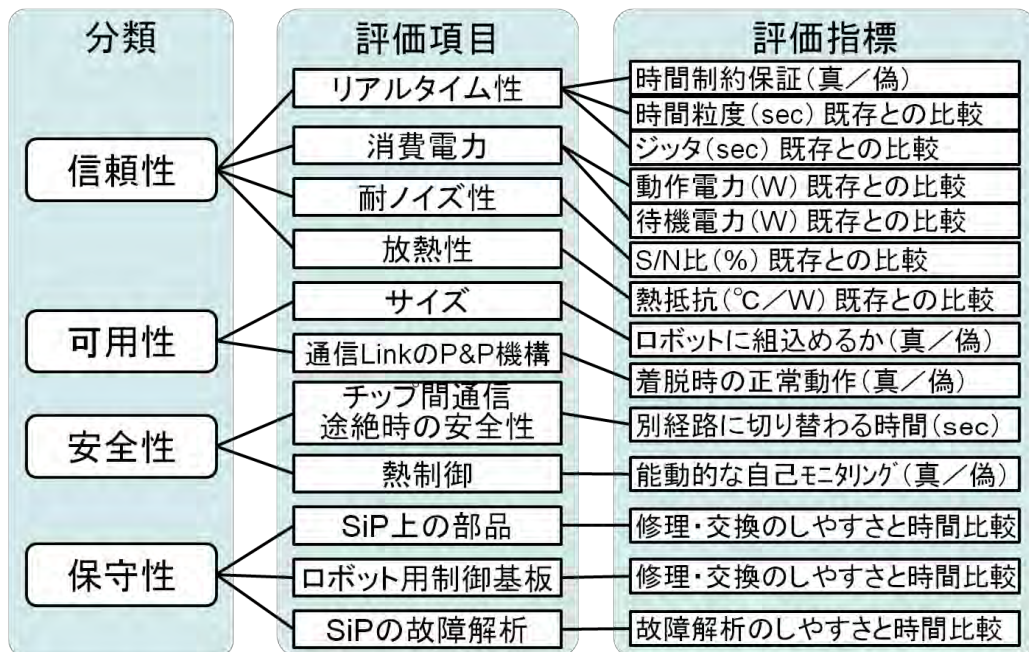


図 2 ディペンダビリティの評価指標

(2) 本研究の特徴

国内外において、組み込みシステムやリアルタイム処理・通信に関する研究はほとんどソフトウェア中心に行われている。それに対して本研究では、理論及びソフトウェア(OS、スケジューラ)の研究とハードウェア(アーキテクチャ)の研究とを同時に協力しつつ行い、最適な役割分担を決定しつつ互いに研究を行うことにより、ソフトウェア/ハードウェア単独では実現できない演算や通信の QoS 制御を実現可能とする。例えば従来研究の時間粒度は 1msec 程度であるが、本研究では 10 μ sec 程度を実現する。また、従来のマルチコアやオンチップネットワークに関する研究は、サーバ向けの同一のコアを効率よく接続するための研究がほとんどであったが、本研究は組み込みシステムをターゲットとしており、大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 IO を接続可能にし、さらには各機能に QoS を持たせる点に大きな独創性がある。同様に、SoC と SiP のコデザインに関する研究は、要素技術が黎明期だということもあり、これまでにはほとんど行われてこなかった。FFCSP 以外の 3 次元 SiP 技術には、PoP (Package on Package)、部品内蔵基板、TSV (Through Silicon Via) などがあるが、何れも積層したチップの放熱が困難であるうえ、歩留まりや伝送速度に問題がある。FFCSP はこのような 3 次元 SiP 技術の問題を解決するとともに、センサやパッシブデバイスなど多種類のデバイスも内蔵可能な自由度が高い 3 次元 SiP 実装技術であり、さらに SoC 設計とコデザインしてディペンダビリティの向上を行う点に独創性を有する。

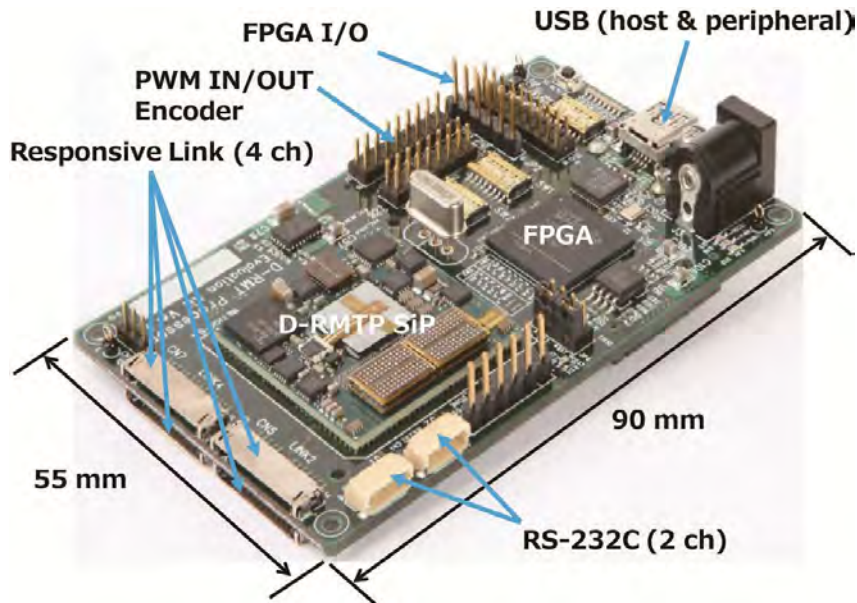


図 3 分散リアルタイム処理用プロセッサ *D-RMTP I* 評価キット

研究成果を実用化に結び付けるには、企業や研究機関等のユーザからのフィードバックが必要不可欠である。本研究で開発した高機能・低消費電力な組込みリアルタイム処理用 SoC(*D-RMTP I*)及び SiP を実装した評価キット (図 3 参照) を研究開発し、展示会 (Embedded Technology 等) のデモ展示等を通じて積極的に企業・研究機関等のユーザへ配布することにより研究成果を普及する。

(3) 本研究チームの達成目標

本研究の目的は、組込みリアルタイムシステム (特に分散制御システム) の構築をターゲットとして、ディペンダブルな SoC 及び SiP の設計・実装・評価に関する基盤技術を確立することにある。その際、本研究の成果としてできあがる SoC と SiP からなる VLSI システム及び基本ソフトウェアを用いて、各種組込みリアルタイムシステム (ロボット及び宇宙機等) への組み込み応用を目指し、ディペンダブルで超小型・多機能・低消費電力な VLSI システムを SoC と SiP をコデザインすることによって実現すること、及びそのための設計・実装・評価手法を確立することを目標とする。

個別の目標としては、第 1 にターゲットアプリケーション (ロボット及び宇宙機等の制御) を実現するために基本ソフトウェア (OS) 及びハードウェア (プロセッサ及び NoC (Network-on-Chip) 等のアーキテクチャ) のコデザインを行い、基本ソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行って、組込みリアルタイム処理を高効率で実現することにある。そのために、QoS (Quality of Service) の理論と共に、プロセッサアーキテクチャ、NoC、チップ間通信アーキテクチャ、電圧周波数制御等の要素技術の研究開発を行い、それらをまとめて SoC として設計・実装する。10 μ sec 程度のリアルタイム性を実現し、アプリケーションとしては従来までは実現不可能であった非常に高精度な分散制御システム (ロボットシステム) を構築する。

第 2 の個別の目標として、ディペンダブルで超小型・高機能・低消費電力な SoC/SiP を実現するための基盤技術を、SoC と SiP をコデザインすることによって確立することにある。現在の高機能な組込みシステムは、リッチな開発実行環境 (Linux 等の組込み OS 等) を要求し、それらは大容量メモリ (DRAM) やフラッシュメモリを要求する。さらに、SoC には様々な規格の I/O (Ethernet, IEEE1394, USB 等) を集積することが要求されている。SoC にはそれら必要な機能 (CPU, Bus, Memory IF, I/O 等) をほぼすべて集積可能であるが、DRAM、フラッシュメモリ、及び各種 I/O のドライバ (Phy) をすべて同時に SoC に集積することはプロセス的に困難であるとともに、歩留まり低下や欠陥を内包するリスクを伴うことにもなる。一方で、ターゲットの組込みリアルタイムシステム (ロボット及び宇宙機等) は、狭く形状が特殊な筐体内に多種多数のセンサ/アクチュエータを搭載し、それらセンサ/アクチュエータ毎にコントローラが必要となるため、非常に狭いスペースに VLSI システムを構築することが求められる。これらの要求を満たしつつ実用的でディペンダブルな VLSI システムを構築するためには、SoC 技術と SiP 技術を相乗的に組み合わせる (各々の弱点をカバーしつつ特長を引き出す) 必要がある。その際、ディペンダビリティの向上を目指し、SiP 化するには SoC を含む全てのデバイスを KGD (Known Good Die) として実装し、さらには制御兼自己モニタリング用センサを SiP に内蔵し、VLSI システムをより安定化させる。最終的には SoC と

DRAM等の周辺デバイスをCoCで多ピン接続して複数積層し、同時に高効率な放熱構造を実現することで、ディペンダブルでスケーラブルな超小型のVLSIシステムを実現するための基盤技術を構築する。

1.2 研究実施方法

(1) 本研究チーム全体の運営と取りまとめ方針

本研究では、基盤ソフトウェア(ディペンダブルオペレーティングシステム:担当 慶應義塾大学)、基盤ハードウェア(ディペンダブルアーキテクチャ及びディペンダブル SoC:担当 慶應義塾大学)、基盤パッケージ(ディペンダブル SiP:担当 NEC アクセステクニカ)、及び組込みアプリケーション(先端ロボット応用によるディペンダビリティ評価:担当 東京大学)の大きく4つにテーマ(グループ)を分けつつも、相互に密接な連携を保ちつつ、コデザインを行いながら研究開発を行う。

基盤ハードウェアグループがリアルタイム処理用 SoC の開発を行い、基盤パッケージグループが SiP 化及びボード設計を行う。基盤ソフトウェアグループがソフトウェアの開発環境及び RT-OS を開発し、組込みアプリケーショングループが *D-RMTP I* SoC/SiP の実機検証及びフィードバックを行う。

(2) 研究グループの分担

1) 慶大(基盤ソフトウェア、基盤ハードウェア)グループ(研究代表者グループ)

① 本研究グループの研究課題、ならびに所属する研究チームの課題との関係

基盤ソフトウェアグループでは、基盤ハードウェアグループ及び組込みアプリケーショングループとコデザインを行いつつ、各種 QoS をサポートする理論及び基本ソフトウェア(OS 及びスケジューラ)の研究を行っている。今年度は、前年度から引き続き実時間動的電圧周波数制御(RT-DVFS)のためのスケジューリングの研究を行うとともに[4]、Responsive Link を用いたチップ間通信の遅延を考慮したリアルタイムスケジューリング/分散リアルタイムシステムの研究を行った[3,7]。また、これまでに開発してきた QoS 制御可能な OS を産業界で広範囲に使われている μ ITRON 仕様に拡張し、現在提供中のクロス開発環境と共に各グループに提供すべく検証作業及び準備を進めている。

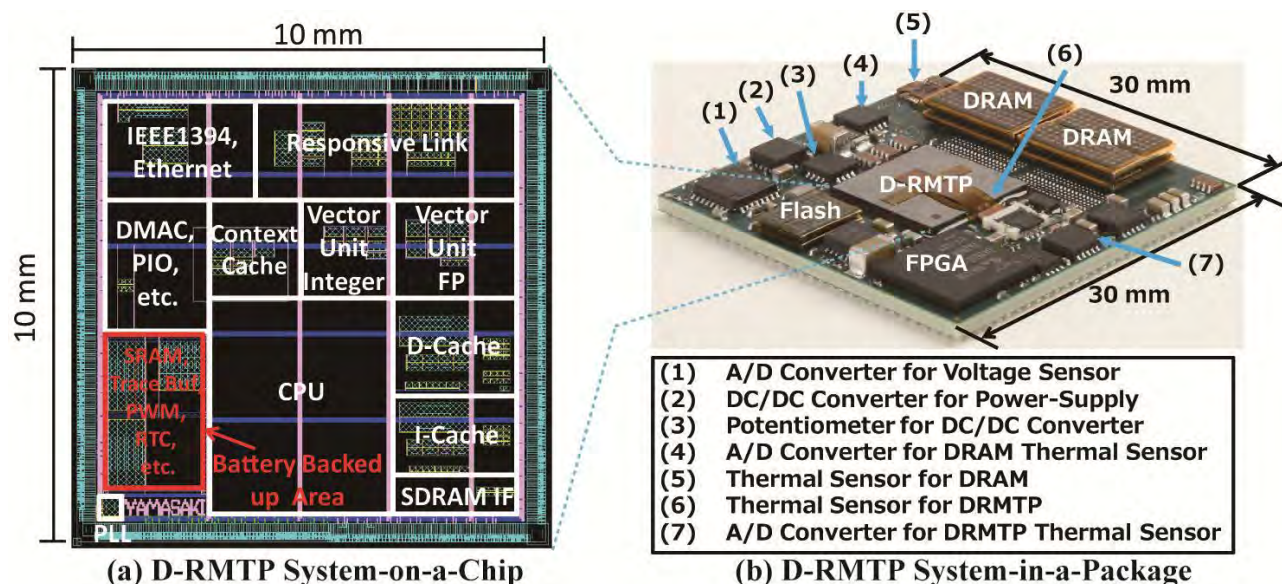


図 4 分散リアルタイム処理用プロセッサ *D-RMTP I* SoC/SiP

基盤ハードウェアグループは、基盤ソフトウェア、基盤パッケージ、及び組込みアプリケーションの各グループとコデザインを行いつつ、高機能な組込みリアルタイムシステムを実現する基盤ハードウェア(SoC)及びその設計・実装・評価手法の研究開発を行っている。今年度は、*D-RMTP II*とI/Oコンパニオンチップの設計及び実装を行った。*D-RMTP II*は、リアルタイム処理用プロセッサ及び各種 I/O をリアルタイムオンチップネットワーク(RT-NoC)[2]を用いて1チップに集積した並列分散リアルタイム処理用 SoC である(図 5 参照)。組込みアプリケーション向けに大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 I/O を柔軟に統合可能という特色を持つ。具体的には、*D-RMTP II*に集積するリアルタイム処理用プロセッシングコアとしてRMTPをベースにした高性能なプロセッサの設計、及び、並列処理用プロセッサの新規設計を完了した。さらに、これらのプロセッシ

ングコアと各種 I/O 及びメモリモジュールとの相互接続のために、接続するコアの大きさや速度に応じて各リンクのデータ幅を変更可能なオンチップルータを開発し、SiP への実装を考慮しつつ RT-NoC に適用した。現在は、これまでに開発してきたリアルタイム処理用の高性能プロセッサ、並列処理用プロセッサ、オンチップルータ、各種 I/O 及びメモリモジュールを *D-RMTP II* として統合し、SoC としてチップ化している。また、I/O 処理専用 I/O コンパニオンチップの設計・実装を行った(図 6 参照)。I/O コンパニオンチップは MIPS 互換の制御用プロセッサと、様々な制御用 I/O とコンピュータ用 I/O (Responsive Link, PCI (initiator/target), GPIO, SPI, I2C, UART, PWM in, PWM out, Encoder 等)を搭載している。また、バックアップ電源によって SRAM, Encoder, RTC 等の重要なモジュールを電源障害から保護している。

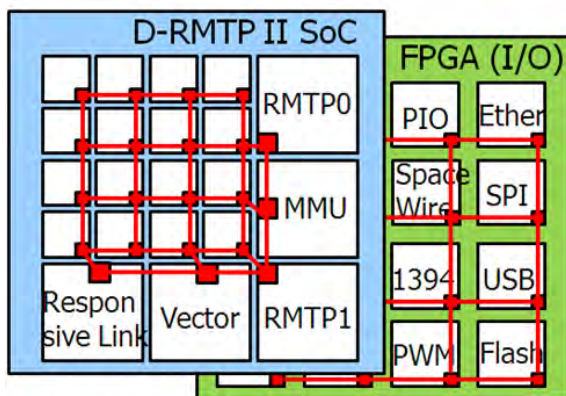


図 5 *D-RMTP II* アーキテクチャ (機能や大きさの異なるプロセッサ、メモリ、I/O を RT-NoC で結合)

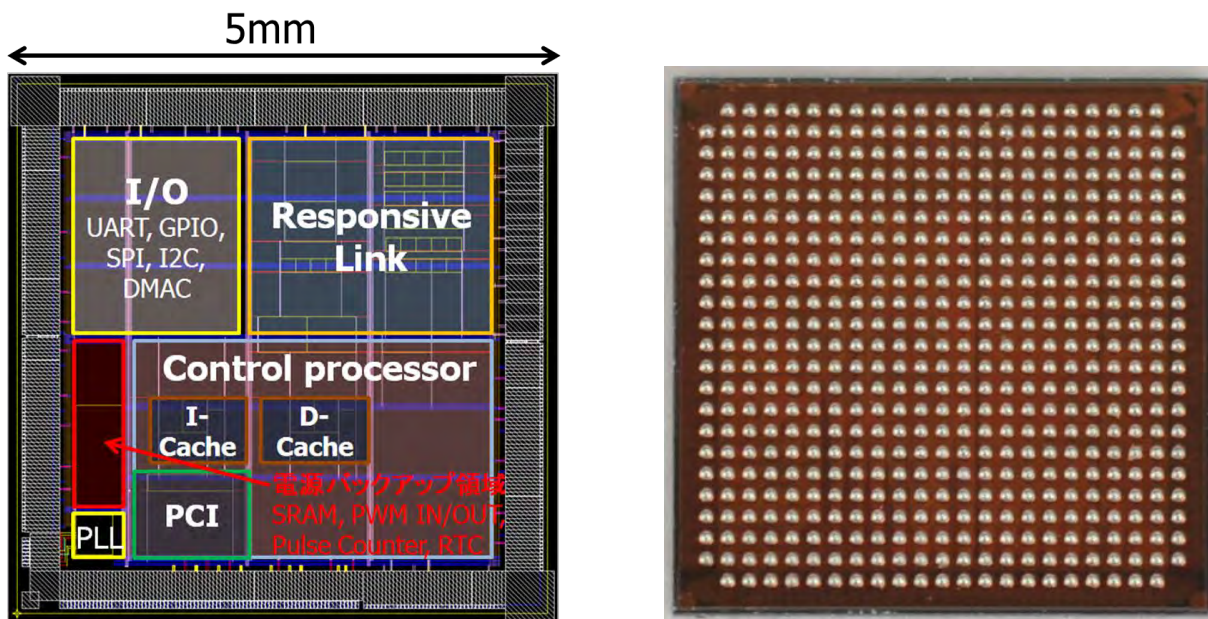


図 6 I/O コンパニオンチップのレイアウト図および外観

②本グループの研究の特徴

国内外において、組込みシステムやリアルタイム処理・通信に関する研究はほとんどソフトウェア中心に行われている。それに対して本研究では、理論及びソフトウェア (OS、スケジューラ) の研究とハードウェア (アーキテクチャ) の研究とを同時に協力しつつ行い、最適な役割分担を決定しつつ互いに研究を行うことにより、ソフトウェア/ハードウェア単独では実現できない高品質で高精度な演算及び通信の QoS 制御を実現可能とする。また、従来のマルチコアやオンチップネットワークに関する研究は、サーバ向けの同一のコアを効率よく接続するための研究がほとんどであったが、本研究は組込みシステムをターゲットとしており、大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 I/O を接続可能にし、さらには各機能に QoS を持たせる点に大きな独創性がある。同様に、SoC と SiP のコデザインに関する研究は、要素技術が黎明期だということもあり、これまではほとんど行われてこなかったため、SoC/SiP コデザイン自身に独創性を有する。さらに、本研究で開発した基盤ソフトウェア及びハードウェアは評価キットという形でユーザに配布し、実用化への足がかりとする。

③研究実施方法(研究チーム内外の連携関係など)

基盤ハードウェアグループは、SoC 設計において組み込みアプリケーショングループの要求を踏まえて、基盤パッケージグループと密接に協力を行いながらコデザインを行う。及び基盤ソフトウェアグループは、基盤ハードウェアグループと協力しつつ、組み込みアプリケーショングループの要求仕様を満たすように、基本ソフトウェア(OS)及び開発環境開発を行う。

2)「NECアクセステクニカ(基盤パッケージ)」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

基盤パッケージグループは、基盤ハードウェアグループとコデザインを行いつつ、FFCSP を応用した 3 次元 SiP の設計、シミュレーション、実装組立、テストを担当し、開発した基板を組み込みアプリケーショングループのロボットに実装し、基板レベルでの高い信頼性を実現することを目標にしている。初年度より順次 30mm 角 SiP、20mm 角 SiP を開発し、小型化を実現してきている。20mm 角 SiP は組み込みアプリケーショングループによる小型のモータ制御モジュールとして、多数のモジュールをロボットへ実装することを目指している。また、DRAM IC の生産終了に伴い新しい DRAM IC を採用した DRAM モジュールを製造した。FPC のみを再設計することにより、DRAM IC のサイズや端子レイアウトの違いを吸収し、SiP 基板の設計を変更することなく、新しい DRAM IC への対応を実現した(図 7)。更に基盤ハードウェアグループが設計した I/O コンパニオンチップを搭載した I/O コンパニオン SiP を設計し、製造に取り掛かっている(図 8)。I/O コンパニオン SiP はロボットへの実装における Responsive Link の開発環境を提供するもので、ソフトウェア開発環境も提供し、広くロボットへ実装されるモジュールの実現を目指している。これで既に出来上がり配布している名刺サイズの D-RMTP I 30mm 角用開発評価キットと併せて広くロボットに実装が可能なモジュールの提供に目途をつけた。

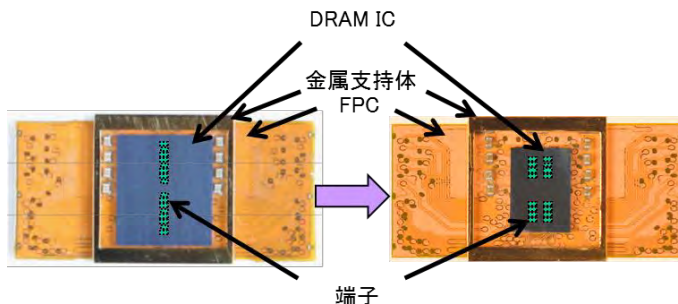


図 7 DRAM IC の置き換え

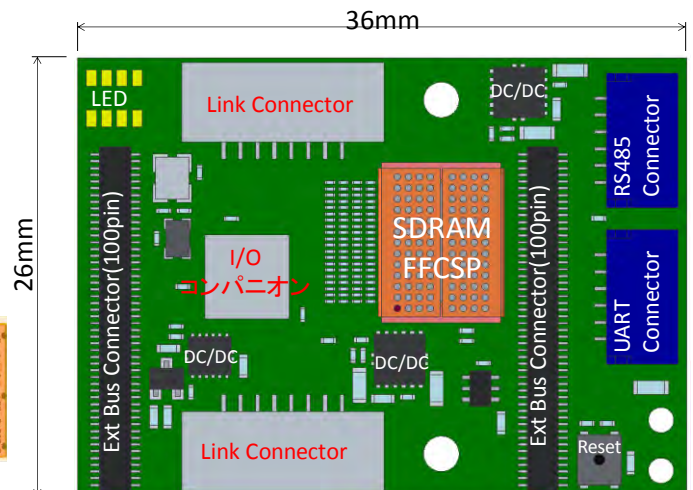


図 8 I/O コンパニオン SiP

②本グループの研究の特徴

30mm 角 SiP 及び 20mm 角 SiP を実現するにあたり、3 次元実装で問題となる故障率の増加を回避することを実現している。TSV 等の 3 次元実装技術はウェハレベルでテストを行うため、実動作速度でのテストは困難であり、3 次元積層してパッケージが完成してはじめて実動作速度でテストする。そのため、歩留まりが低い LSI を多数積層すると SiP 全体の歩留まりが著しく低下するという課題がある。また高速で動作する LSI を多段積層すると、高速信号や電源のアナログ的安定性が損なわれて安定的な動作が困難となる。それに対して FFCSP を採用した本研究では高速信号や電源を安定化するための回路を FFCSP に内蔵し、FFCSP に実装した LSI を個々に実動作速度でテストしたものを多段積層するため、3 次元実装の課題である、歩留まり低下のリスクとアナログ的安定性の低下を回避し、低コストで高品質の SiP 製造技術を実現した。これにより組み込みシステムとしての高いディペンダビリティを実現する設計手法を確立した。

③研究実施方法(研究チーム内外の連携関係など)

基盤ハードウェアグループと SiP の設計の際には DRAM I/F 信号の信頼性向上のために DRAM I/F 信号のシミュレーションを詳細に行い、その結果を元に基盤ハードウェアグループと共同でコデザインを行った。その結

果、基盤ハードウェアグループでは *D-RMTP I* のバンパの再配置を、基盤パッケージグループでは SiP のピンの再配置を行うというコデザインを行いつつ、FFCSP を応用した 3 次元 SiP の設計、シミュレーション、実装組立、テストを行い、①に述べた各年度の研究計画に沿って最適な実装要素技術を研究開発している。(図 9 参照)

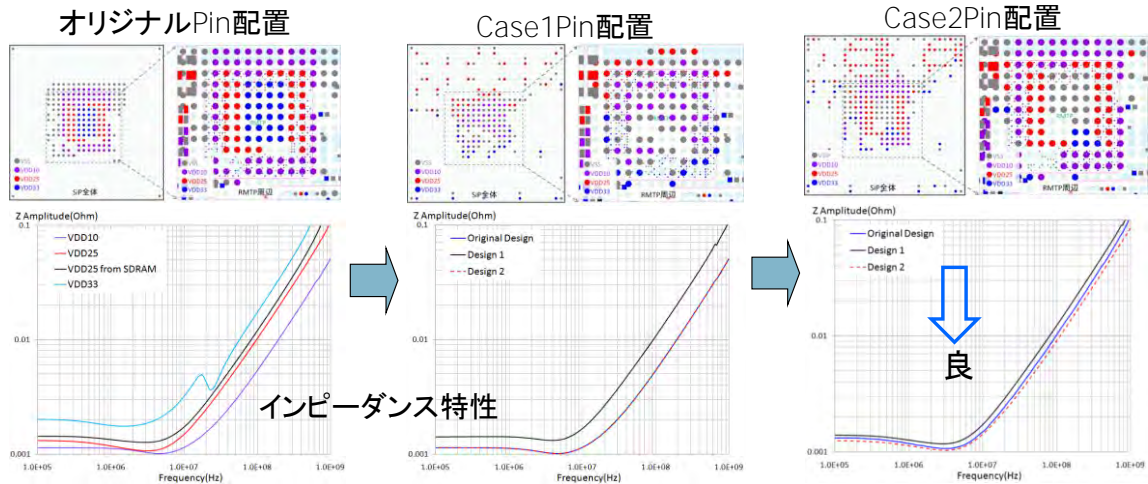


図 9 *D-RMTP I* 30mm 角 SiP のピンアサイン最適化

3)「東大(組込みアプリケーション)」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

日本のロボット産業の主要である工業用ロボットアームの多くは従来、角度位置制御に基づくオープンコントロールを用いて高精度な自動動作が行われていたが、オープンコントロール下では衝突を検知することができないため、ワークとエンドエフェクタが衝突した際にはアームやワークが損傷する可能性があった。また、ロボットアーム動作中には、安全上の観点から決して人が近寄ることができないため、ロボットの動作生成時にはプログラミングペダントによる教示が必要であり作業効率が低いという問題があった。

そこで近年では、研究用ロボット分野で多くみられた、関節トルクや手先力センサといった力覚情報やカメラによる認識に基づくフィードバック制御を導入することで、衝突時の故障の防止や、人が直接ロボットアームに触れる直接教示による直感的動作生成が可能となる工業用ロボットアームの知能化が求められ、実現され始めてきている。

こうした背景においては、非常に高速・高トルクで動作可能な工業用ロボットアームに、万が一、人が触れても事故が起きないようにロボットシステム全体の安全性をより向上していく基盤となる VLSI システムを提案することには大きな意義があると考え、本研究によって新たに開発していく *D-RMTP* SoC/SiP を用いて、その大きな特徴といえる、1) 高速リアルタイム制御性、2) 大電流ノイズ下通信可用性、3) 低レイテンシ通信リアルタイム性、といったディペンダビリティ項目の改善によってロボットシステムの安全性が向上することを、いったディペンダビリティ項目の改善によってロボットシステムの安全性が向上することを、大出力及びリアルタイム性が要求される 2 足歩行ロボット[2]及び、大規模分散環境における通信のリアルタイム性が要求される人体模倣ヒューマノイドロボット[3]を用いて実際に検証していく。

②本グループの研究の特徴

過酷な条件である大出力ロボット環境下での *D-RMTP* SoC/SiP 検証を行うことによる有効性実証していくことで、既存の研究用ロボットプラットフォームだけでなく、工業用ロボットアームや宇宙用ロボットも含めたロボット環境下でも応用可能であることを示していくことが可能となる。具体的には、これら大出力脚プラットフォームを軸として、必要な評価基板設計・開発、単軸での評価、ロボット体外での同等規模システム構成での評価、実ロボット組込み評価を年度毎に段階的に行っていくことで、着実に実証評価を行っていく。

③研究実施方法(研究チーム内外の連携関係など)

既存のロボットシステム上の組込みマイコンに求められるノイズ耐性、制御実時間性、通信レイテンシ、通信リアルタイム性、IO ポート、といった要求を SoC/SiP 開発グループへ提示するために、開発中のロボット[1,2,3,6]の実績値を計測しまとめている。また、ロボット実用化を見据えた SoC/SiP の開発段階のコデザインに関わっていくだけでなく、実際に *D-RMTP* SoC/SiP 搭載基板の駆動テスト時には、全グループ立会いの下、実装機能の動作確認を行い、問題がある場合は即座に適宜グループ間で密に連携しながらデバッグを行うことで、実際に

実ロボットに組み込み可能な基板モジュールの開発を着実に進めている。

(3) 領域外部の企業等との連携

組み込みアプリケーションに関しては、共同研究グループとしては入ってもらわないが外部アドバイザー（JAXA 宇宙研 高橋忠幸教授及び坂井真一郎准教授）を依頼し、アドバイザーからの助言を元にして宇宙機への応用も目指す。

ET2012 にて普及の一環として評価キットを配布したが、数社から実用化に向けた検証作業を行っているとの報告を受けており、協力企業との連携体制を今後も維持していく。

(4) 領域内他研究チームとの連携関係

現在のところ予定無し。

1.3 研究グループの今年度の研究の狙い

① 慶大(基盤ソフトウェア、基盤ハードウェア)グループ(研究代表者グループ)

第1の目標は、基本ソフトウェア(OS)及びハードウェア(プロセッサ及び通信アーキテクチャ)等のコデザインによって、ターゲットアプリケーション(ロボット等の制御)を高効率で実現することにある。そのために、QoS (Quality of Service)の理論と共に、プロセッサアーキテクチャ、チップ間通信アーキテクチャ、電圧周波数制御等の要素技術の研究開発を行い、それらをまとめて SoC (*D-RMTP I* 及び *II*)として実装する。さらに、実機レベルでの動作検証を通して、提案した要素技術の有用性及び実用性を実証する。

第2の目標は、ディペンダブルで超小型・高機能・低消費電力な SoC/SiP を実現するための基盤技術を、SoC と SiP をコデザインすることによって確立することにある。近年の組み込みシステムの高機能化に伴い、組み込みシステムにおいても複数のプロセッシングコアを用いた並列処理はもはや必須の機能であり、複数のプロセッシングコア及び様々な規格の I/O (Ethernet, IEEE1394, USB 等)を集積した SoC が求められている。さらに、このような高機能な組み込みシステムで必要となるリッチな実行環境(Linux 等の組み込み OS 等)は大容量メモリ(DRAM やフラッシュメモリ)を要求するが、これらをすべて単一の SoC に集積することはプロセス技術的に困難であり、歩留まり及び実装面積の点から言っても不利である。したがって、実用的かつディペンダブルな組み込みシステムを実現するには、SoC 技術と SiP 技術を相乗的に組み合わせ(各々の弱点をカバーしつつ特長を引き出し)、両者を統合する通信アーキテクチャが必要である。このために、SoC/SiP 上に実装されたプロセッシングコア、各種 I/O 及びメモリモジュールを接続するディペンダブルな 3 次元リアルタイムオンチップネットワーク(RT-NoC)を実現する。さらに、SoC 側で SiP への実装を考慮しつつ I/O ピン及び RDL によるバンプ位置を最適化することで、SiP のさらなる小型化、ノイズ耐性向上、及びジッタ削減を狙う。

*D-RMTP I*に搭載されているリアルタイム処理用プロセッサ RMT Processing Unit には、各スレッドの実行速度を制御する IPC (Instruction Per Cycle) 制御機構が実装されている。従来の IPC 制御なしのスレッドの実行速度を図 10、*D-RMTP I*の IPC 制御によるスレッドの実行速度を図 11 に示す。図から分かる通り、IPC 制御機構によって各スレッドの実行時間が安定し実行時間の予測可能性が向上することにより、リアルタイム処理のディペンダビリティが大幅に向上した[1]。また、DVFS を適用した場合の消費電力と温度を図 12 と図 13 に示す。図から分かるように、SiP 上の温度センサを用いて動作温度を制御しつつ RT-DVFS を行うことで、ディペンダブルに動的な消費電力削減を可能にした[5]。

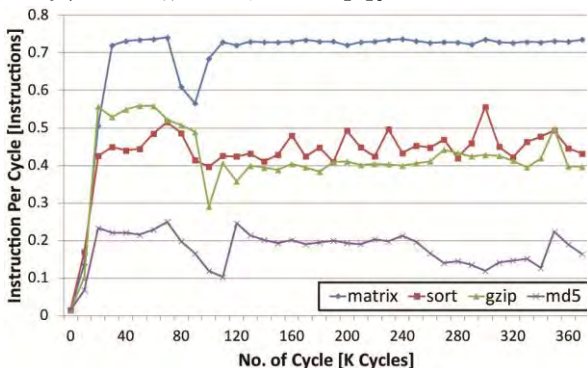


図 10 IPC のスレッドの実行速度

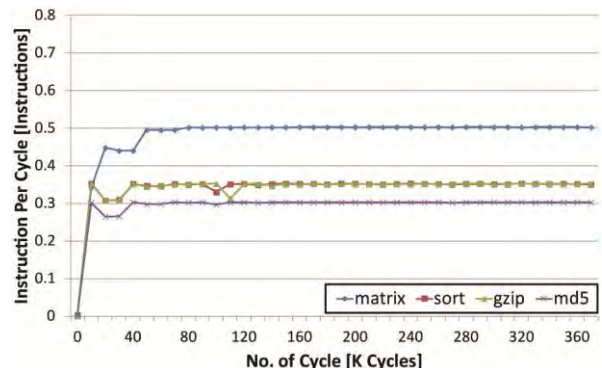


図 11 IPC 制御を用いたスレッドの実行速度

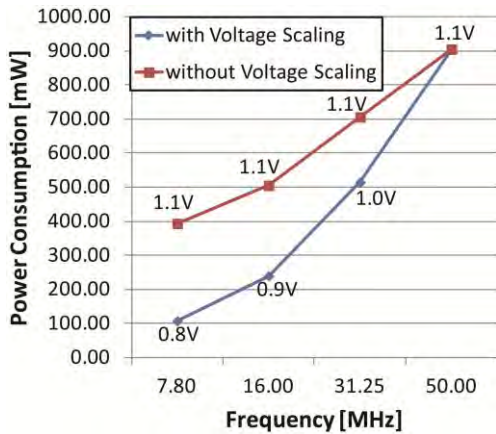


図 12 *D-RMTP I* の消費電力

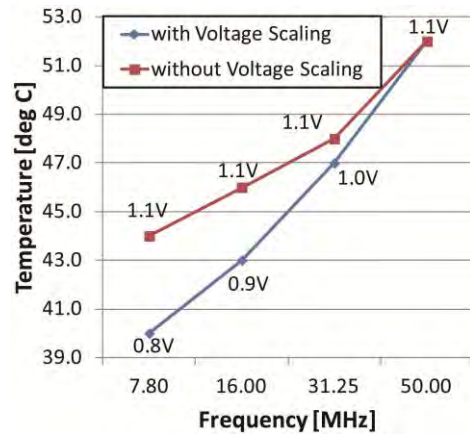


図 13 *D-RMTP I* の温度

また、現在、開発中の *D-RMTP II* における RT-NoC では 8 ビット (256 段階) の優先度制御を行い、Priority Inversion 等の問題に対処する機構を備えている。シミュレーションの結果、高優先度パケットのジッタを低減でき、時間制約に関して高いディペンダビリティを有することを確認した[10]。

② 「NECアクセステクニカ(基盤パッケージ)」グループ

本研究では SiP にパッシブ部品であるキャパシタを内蔵して電源の安定性を高め、熱対策が容易な構造を持つ FFCSP を採用したことにより、超小型でかつ組み込みシステムに必要な高速 DRAM をはじめとする多種のデバイスを内蔵する高信頼 SiP を実現した。具体的には DRAM の同時スイッチングノイズ解析により FPC を 2 層から 4 層にし、アナログ的安定を実現した。また FPC の折り曲げ部分のみ層数と配線パターンを少なくするハイブリッド FPC を実現し、安定的な製造品質を実現した (図 14、図 15 参照)。更に SiP 製造工程において、いくつかの工程で加熱時間を削減する等の工夫により、SiP の組立では試作レベルではあるが、7 個製造、7 個良品等の 100% の良品生産と良品全ての最高動作周波数が同一となる SiP を実現した。また評価キットを作成し、配布することとロボットへの実装可能なモジュールを提供することで、研究成果の普及促進を実現した。

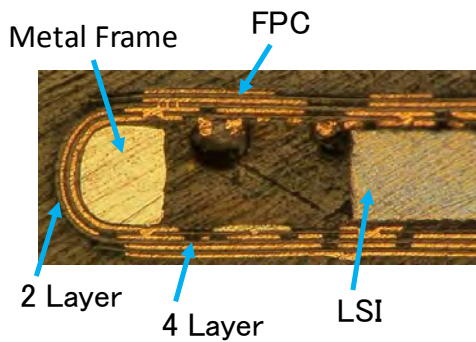


図 14 ハイブリッド FPC

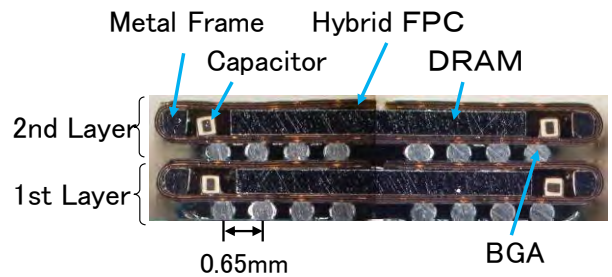


図 15 FFCSP による DRAM の実装

③ 「東大(組み込みアプリケーション)」グループ

実ロボット上に開発 SoC/SiP を組み込んだロボットシステムと、従来採用していた既存の商用マイコンを組み込んだロボットシステムとを比較して、実際にロボットを動作させた際の駆動ノイズ、温度上昇、実時間制御性、衝撃によるロボットリンク損傷、電装系損傷、センサ系の経年変化・故障、といった様々なケースのロボットの実挙動が安全性の観点から十分改善されていることを実証していくことができれば、①で掲げた *D-RMTP* SoC/SiP を用いたロボットシステムの実用化を見据えたディペンダビリティの実証という課題を達成できる。

§ 2. 研究実施体制

①「慶大(基盤ソフトウェア、基盤ハードウェア)」グループ

ア 研究分担グループ長:山崎 信行(慶應義塾大学大学院・理工学研究科、教授)(研究代表者)

イ 研究項目

- ・ディペンダブル SoC 及び SiP の設計
- ・ディペンダブル OS の設計及び実装
- ・リアルタイムスケジューリング理論の確立
- ・リアルタイム通信によるディペンダビリティの確立
- ・低消費電力、時間精度などの QoS 制御理論の構築

②「NECアクセステクニカ(基盤パッケージ)」グループ

ア 研究分担グループ長:和田 喜久男(NEC アクセステクニカ(株)、グループリーダー)

イ 研究項目

- ・30mm 角 SiP の開発・製造
- ・20mm 角 SiP の開発・製造
- ・センサ内蔵 SiP の開発・製造
- ・DRAM 多層 SiP の開発・製造
- ・評価ボードの開発・製造

③「東大(組み込みアプリケーション)」グループ

ア 研究分担グループ長:稲葉 雅幸(東京大学情報理工学系研究科、教授)

イ 研究項目

- ・大出力系でのディペンダビリティ評価基板基礎モジュール単体での制御実験評価
- ・大出力系での 30mm 角 *D-RMTP* 搭載基板ネットワークによる通信系の実験評価
- ・大出力脚を用いた高速制御に基づく転倒回避アルゴリズムによるリアルタイム制御の検証評価
- ・小型分散系での高密度実装モータ駆動基板を用いた制御実験評価
- ・小型分散系での 20mm 角 *D-RMTP* 搭載モータ制御基板の設計開発

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

3.1 研究の成果と自己評価

1) 成果 1. 「リアルタイム処理機構」(代表者グループ)

①内容

10 μ sec オーダのリアルタイム性を実現するために、リアルタイム実行機構を設計・実装した。具体的には、ハードウェアによるリアルタイムスケジューリング・実行を可能にする優先度付き SMT 実行(RMT 実行)、スレッドの実行速度を一定にする IPC 制御機構、コンテキストスイッチのオーバーヘッドを削減するコンテキストキャッシュを組み合わせることにより、従来までは不可能であった 10 μ sec オーダのリアルタイム処理を実現した[1]。

②有用性

従来、リアルタイム処理は主にソフトウェアのみで実現されており、伝統的なソフトウェアによるリアルタイム処理では、1msec オーダ程度のリアルタイム性しか実現することができなかった。本研究開発により、10 μ sec オーダのリアルタイム処理が可能となり、非常に高精度で信頼性が高く時間粒度の細かいリアルタイム処理を実現することができるようになり、産業的なインパクトも大きい。例えば、本技術をロボット制御に応用すると、制御帯域の大きな制御を実現することができ、従来までは実現困難であった非常に高速に動作するロボットや高周波数の振動を制御するようなことが実現可能となる。

③優位比較

現在、単なる SMT は Intel CPU (Core i7 等)の Hyper Threading をはじめとして、多くの CPU で用いられている。これらの通常の CPU は、スループットを抽出する手段として SMT を用いているが、本研究はアプローチが根本的に異なる。本技術では、ハードウェアコンテキストを OS のタスクキューとみなし、コンテキスト(スレッド)にリア

リアルタイム処理の優先度をつけて SMT 実行させることにより、優先度順にタスクを並列実行しながら(つまり通常は OS がソフトウェアで行う優先度実行をハードウェア(CPU)で行いながら)、従来の SMT 同様にスループットも向上させる。この方式では、高スループットで優先度順にスレッドを並列実行できるが、同時に実行するスレッドの組み合わせ等によってはスレッドの実行速度が変化してしまう可能性がある。そこで、スレッドの速度(IPC)を一定にする IPC 制御を研究開発した。この IPC 制御機構を組み合わせることにより、正確なリアルタイム処理を実現可能にした。ここで、ハードウェアコンテキスト数は 8 なので、スレッド(プログラム)の数が 9 以上になると、ソフトウェアが介在する必要があり、本機構が有効に働かなくなってしまう。そこで、コンテキストスイッチをハードウェアで行うコンテキストキャッシュを研究開発した。このコンテキストキャッシュは、ソフトウェアで制御され(CPU の命令で制御され)、4クロックでコンテキストスイッチを行うことができる。これらの 3 つの技術を組み合わせることにより、10 μ sec オーダのリアルタイム処理を初めて実現した。

2) 成果 2. 「リアルタイム通信機構」(代表者グループ)

①内容

100 μ sec オーダのリアルタイム性をディペンダブルに実現するために、リアルタイム通信機構を設計・実装した。具体的には、ISO/IEC 24740 として標準化された Responsive Link をベースに、ロボット内の高ノイズ環境においてもディペンダブルに 100 μ sec オーダのリアルタイム通信が可能なようなリアルタイム通信機構を設計・実装した。具体的には、リアルタイム通信を実現するために通信におけるプリエンプションを優先度を用いたパケット追い越しによって実現すると共に、複数種類のラインコード及びエラー訂正コードを設計・実装し、ノイズレベルによって動的にそれらのラインコードとエラー訂正コードの組み合わせを選択できるようにしてディペンダブルなリアルタイム通信を実現した[1,9]。

②有用性

従来、リアルタイム通信は USB や IEEE1394 のようにアイソクロナス転送を用いたソフトリアルタイム通信のみが実現されていた。これらの通信は主に PC 向けのものであり、接続ノード数が限られ(USB: 127, 1394: 63)、またバス型であるためノード数が増えると単位ノードあたりの帯域が低下し、さらにはアイソクロナス転送ではエラー訂正をサポートしておらず、分散制御用途には不向きであった。CAN は優先度をサポートしているが、エラー訂正をサポートしておらず、バス型で通信速度は 1Mbps 程度であるので、現在の分散制御システムを構築することは困難である。一方、Responsive Link は、エラー訂正強度と通信速度のトレードオフを制御することができ、通信速度も高速(片方向 800Mbaud)である。また、バス型ではなく 1 対 1 通信をスイッチングを行いながらバーチャルカットスルーし、パケットに付与された優先度を元にノード毎にパケットの追い越しをすることで通信のプリエンプションを実現するので、リアルタイムアルゴリズムを通信に応用することが可能となる。その結果、大規模な分散リアルタイムシステム(特に分散制御システム)をトップダウンに構築することができる。

③優位比較

リアルタイムアルゴリズムを通信に応用するためには、通信においてもプリエンプションを実現する必要がある。Responsive Link では、パケットに優先度を付けノード毎にパケットの追い越しを行うことで通信のプリエンプションを実現しているが、通信のプリエンプションを実現している通信規格は他には存在しない。また、環境に応じてエラー訂正の強度と通信速度のトレードオフを制御できるようになっているが、そのような通信規格も存在しない。今回、ディペンダビリティを向上するために、ラインコード自体にエラー訂正能力を持たせた 4b10b というラインコードを新規に設計し、ラインコードにエラー訂正を入れ込むことを初めて実現した。通信規格は標準化しないと意味がないので、現在、情報処理学会試行標準として 4b10b を標準化作業中である。試行標準として標準化された後、ISO/IEC において標準作業を行う予定である。これらの技術を組み合わせることにより、100 μ sec オーダのディペンダブルなリアルタイム通信を実現した。リアルタイム性と耐ノイズ性を共に有した通信規格は他に存在せず、国際標準化も行われているので、技術的にも産業的にも機器間のリアルタイム通信としては他の追随を許さない。

3) 成果 3. 「D-RMTP I SoC/SiP の設計・実装・検証・評価」(代表者グループ)

①内容

D-RMTP I SoC を設計・実装し、D-RMTP I SoC を 30mm 角 D-RMTP I SiP に実装し、さらに D-RMTP I SiP を 30mm 角 D-RMTP I SiP 評価キットに搭載し、基盤パッケージグループ及び組込みアプリケーショングループと共に動作検証及び評価を行った[5]。そのために、開発環境(組込み OS (iTRON, Linux, favor OS)、クロスコンパイラ、FPGA 開発環境等)自体の研究開発を行った。そして、例えば、ソフトウェアから SiP 上のポテンシ

ョメータに値を書き込んで抵抗値を変え、コアに供給される電源の電圧を 0.8V から 1.1V の範囲で電圧制御できることを確認した。実機評価の結果、電圧 1.1V 時の消費電力は 693mW、電圧 0.80V の時の消費電力は 120mW であり、電圧と周波数を動的に制御することにより消費電力量を 1/5 以下に削減可能であることを実証した[5]。同様に、*D-RMTP I* 用のスケジューリングアルゴリズムの研究、及び、IPC 制御機構を用いたリアルタイム DVFS の検証を行った。さらに、Responsive Link のディペンダビリティ(特にリアルタイム性と信頼性(耐ノイズ性))に関して実機及びシミュレーションの両面から評価を行い、非常に高いリアルタイム性(100 μ sec オーダ)と耐ノイズ性(強力なエラー検出及びエラー訂正能力)を有していることを実機検証した[1,9]。

②有用性

D-RMTP I SiP 上の AD コンバータによりコア及び DRAM に供給される電源電圧をソフトウェアからモニタリングできるため、RT-DVFS の際に電圧が指定した値に確実に遷移してから周波数制御を行うことができる。これによってプログラムの安定的な動作を保証してディペンダビリティを向上させ、かつ、リアルタイム性を維持しながら消費電力を削減できる。また、ロボットの体内等の非常にノイズが大きい場所においても信頼性が高く時間粒度の細かいリアルタイム通信を実現することができる。分散リアルタイムシステムを構築するために必要なほぼ全ての機能を SoC/SiP として超小型かつディペンダブルに実現し、産業的なインパクトも大きい。

③優位比較

プロセッシングコアと DRAM の温度をソフトウェアからリアルタイムに監視できるため、デバイスの動作環境(温度等)に応じて電圧及び動作周波数をディペンダブルに調節することができる。本研究ではデバイスの電圧と温度をリアルタイムに観測しつつ RT-DVFS を行うスケジューリングアルゴリズム及び機構を研究開発しており、このようなアプローチはロボットや宇宙機等過酷な条件で動作する組み込みアプリケーションにおいてディペンダビリティを実現するために重要である。*D-RMTP*は周辺 I/O 機能を有した単なる 1 チップマイコンではなく、プロセッシングコアや通信機構にディペンダブルなリアルタイム処理・通信機能を有しており、このような SoC は他に存在しない。

4) 成果 4. 「高良品率を実現する 3 次元実装の実現」(NECAT グループ)

①内容

本研究では LSI の近傍に性能維持のための部品を実装し、LSI の性能を維持しつつ、LSI を 3 次元実装する前に個々に回路的良品、不良品の判定を実施し、3 次元実装の最大の問題点である性能の低下と LSI の不良の積み重ねを回避した SiP を実現する手法を確立した。

②有用性

LSI を多段に実装する際の LSI と周辺回路を含めた回路性能の多段化による劣化を防止しながら、LSI の多段実装を実現した。

③優位比較

TSV 等の 3 次元実装では、3 次元実装前にはウェハレベルの良、不良の判定しか実現できておらず、多段実装を進めるに従い、LSI 本来の性能の低下と不良の積み重ねを招いている。本研究で採用した FFCSP は LSI の近傍に性能維持のための部品を配置し、LSI の性能低下を回避しつつ、3 次元実装する前に LSI の良・不良の判定を実施し、良品のみを 3 次元実装することで高い製造品質を実現している。

5) 成果 5. 「ハイブリッド FPC による 3 次元実装」(NECAT グループ)

①内容

FFCSP において FPC の配線層数を 2 層から 4 層にすることにより、高速信号や電源をアナログ的安定させ高信頼性を実現する。単なる 4 層では FFCSP の折り曲げが正常にできないため、折り曲げ部分のみ 2 層構造とすることで、高速伝送における信号安定性と折り曲げ易さを併せ持つハイブリッド FPC を研究開発した。

②有用性

本技術により、3 次元実装における課題である高速信号および電源の安定性を解決しつつ、組立易いディペンダブルな 3 次元実装を実現できる。

③優位比較

TSVによる3次元実装と比較して信号密度は劣るが、LSIへの安定した電源供給による低ノイズを実現でき、かつ金属支持体による放熱により、ディペンダビリティの高いシステムを構築できる。

6) 成果 6. 「20mm 角 D-RMTP SiP 搭載汎用基板モジュール用ベース基板開発」(東大グループ)

①内容

高速リアルタイム制御性、高ノイズ下通信可用性、低レイテンシ通信リアルタイム性を備えた D-RMTP SiP 搭載の通信制御用基板と、ロボットのアクチュエータコントロール/センサ入力/汎用入出力を行う基板を組み合わせた D-RMTP 搭載制御汎用基板モジュール群のベース基板として、20mm 角 D-RMTP SiP 搭載基板の開発を行った。

②有用性

本技術により、全身に 100 以上のアクチュエータを持ち、それ以上のセンサを持った人間模倣ヒューマノイドロボットにおいて、高い信頼性を備えたアクチュエータ/センサネットワークが容易に構築できるようになる。

従来は小型化などのために商用マイコンを用いて専用基板を開発し、USB などの汎用の規格の通信路を用いていたが、ノイズに強く高いリアルタイム性のある通信経路を確保することができ、汎用モジュール群を構築して採用していくことで、ロボットの迅速な開発を可能にできる。

③優位比較

自動車の車体内通信に用いられる CAN や、近年ロボット分野で用いられている Ether-CAT のような通信規格はあるがそれを用いたアクチュエータ/センサシステムとしての信頼性、リアルタイム性を得ようとすると専用の基板を開発する必要があった。本技術を用いれば、ディペンダビリティが保証された通信経路を得ることができ、また、通信や計算処理を受け持つベース基板と汎用モジュールを組み合わせることで素早く容易に信頼性の高いアクチュエータ/センサアレイが構築することができる。

こうした、高い信頼性を持ちつつ素早いシステム構築が可能なモジュール群は、新たな要求に素早く応え、日々開発される新技術を取り組んだモジュールを試すことができるシステムであり、今後のロボットの普及において必要不可欠な要素であると考えられる。

3.2 上記3.1の成果うち、特筆すべきもの

1) 特に顕著な成果(科学や技術の新しい分野の展望など)

ディペンダビリティやリアルタイム性に関する様々な研究開発項目を全て集積した *D-RMTP I* SoC/SiP を実際に設計・実装・検証・評価を行った。研究開発を行った 30mm 角 *D-RMTP I* SiP は、ロボット等の体内に埋め込んで分散制御システムを構築することができると共に、各種ディペンダビリティやリアルタイム性のテストベッドとしても利用することができる。これらの実機を用いた評価・検証を行い、 $10\mu\text{sec}$ 程度の非常に短い時間粒度でのリアルタイム処理と同 $100\mu\text{sec}$ 程度のリアルタイム通信を実現できることを実証した[1]。わずか 30mm 角のサイズに、リアルタイム処理機構、リアルタイム通信機構、DVFS 機構、分散制御システム用周辺機能等を集積しており、研究のテストベッドとしても、産業にすぐに応用可能であるという点においてもインパクトが大きい。

2) 当初計画で想定外であった重要・新規な展開

DVFSにおいてコア電圧を切り替える際、電圧のオーバーシュートまたはアンダーシュートが生じることがあり、電圧が目標値に到達してプログラムが安定動作可能になるまでに一定の遅延が生じる。30mm 角 *D-RMTP I* SiP 評価キットを用いた実機評価の結果、コア電圧を切り替えてから電圧が安定化するまでの遅延が $20\mu\text{sec}$ 程度と当初見積もりよりも大きいことが分かった。コア電圧の動的モニタリングを行わない DVFS 制御ではシステムの安定性を著しく損なう恐れがあるため、細粒度にコア電圧をモニタリングしつつコア電圧を制御する本プロジェクトのアプローチはディペンダビリティを維持しつつ消費電力を削減するために必須であることを再確認した[5]。

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

1. Kazutoshi Suito, Kei Fujii, Hiroki Matsutani, Nobuyuki Yamasaki (Keio Univ.), “Dependable Responsive Multithreaded Processor for Distributed Real-Time Systems”, Proc. of the 15th IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XV), 2012 年 4 月
2. 谷口将一, 松谷宏紀, 山崎信行 (慶大), “予測を用いたNoC向け混雑回避機構”, 情報処理学会論文誌コンピューティングシステム, Vol.5, No.3, pp.112-123, 2012 年 5 月
3. Hiroyuki Chishiro, Nobuyuki Yamasaki (Keio Univ.), “Distributed Real-Time Environment on Responsive Link”, Proc. of the 18th International Conference on Parallel and Distributed Processing Techniques and Applications, pp. 151-157, 2012 年 7 月
4. 川瀬大樹, 水頭一壽, 松谷宏紀, 山崎信行 (慶大), “ヘテロジニアスなマルチコアプロセッサ向け分散 TLB 機構の実装と評価”, DA シンポジウム 2012 (DAS'12), pp.79-84, 2012 年 8 月
5. 高須雅義, 上田陸平, 藤井啓, 千代浩之, 松谷宏紀, 山崎信行 (慶大), “Dependable Responsive Multithreaded Processor の省電力機構の実機評価”, 組込みシステムシンポジウム (ESS'12), pp.79-86, 2012 年 10 月
6. Hiroyuki Chishiro, Nobuyuki Yamasaki (Keio Univ.), “Distributed Real-Time Systems on Responsive Link”, Journal of Communication and Computer, Vol.9, No.12, pp.52-61, 2012 年 12 月
7. Kazutoshi Suito, Rikuhei Ueda, Kei Fujii, Takuma Kogo, Hiroki Matsutani, Nobuyuki Yamasaki, “Dependable Responsive Multithreaded Processor for Distributed Real-Time Systems”, IEEE Micro, Vol.32, No.6, pp.52-61, 2012 年 12 月
8. 水頭一壽, 向後卓磨, 松谷宏紀, 山崎信行 (慶大), “Responsive Link を用いた分散リアルタイムシステム向け高信頼な通信機構の設計と実装”, 情報処理学会論文誌「組込みシステム工学」特集号, Vol.53, No.12, pp.2728-2739, 2012 年 12 月
9. 水頭一壽, 向後卓磨, 山崎大輝, 松谷宏紀, 山崎信行, “優先度付きオンチップルータ VIX”, 情報処理学会論文誌コンピューティングシステム, Vol.6, No.1, pp.87-98, Jan 2013 年 1 月

(4-2)知財出願

- ① 平成24年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 4 件)