

竹内 健

中央大学 理工学部・教授

ディペンダブル ワイヤレス ソリッド・ステート・ドライブ

§ 1. 研究の概要

1. 1 チーム全体の研究の概要

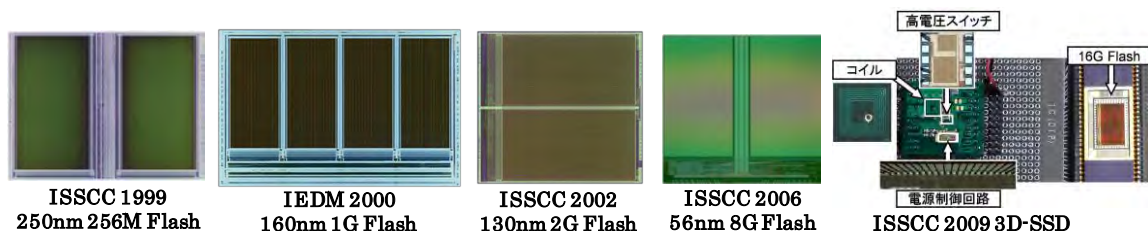
(1) 本研究の背景と課題定義

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモリカードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。またメモリカードのコネクタはゴミの付着や汚染、メモリカードとホスト機器の頻繁な着脱によるコネクタの摩耗が接触不良や速度劣化を引き起こす。更に、有線通信のメモリカードの高速化実現には、コネクタの容量を減らす必要がある。その結果、ギガ bps 以上の高速通信ではメモリカードとして必要な ESD 保護素子を搭載することが困難になり、人体との接触による静電気破壊に脅かされる。

(2) 本研究の特徴

本研究では、本研究を遂行する上で必須の関連技術を世界に先駆けて開発し、当該分野で世界をリードした産学の力を結集する。また大学の研究メンバー全員が企業での豊富な研究経験を有し、出口企業（メモリシステム：東芝、SSD/ホストシステム：パナソニック）との連携、メモリ・通信・給電の異なる分野の間での協力など、実用化を強く意識した問題意識や研究スタイルを共有している。以下で各メンバーについて説明する。

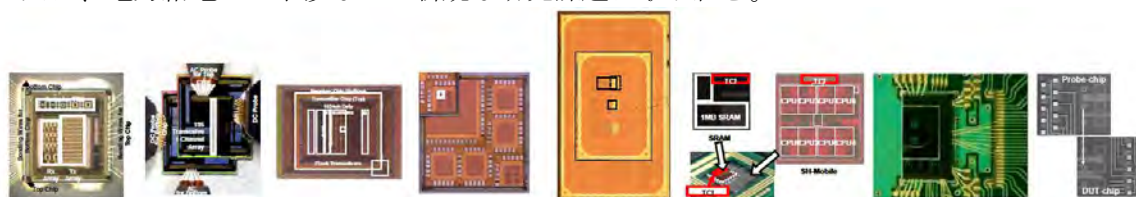
竹内は 1993 年から 2007 年まで東芝のフラッシュメモリ回路設計チームを率い、6 世代にわたり世界最大容量製品の商品化に成功。ECC（誤り訂正符号）、バッドブロック管理、ウェアレベリング、SSD 向けファイルシステムなど、メモリと SSD のディペンダビリティを向上する回路システム技術を実用化し、150 件の特許を取得。2007 年から東京大学にて SSD 用メモリコントローラ (Syposium on VLSI Circuits 2008)、3 次元積層 SSD の電源回路 (ISSCC 2009)、データセンタ用 SSD の高信頼データ退避システム



(Syposium on VLSI Circuits 2009) を開発し、高いディペンダビリティを有するワイヤレス SSD 及びホ

ストシステムを実現するための足がかりを固めつつある。また 2003 年にスタンフォード大学で MBA を取得して以来、東芝では数百人に及ぶメモリ製造・プロセス・デバイス・回路、SSD システム、ソフトウェアの開発部隊のマネージメントや、マイクロソフト社と共同の SSD 向け OS (Windows7) の開発など、プロジェクト・マネージメントの豊富な経験があり、研究代表として本研究を管理・運営する準備ができています。

黒田は 2002 年から誘導結合通信の研究に取り組み、2004 年から 6 年連続して ISSCC の将来技術に関するセッション (Technology Direction Session) で発表してきた。これまでは SiP で積層されたチップ間の通信が研究対象であった。また、LSI パッケージ越しにチップ内のバスをモニタする研究でも実績を上げている (CICC 2007)。本研究ではメモリカードや SSD に応用するために、通信距離を更に伸ばすと共に、電力給電との干渉などの新規な研究課題に取り組む。



ISSCC 2004
(1Gbps)

ISSCC 2005
(200Gbps)

ISSCC 2006
(1Tbps)

ISSCC 2007
(140fJ/b)

ISSCC 2008
(11Gbps/ch)

ISSCC 2009
(MPU+SRAM)

ISSCC 2009
(SSD)

ISSCC 2009
(testing)

石黒は 1999 年から 2006 年まで、東芝にてワイヤレス通信用トランシーバ回路の設計に携わり、その中で送受信機回路の設計とともに、ワンチップトランシーバで外部部品点数を減らすために重要となるオンチップレギュレータの設計に携わった。また、2006 年から現在まで磁界結合をもちいた高速非接触通信インタフェースの研究を進め、現在ワイヤレス電力伝送の検討および基本設計を進めている。本研究では、高速データ通信と同時に行なう数ワットクラスの高効率電力伝送の回路技術の開発を行なう。



ISSCC 2003

VLSI 2005

ISSCC 2007

ASSCC 2008

(3) 本研究の達成目標

本研究ではフラッシュメモリを用いたテラバイト容量のワイヤレス SSD (メモリカード) 及びホストシステムの研究を行う。書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触(人的エラー)、人体との接触による静電気破壊(ESD)などのエラー要因にディペンダブルな回路システムの開発を目標とする。1mm 程度の通信距離の短距離無線通信・給電により有線通信(SATA・PCIe)並みの 10~50Gbps の実現を目指す。

1.2 研究実施方法

(1) 本研究チーム全体の運営と取りまとめ方針

本研究では、メモリシステム(竹内)、無線通信回路(黒田)、無線給電回路(石黒)を専門とする 3 名の研究者で構成される垂直統合型の研究チームを編成し、緊密な連携を保ちつつ、「高信頼メモリホストシステム」、「適応制御ワイヤレス給電・通信」、「高 QoS(Quality of Service)メモリ・通信統合システム」の研究を行う。東芝中井、パナソニック関部はそれぞれメモリシステム、ホストシステムに関するアドバイザーに就任し、既存技術の問題点・研究の方向性・開発技術の有効性や実用性の助言を行う。

(2) 研究グループの分担

1) 「竹内」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 1「高信頼メモリシステム」でメモリシステムのエラーを抑制する高信頼誤り訂正・データ変調システムの研究を行う。また研究 2「適応制御ワイヤレス給電・通信システム」、研究 3「高 QoS メモリ・通信システム」では石黒・黒田と協力し、適応制御型の電力制御システム等の高いディペンダビリティを有するシステムの研究を行う。

②本グループの研究の特徴

最適な誤り訂正回路の実現のためには、メモリ・通信等、エラーを発生するチャネルのエラーパターンをモデリング・解析することが鍵になる。まず、メモリチャネル不良パターンのモデリングを行うための解析システムを開発した。次に、40nm、30nm、20nm、1Xnm 世代と、メモリの不良パターンの測定を行い、メモリの信頼性の微細化トレンドを明らかにした。そして、測定したデータを最大限活用し、エラーを抑制するシステムを開発した。ディペンダビリティを高める手法としては、誤り訂正回路(ECC)のみならず、メモリに記憶するデータに変調を掛けるなど、様々な信号処理技術を検討した。

③研究実施方法(研究チーム内外の連携関係など)

デバイス・回路・システムの全体最適化を図るには、デバイスからシステムまでの大変広範囲の分野の研究を行う必要がある。そのため、東京大学・慶應大学のみならず、アドバイザ企業である東芝(メモリ)・パナソニック(SSD システム)・シグリード(ECC、信号処理)と密接に連携を取り、日本の産学の周知を結集した。

2)「黒田」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 2「適応制御ワイヤレス給電・通信システム」では、近接場通信を用いたデータ通信を研究する。データ転送速度の向上を見越して、将来の様々な規格にも対応できるよう超広帯域の伝送方式を研究する。また、本アプリケーションでは、ワイヤレス通信とワイヤレス給電を同時に行う必要があるため、石黒と協力して電力伝送チャネルからの干渉を低減するための研究を行う。研究 3「高 QoS メモリ・通信システム」では、竹内・石黒と協力して電源をカード側とホスト側で適応制御して精緻にするシステムの研究を行う

②本グループの研究の特徴

チャネルの超広帯域化では、特性インピーダンスが制御された伝送線路型の結合器を開発し単一チャネルで 10Gbps を超える通信を行えることを確認した。この成果をもとに、メモリ容量の増大に対応できるよう、多数のメモリモジュールを接続できるようなマルチドロップ型の非接触 I/F のプロトタイプを開発した。メモリモジュール毎に結合器間の距離を調整することで、全てのモジュールに均等な信号パワーを伝送する方式を開発し、必要最小の消費電力での信頼性の高いデータ伝送を可能にした。電力チャネルからの干渉回避技術に関しては、差動コイルを用いたデータ伝送技術をさらに発展させて、今年度は周回するように配置した 3 つの差動型コイルを用いてデータとクロックを完全に同一チャネルで伝送する方式を考案した。送信データの“0”,”1”に応じて、3 つの差動コイルを使う順番(回転の向き)を変えるロータリー符号化を考案した。完璧なソース・シンクロナス動作が実現され、電力チャネル等外部からのノイズが存在する状況でのクロック・データ再生の信頼性を大幅に向上した。

③研究実施方法(研究チーム内外の連携関係など)

研究 2「適応制御ワイヤレス給電・通信システム」では石黒と連携して、ワイヤレスデータ伝送と給電を同時に行う際に必要となる対干渉性の高いデータ伝送技術の開発を行う。また、研究 3「高 QoS メモリ・通信システム」では、竹内・石黒と連携してホストの持つ動作状態の情報を活用することで、最適な電力伝送を行う技術を開発する。同時に高い通信信頼性を確保するためのエラー訂正技術を竹内と連携して開発する。パナソニックおよび大手コネクタメーカと連携して、非接触インタフェースの仕様策定やシステムの実用化を目指す。

2)「石黒」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 2「適応制御ワイヤレス給電・通信システム」では主に給電システムを担当する。メモリカードという限られたサイズの中で、非接触でワットクラスの電力を伝送するためのコンパクトで高効率な伝

送技術を開発する。また、データ・電力同時伝送時における通信の信頼性を確保するために、黒田と協力して電力チャネルからデータチャネルへの干渉を減らすための技術を研究する。研究 3「高 QoS メモリ・通信システム」では、竹内・黒田と協力して機器内外の回路の誤動作を防ぐための EMI を抑制するための電力伝送技術を開発する。

②本グループの研究の特徴

本研究のターゲットアプリであるワイヤレス SSD は、ミリ秒、場合によってはマイクロ秒オーダーでカード側の負荷が大きく変動するが、その変動を吸収する大容量バッテリーを搭載することはカードのサイズを考えると現実的ではない。従って、最近策定された規格「Qi」のようなスマートフォンのバッテリー充電用の非接触給電方式は応答速度の観点から適用できない。本研究では、電力伝送でよく用いられる数 100kHz よりも高い周波数(数 MHz～数 10MHz)を電力伝送のスイッチング回路に用いることで高速応答に可能にする。高いスイッチング周波数はコンパクトな伝送システムを実現にも適している。ただし、MHz 帯は電波法規上使える周波数が厳しく制限され、「Qi」で使われている周波数変調等による電力制御は不可能である。本研究では、電力送信機を並列に動作させ、それぞれのスイッチング信号の位相を調整することで、周波数固定のまま高速に送信電力を制御する方式を開発した。さらに、共振周波数と分数調波を切り替えることで、効率を一定に保ったまま幅広い範囲で電力を制御する技術を開発した。また、切り替え信号として $\Delta \Sigma$ 変調を行うことで、EMI の発生を抑える手法を開発した。

③研究実施方法(研究チーム内外の連携関係など)

研究 2「適応制御ワイヤレス給電・通信システム」では黒田と連携して、ワイヤレスデータ給電がデータ伝送に与える影響を評価し、それを抑制するための技術を開発する。研究 3「高 QoS メモリ・通信システム」では、竹内・黒田と連携して、送信電力の適応制御をすることで過度な電圧ストレスの発生や EMI の発生を防ぐ手法を開発する。また、パナソニックおよび大手コネクタメーカーと連携して、非接触インタフェースの仕様策定やシステムの実用化を目指す。

(3) 領域外部の企業等との連携

本研究の成果を産業界に技術移転し次世代高信頼フラッシュメモリ・SSD 及びホスト機器として迅速に実用化するため、メモリシステムでは東芝(フラッシュメモリの世界シェア 2 位)、SSD/ホスト機器ではパナソニック(SD カードの世界シェア2位)、信号処理技術に強みを持ち SSD コントローラー開発を行うシグリードを出口企業と想定し、アドバイザーに就任して頂く。アドバイザー企業は既存技術の問題点・研究の方向性・開発技術の有効性や実用性の助言を行う。

(4) 領域内他研究チームとの連携関係

ディペンダビリティの評価や指標の策定など、領域内他研究チームと情報交換を行いながら、領域全体でディペンダビリティに関する知見を共有しながら、強力で研究を推進する。

1.3 研究グループの今年度の研究の狙い

①「竹内」グループ(研究代表者グループ)

本研究テーマでは、高信頼なワイヤレス SSD を実現するため、メモリシステムの高信頼性化技術を開発する。特に、書き換え回数の増加やデータ保持時間の増加に伴うメモリセルの信頼性劣化や、隣接のメモリセルからの容量結合ノイズによる信頼性の劣化を回復する信号処理システムを開発する。

②「黒田」グループ

ワイヤレスデータ伝送のテーマでは、伝送線路型の結合器を用いることで USB3.0, SATA3.0 等をサポートできる 10Gbps のワイヤレスデータ伝送システムを確立し、さらなるデータレート拡張のための手法を考案する。電力チャネルからの干渉を受けにくいチャネル形状および符号化を考案することで、ワイヤレス電力伝送と同時にデータ伝送を行う場合でも、信頼性を損なわないディペンダブルな通信方式を確立する。

高 QoS メモリ・通信システムでは、ホスト側の持つ動作状態の情報を使って、最適な伝送電力を送信する技術を確認する。

③「石黒」グループ

ワイヤレス給電のテーマでは、2cm 角程度のサイズに収めることができる、伝送電力 1.5W，効率 70%の給電システムを開発する。給電と同時にフラッシュメモリのデータ書き換えに必要となる昇圧も同時に行う方法を確立する。バッテリーを搭載しない状態でも、高速に変動する負荷状態に追従できるようなシステムを実現する。

大電力の伝送においては、機器内外の電子回路動作のディペンダビリティを確保するために電磁干渉(EMI)を抑えることが必須である。通信の高 QoS 化のみならず他の機器への妨害を防ぐための、電力伝送におけるスイッチング方式、変調方式を開発する。

§ 2. 研究実施体制

(1)「竹内」グループ(研究代表者グループ)

ア 研究分担グループ長：竹内 健(中央大学、教授)(研究代表者)

イ 研究項目

メモリシステム

(2)「黒田」グループ

ア 研究分担グループ長：黒田 忠広(慶應義塾大学、教授)

イ 研究項目

通信システム

(3)「石黒」グループ

ア 研究分担グループ長：石黒 仁揮(慶應義塾大学、准教授)

イ 研究項目

給電システム

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

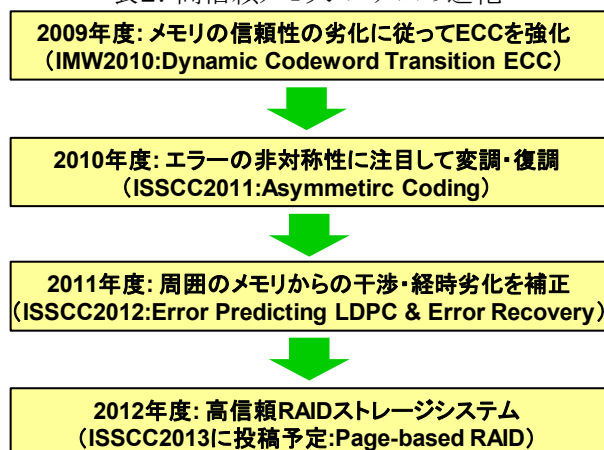
3. 1 研究の成果と自己評価

1) 成果1.「高信頼 SSD コントローラーシステム」(代表者グループ)

①内容

竹内グループではメモリシステムの不良を救済する、高信頼メモリシステムの研究を行ってきた。微細化により劣化するメモリに対して高いディペンダビリティを確保するため、表 2 に示すように、誤り訂正システムを高度に進化させてきた。また、誤り訂正を行うレイヤも、SSD コントローラーから RAID システムと進化させてきた。

表2. 高信頼メモリシステムの進化



2009年度はDynamic Codeword Transition ECC Schemeという新しい誤り訂正システムを提案した。従来のSSDでは、信頼性・性能・消費電力などに関してワーストケースを考慮した設計を行っていた。NANDフラッシュは使用するに従って（書き換え回数が増加するに従って）、信頼性が悪化していくデバイスであり、製品のライフエンドの最も信頼性が悪い状態（ワーストケース）を想定した強力なECCを採用すると、製品の全てのライフサイクルを通じて、誤り訂正回路の消費電力の増大、速度の劣化の問題がある。提案するDynamic Codeword Transition ECC Schemeでは、ECCのコード長を最適に調整することで、消費電力の増大・性能劣化を最小限に抑制しつつ、高い信頼性を確保する。アダプティブにSSDの誤り訂正システムの救済効率を上げることで、従来のECCのコード長を固定した場合に比べて、誤り救済効率を17倍向上させることに成功した。この研究成果について、International Memory Workshop 2010で発表を行った。

2010年度は、メモリに書き込むデータに変調を掛けることで、エラーを削減するAsymmetric Codingを提案した。まず、メモリシステムのエラーを詳細に評価・解析し、図1に示すようにメモリの微細化が一世

代進むことに、メモリのエラーが5～数10倍増加することを明らかにした。

また、メモリのエラーパターンに

は顕著な非対称性が存在する事を明らかにした。図2にメモリのエラーパターンを示す。データ保持不良はメモリセルのフローティングゲートの電荷がゲート酸化膜を通じて基板にリークすることにより生じるため、しきい値電圧が低下する不良である。しきい値電圧が高いほどゲート酸化膜に印加される電界が強まる。その結果、フローティングゲートからチャネルへのリーク電流が大きくなり、エラーの発生確率が高くなる。

一方、書き込みディスタース不良は、書き込み非選択のメモリセルのチャネルで発生するホットエレクトロンがフローティングゲートに注入することで生じるため、しきい値電圧が高くなる不良である。データ保持不良・プログラムディスタース不良ともに、図2の実測結果のように、エラーの顕著なパターンを生じる。データ保持では、Lower Page（下位のページアドレス）では「0」から「1」が主要な不良であり、Upper Page（上位のページアドレス）では「1」から「0」が主要な不良である。

本研究では、メモリのエラーに非対称性があることに着目し、メモリに書き込むデータに変調を掛けることで、

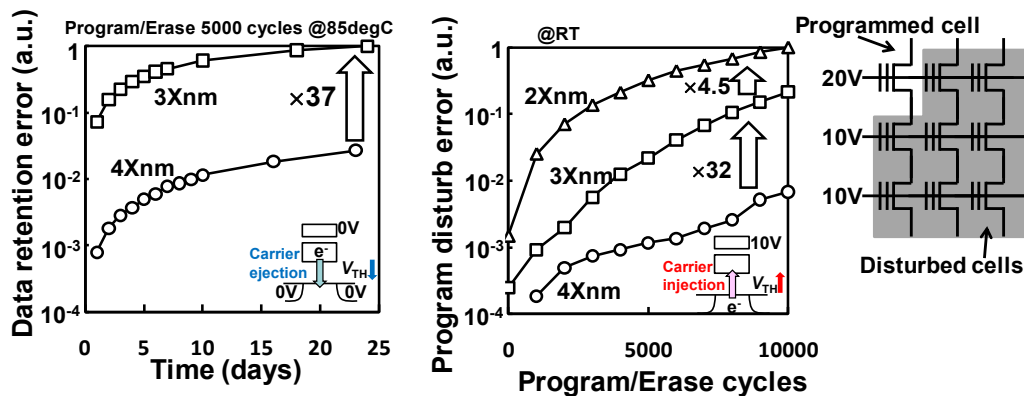


図1. 4Xnm, 3Xnm, 2Xnm フラッシュメモリのデータ保持及び書き込みディスタース不良

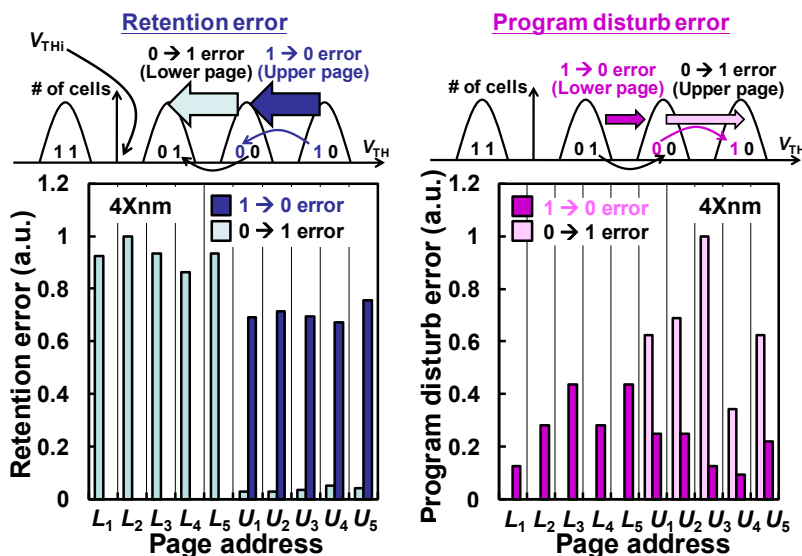


図2. NAND フラッシュメモリのデータ保持及び書き込みディスタースのエラーパターン

記憶するデータ中に、“0”または“1”の数を増やす Asymmetric Coding を提案した。図 3 に示すように、SSD の実機を用いた実測を行い、提案手法により 95%不良を削減できることを実証した。本研究成果を纏めた論文を ISSCC 2011 にて発表を行った。

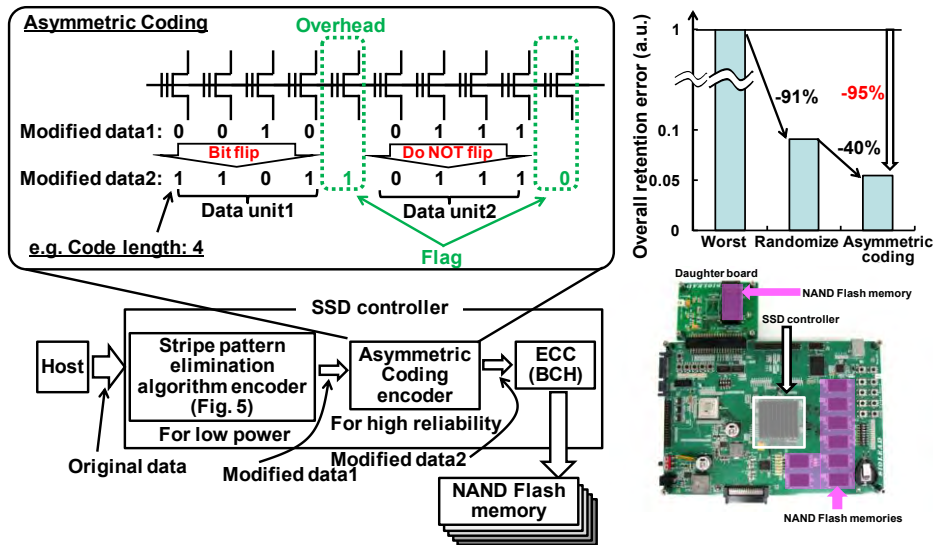


図 3. 提案する Asymmetric Coding

2011 年度は、メモリセルの間の干渉効果を抑制することで、メモリの寿命を 10 倍伸ばすことができるエラー予測 LDPCを開発した。図4に ECC 方式の比較を示す。微細化が進みメモリセルの大きさが20ナノメートル以下になると、メモリセルの間の容量結合に起因する干渉が大きくなり、従来の BCH ECC (図4(a)) では誤りを訂正できなくなる。一方、従来のLDPC ECC (図4(b)) では高い誤り訂正能力がある一方、読み出しが7-9倍増加遅くなる問題がある。

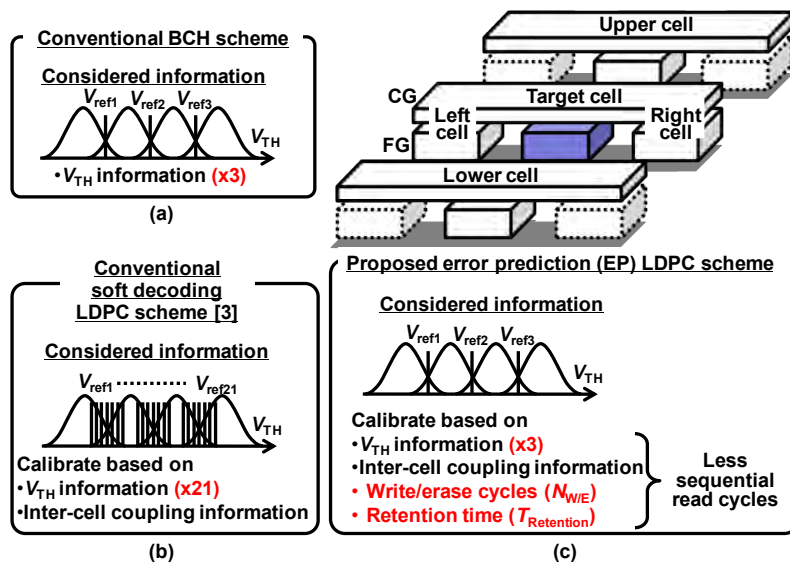


図4. (a)従来の BCH ECC、(b)従来の LDPC ECC、(c)提案するエラー予測 LDPC

高速なアクセスと高い信頼性を両立するため、本研究では、周囲のメモリセルのデータからメモリセル間の干渉を予測して、補正を行うエラー予測LDPC (図4(c))を提案した。図5に本研究が提案するLDPCアーキテクチャを示す。合わせて、エラー予測を行うためのデータ保持時間を推測するシステムも開発した。書き換え回数とデータ保持時間から、メモリの不良のパターンを予測することで、従来では救済不可能な誤りを訂正することを可能にした。

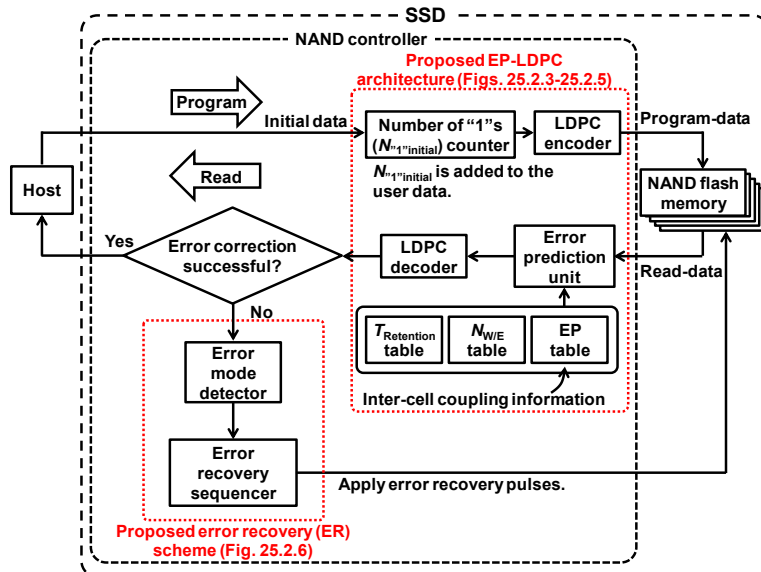


図5. 提案するエラー予測 LDPC とエラーリカバリー方式の構成

更に、書き換え回数が増加するに従って、メモリセルのゲート酸化膜や、フローティングゲートとゲートの間の層間膜で電子がトラップ・デトラップされ、しきい値がシフトする問題に対して、一時的にエラーを回復するエラーリカバリー方式も開発した。ゲートに 5V 程度のストレスを印加することで、ゲート酸化膜や層間膜中にトラップされた電子を除去し、不良となったメモリセルを一時的に回復させる。回復後に、メモリのデータをコントローラーに読み出し、高い信頼性のメモリ領域にデータを退避することで、システムレベルでメモリエラーの回復をはかった。

以上の提案したアーキテクチャの有効性を 30 ナノメートル世代の NAND フラッシュメモリを搭載した SSD を用いて実証した。図 6 に提案手法と従来手法の比較を示す。エラー予測 LDPC により、従来に比べて 10 倍寿命が長い高い信頼性と高速なアクセスを実現した。また、エラーリカバリー方式により、書き込みディスタークのエラーを 76%、データ保持のエラーを 56% 回復することに成功した。本研究成果を纏めた論文を ISSCC 2012 にて発表を行った。

	Conventional BCH	Conventional LDPC (Soft decoding)	Proposed EP-LDPC
Considered information	V_{TH}	V_{TH} Inter-cell coupling [4]	V_{TH} Inter-cell coupling W/E cycles Retention time
Read reference voltage number	3	21 [3]	3
Sequential read cycles	x1	x7	x1
Gate count of ECC circuits in the controller	x1	x2 [7]	x2
SSD lifetime @ 85 degC (W/E cycles: 8k)	4 days	-	45 days (>x10)
Acceptable BER	1.3%	-	4.8% (x3.7)
Acceptable W/E cycles	5k	-	8k (x1.6)

	Conventional SSD	Proposed SSD
Program disturb error recovery	None	PDRP (-76%)
Data retention error recovery	None	DRRP (-56%)

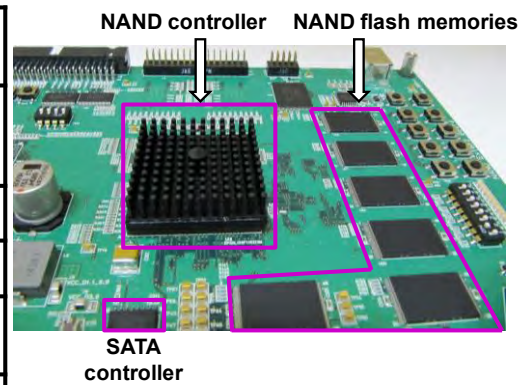


図6. 提案するエラー予測 LDPC とエラーリカバリー方式の特性

2012 年度はよりシステム化を進め、SSD に最適な RAID システムを開発した。図 7 に提案する RAID システムを示す。NAND フラッシュメモリと ReRAM で構成されるストレージを、統合コントローラーで制御を行う。統合コントローラーは、SSD コントローラーと RAID コントローラーの両方の役割を果たし、ストレージ全体で最も高いディペンダビリティを実現するよう、最適なデータ制御を行う。

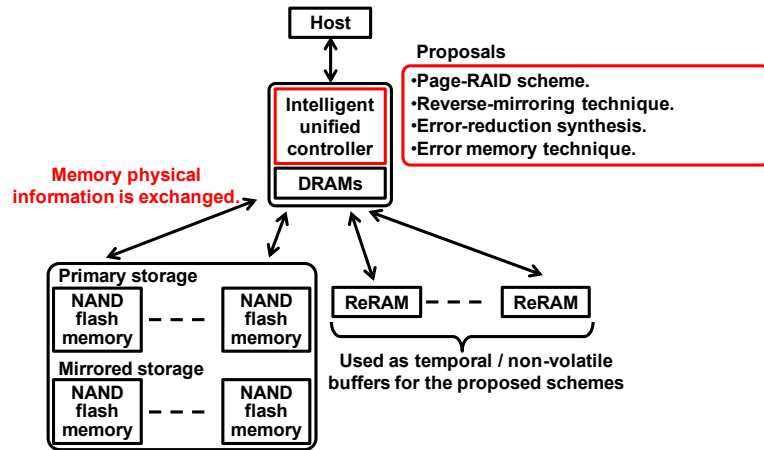


図7. 提案する RAID システム

図8に提案する Reverse Mirroring システムを示す。フラッシュメモリのエラーは“1”から“0”に変わるエラーと“0”から“1”に変わるエラーの頻度が異なる。RAID1（ミラーイング）システムにおいて、プライマリストレージとセカンダリストレージで反転したデータを記憶することで、メモリの不良率を 28%低減することに成功した。

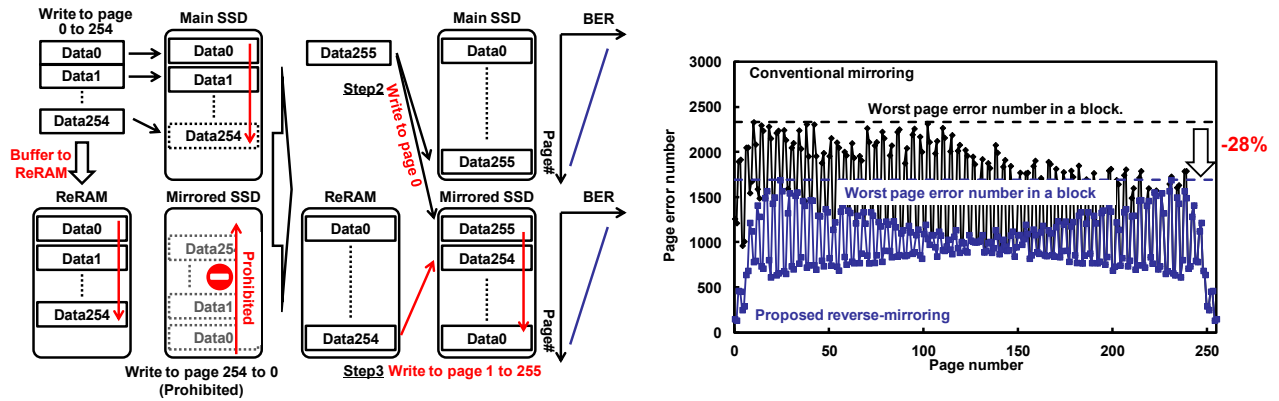


図8. 提案する Reverse-Mirroring システム

更に、本研究では Page-based RAIDを開発中である。ドライブ（ディスク）の単位で壊れることが多いHDDと異なり、フラッシュメモリがエラーを発生する単位は、8～16KByte のページである。提案する RAID では、パリティを高速なストレージクラスメモリに格納することで、アクセス時間の遅延なく、信頼性を 45%向上することに成功した。以上の研究成果をまとめて、ISSCC 2013 で論文を発表した。

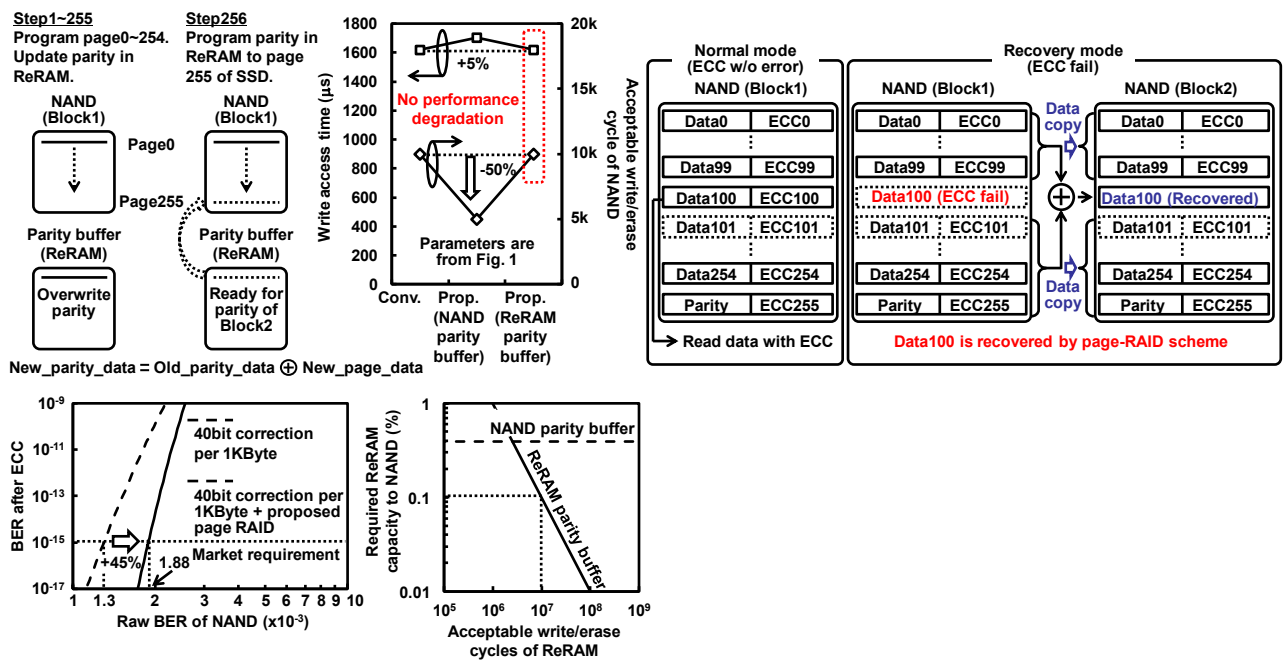


図9. 提案する Page-based RAID

②有用性

本研究の成果は SSD の実機で有用性を検証を行っている。例えば、エラー予測 LDPC では、従来技術に比べて 10 倍寿命が長い高い信頼性と高速なアクセスを実証した。

③優位比較

現在の SSD では、主に BCH 符号の ECC (誤り訂正符号) を強化することでメモリの信頼性向上を図っている。本研究では、メモリスルットの信頼性に応じて最適な ECC の訂正能力を採用する、エラーを予測する LDPC 符号、RAID ストレージ階層も含めての最適化と、従来にない新しい高信頼システムを提案している。コスト、アクセス時間、極めて高いディペンダビリティを両立する世界トップの技術である。

2) 成果2.「通信システム」(黒田グループ)

①内容

黒田グループでは超高速ワイヤレスデータ伝送方式の研究を行ってきた。現在、ハイエンド用途ではインターフェースとして S-ATA3.0 規格(6Gbps)を採用したデータ転送速度 300MByte/sec を超える SSD が普通に市販されるに至っている。SSD の容量の増大にともない、今後もインターフェースに要求されるデータ転送速度は上昇し、本プロジェクト終了時(5年後)には現時点より 1 桁程度高い 50Gbps 程度のデータ転送速度が要求されると考えられる。このデータレートが実現できれば、Blue-Ray Disk (25GByte) の映像データを 10 秒弱で転送できる。ワイヤレス SSD でも同程度のデータ転送速度の実現が期待される。

2009 年度は、磁界結合を用いた多チャンネルのデータ通信に適した送受信機の開発、および、さらなるデータ速度向上のための広帯域結合器の基礎検討を行った。無線通信に関しては、単一チャンネルであるが、磁界結合を用いて通信距離 1mm 程度で数 Gbps/ch. のデータ通信を行なうテストチップを試作した。実測で 2.5Gbps/ch. のデータレートの達成を確認するとともに、磁界結合チャンネルの速度限界を実測で見極めた。この成果をまとめた論文は、International Solid-State Circuits Conference 2010 に採択され 2010 年 2 月に発表を行った。並行して、電磁界シミュレータを用いて伝送線路型の広帯域結合器を設計した。マルチセクション型の方向性結合器を基本とするが、1mm 程度の通信距離で結合係数が -20dB 程度で 20GHz の非常に広帯域でフラットな周波数特性が得られることをシミュレーションで確認して、PCB ボードを用いた結合器の特性評価の準備を進めた。

2010 年度は、前年度に基礎検討を行った伝送線路型の結合器を用いた超広帯域非接触インターフェースを実現するために、伝送線路型の結合器を開発しその基本特性を評価した(図 10)。インダクタを用いた場合、1 チャンネルあたり 2Gbps 程度のデータレートが限界であったが、新たに開発した伝送線路型結合器では、1 チャンネルあたり 12Gbps 以上のデータレートを実現できることを、90nm-CMOS プロセスで試作したテストチップを用いて実証した(図 11)。本研究成果を纏めた論文を ISSCC 2011 にて発表を行った。

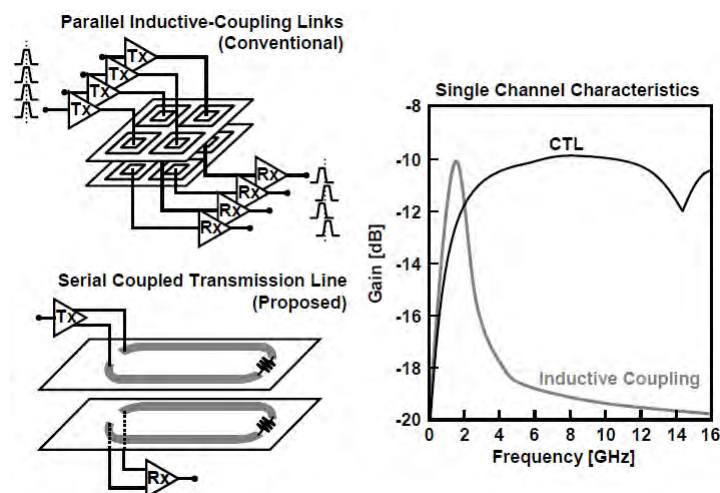


図 10 並列インダクタチャンネル (左上) と超広帯域結合伝送線路型チャンネル (左下) の模式図と各チャンネルの周波数特性 (右)

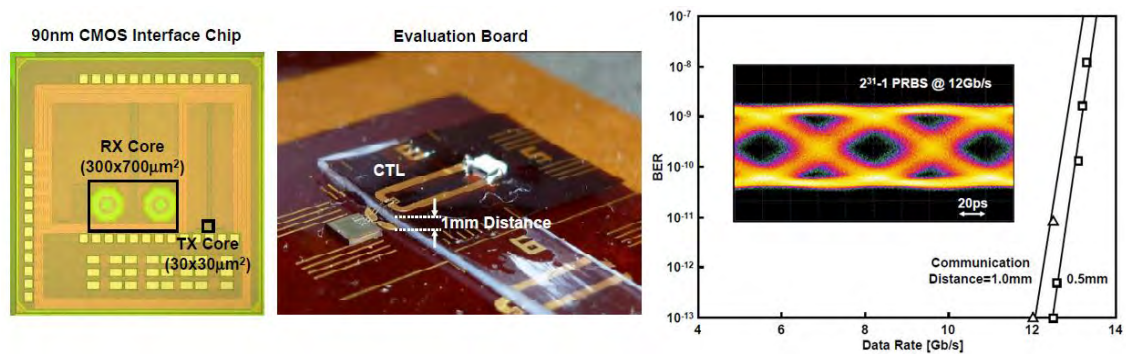


図 11 試作チップと測定結果

2011 年度は、伝送線路型結合器を用いた超広帯域ワイヤレスデータ伝送システムのマルチドロップバスへの適用を可能とする技術を開発した。メモリモジュールは、複数の DRAM を装備・配線して接続端子を設けた基板で、電子機器の主要部品である。マザーボードのメモリソケットに差し込んでマイクロプロセッサのバスに接続できる。メモリモジュールのデータ転送速度が電子機器の性能を決めることが多く、高速化の要求が強い。現在主流の DDR3 規格では、最大転送速度は毎秒 1.9 ギガビットであり、2015 年頃から PC への採用が予想される DDR4 規格では最大毎秒 4.3 ギガビットである。しかし、信号がバスで分岐したりソケットを通過するたびに、反射やひずみが起こり、転送速度を 5Gbps 以上にするとディペンダビリティを損なうという深刻な問題があった。

本研究では、信号の反射やひずみが起こりにくい方向性結合器を用いて信号を分岐した。図 12 に示すようにマザーボードとメモリモジュールの伝送線を組み合わせて方向性結合器を構成することで、従来のソケットをなくした。モジュール側の結合器の一端はトランシーバチップ内部でインピーダンス整合された抵抗で終端され、他端はモジュール上の抵抗器で終端されている。また、マザーボード上の伝送線路に関しても、一端は送信機でインピーダンス整合され、他端は抵抗器で終端されている。各モジュールでインピーダンスが整合されており、反射が抑制される。更に、結合器の結合度を調整することで、各メモリモジュールに伝送する信号エネルギーを等しくし、通信電力を削減した(図 13)。その結果、ビット誤りを起こさずにチャンネルあたり毎秒 7 ギガビットという世界最高速の通信に世界で初めて成功した(図 14)。8 チャンネル並列に配置されており、バスの帯域としては、56Gbps を実現できる。

本研究成果を纏めた論文("A 7Gb/s/Link Non-Contact Memory Module for Multi-Drop Bus System Using Energy-Equipartitioned Coupled Transmission Line," W-J. Yun, S. Nakano, W. Mizuhara, A. Kosuge, N. Miura, H. Ishikuro, T. Kuroda, Keio University, Yokohama, Japan)を ISSCC 2012 にて発表した。

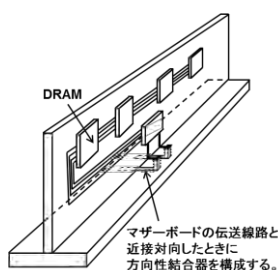


図12. 非接触メモリモジュール

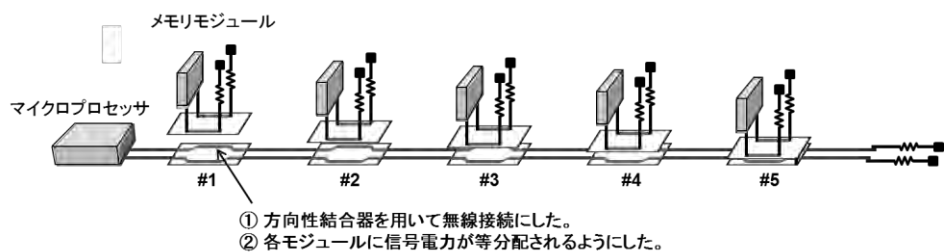


図13. エネルギー等分配メモリバス

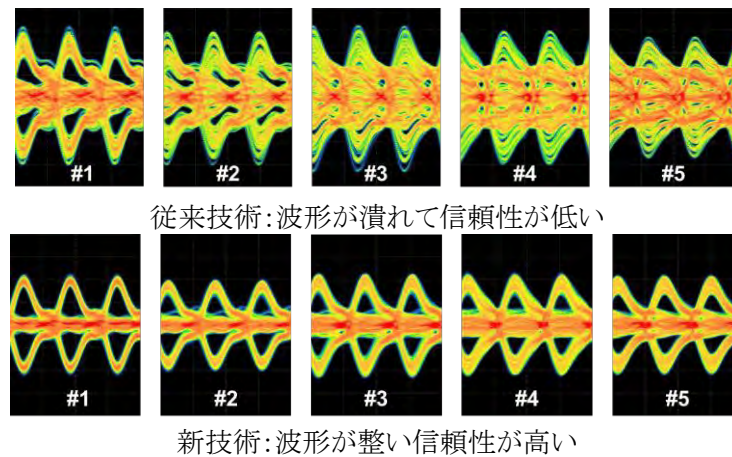


図14. 世界最高速度の毎秒7ギガビット通信(実測波形)

2012 年度は、伝送線路型結合器の信号結合の方向性を利用して、一つの結合器で二つのチャンネルを同時伝送する方式を開発している。非接触メモリへ適用することも可能であるが、さらに応用範囲を広げるために、図 15 に示すようにスマートフォン用の LCD インターフェースの高信頼化およびサイズ、コスト削減をモチーフとして開発を進めている。

メモリインターフェースと同様にモバイル機器向けの LCD インターフェースのデータ転送速度も年々向上してきており、最近では MIPI と呼ばれるシリアルインターフェースの規格が利用され始めている。モバイル機器向け LCD インターフェースにおいて重要な項目は、小型、低コスト、低電力動作はもちろんであるが、システム全体のディペンダビリティの観点から携帯等の無線通信に影響を与えないために、低 EMI であることが要求される。本研究では、前年度までは送信器が出力する信号が Non-Return-to-Zero (NRZ) 波形であったものを、パルス形状にすることで消費電力を削減した。提案方式では、送信データが遷移するときのみパルス信号を送出するため、データレートを下げると比例して消費電力を下げる可以降低。MIPI はモードに応じて様々なデータレートでデータ転送をする必要があるため、本提案方式のメリットが大きい。しかし、通常のパルス方式では、送信信号の平衡性がくずれ、コモンモード成分が高速に変化するため、不要輻射成分が大きくなり EMI の観点から問題がある。そこで本研究では、平衡型パルス信号生成回路を考案して、EMI を低減することを可能とした。

図 16 の実験結果が示すように、1 つの結合器で 1 チャンネルの信号を伝送した場合と、2 チャンネルを同時伝送した場合で、通信品質の変化はほとんど見られない。今回、開発したインターフェースで 2Gbps のデータレートで 2 チャンネル同時伝送を出来ることを明らかにした。本成果をまとめた論文を ISSCC 2013 にて発表した。

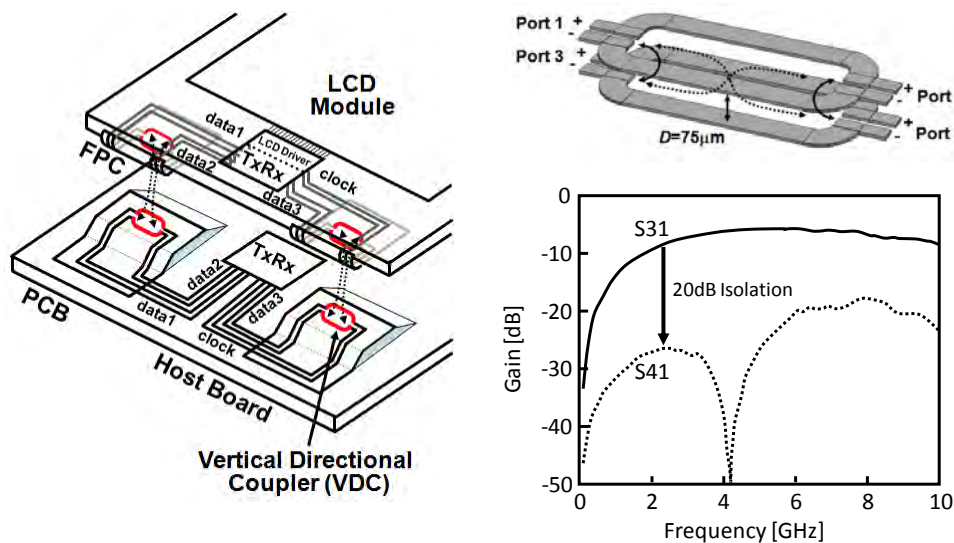


図15. 伝送線路型結合器の方向性を利用した、1つの結合器で2ch同時通信を行う方式をLCDインタフェースに適用。(左)コネクタ部の鳥瞰図、(右)結合器の形状と方向性の測定結果

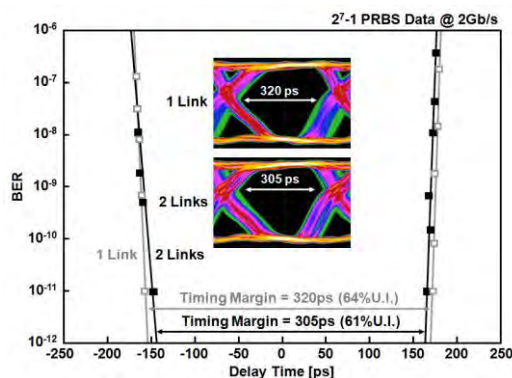


図16. 1つの結合器で1ch通信および2ch同時通信を行った場合のエラーレートの実測値

① 有用性

メモリモジュールの世界市場は1兆円規模であり、大きな経済効果が期待できる。また、スマートフォンやパソコンでプロセッサとメモリのデータ転送を2倍高速にできるので、機器の高性能化に寄与する。また、ディペンダビリティの確保に求められる電力の増大を回避できるので、電子機器の節電に寄与する(およそ100万kWの電力削減が期待できる)。

③優位比較

現在の接触型コネクタによるマルチドロップバスでは、接触部による特性インピーダンスの乱れが伝送信号の品質を劣化させ、データレートの上限が5Gbps程度に制限されていた。本研究で開発したインピーダンス整合された伝送線路型の結合器を用いることで、信号反射を防ぐことができ接触型のコネクタでは実現不可能なデータレートを達成した。

3) 成果3.「給電システム」(石黒グループ)

①内容

石黒グループでは、バッテリーレスのアプリケーションで必要となる負荷変動に対する高速応答システムおよび不要輻射(EMI)を削減した非接触給電システムを開発してきた。搭載されるメモリの容量およびデータ伝送レートの上昇に伴いSSDの消費電力も増大すると考えられる。信頼性に大きな影響を与える熱の発生をすこしでも抑制するには、幅広い負荷変動の存在下において高い効率を維持するワイヤレス給電を実現しなければならない。

近年、非接触給電技術の分野では「Qi(チー)」のような標準規格も策定され、その応用範囲が広がっている。これまでの非接触給電は、Qiのようにスマートフォン等のバッテリーに充電する用途、あるいはSuica等RFID向けの非常に微小な電力(数10ミリワット程度)を供給する用途に限られていた。バッテリー充電用途ではワットクラスの電力を伝送するが、受電側の電力変動は遅く、高速な送信電力制御は不要であった。RFID用途では伝送電力が小さいため、レギュレータを受電側に搭載することで、効率を犠牲にして受電側の電圧変動を抑えている。一方、本研究テーマが目指すワイヤレスSSDのような無線給電においては、カード側で急激な負荷変動が存在する状況においても高い電力伝送効率を保つための回路・システムを開発する必要がある。また、電力チャネルのデータチャネルへの干渉を軽減する技術が重要となる。

2009年度は、電力受信側(2次側)の整流後の電圧をモニターして、負荷変動により生じる電圧変動を検出して、データチャネルを介して電力送信側(ホスト側)にフィードバックして送信電力を調整する方式を考案した。送信電力の制御にはパルス数を変調するPDMを用いた。フィードバック制御システムの検証をメインとするため送信電力は小さいものの、シミュレーションレベルで1桁程度の負荷変動に対して一定の効率を達成できることを確認している。また、このチップではデータチャネルに差動コイルを用いることで、電力チャネルとデータチャネルの磁界直交を実現しチャネル間干渉を軽減する方式も考案して実装している。チップを用いた実証を行い、チップの測定を進めた。研究成果は2010年6月ハワイで開催されるSymposium on VLSI Circuitsで発表を行った。また、

負荷固定の状態で 1.5W の大電力を 70%の効率で送信するための回路およびボードを設計して試作を行った。無線電力伝送と同時に NAND の書き換えで必要となる 20V への昇圧を行なう。適応制御のための基礎データを取得するためにマッチング条件を変えた際の送信電力、効率の変動のデータをシミュレーションで取得し、無線給電ボードを用いた性能評価の準備を進めた。

2010 年度は、ワイヤレス給電のテーマでは、これまでに負荷の消費電力の変動に応じて、電力伝送チャンネル数やインピーダンスマッチングの調整により送信電力を制御することで、負荷変動が存在するなかで高効率な電力伝送を実現する手法を考案しテストシステムを試作した (図 17)。試作システムの評価により、0.1W~0.5W の範囲で高速に負荷が変動した場合でも高い効率を維持し、負荷側の電圧を安定に保持できることを確認した (図 18)。高速な電力制御をおこなうことで、負荷側 (SSD カード側) に不必要に高電圧、および熱の発生を抑制することができシステムの信頼性を改善することができる。

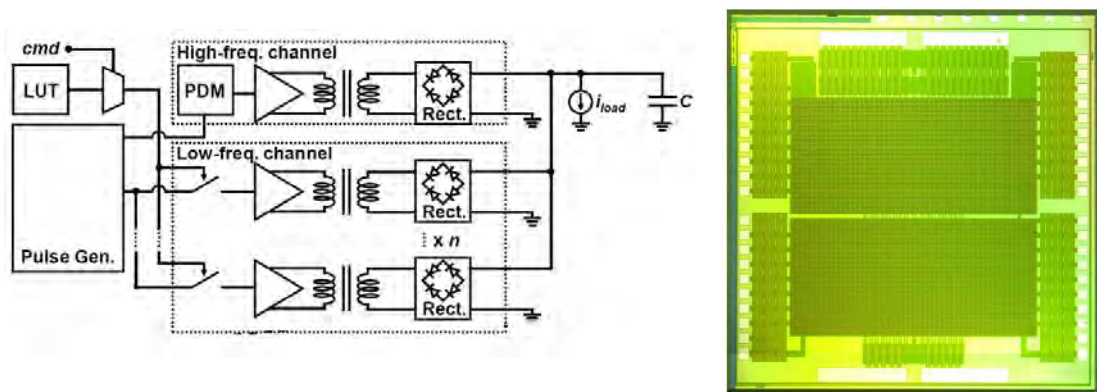


図 17 高速電力制御ワイヤレス給電システムのブロック図 (左) と試作チップ写真 (右)

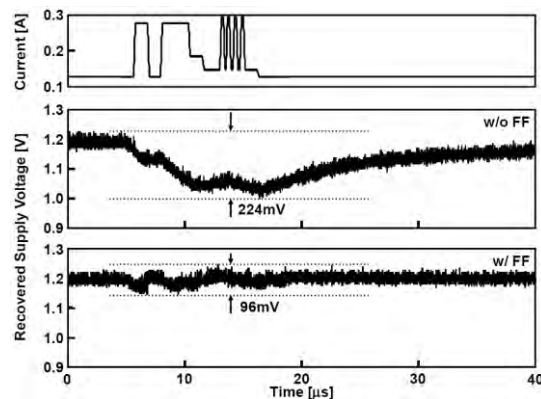


図 18 高速電力制御ワイヤレス給電システムの負荷側発生電圧の変動(右)。電力制御有りの場合(w/ FF)と無の場合(w/o FF)を比較。

2011 年度は、システムのディペンダビリティを高めるために不要輻射(EMI)の少ないワイヤレス電力伝送の方式を考案して給電システムを試作した (図 19)。前述のとおり受電側の電圧を一定に保つために、カードの動作状態 (読み出し/書き込み) に応じて、高速に大きく変動するカード側消費電力に追従して送信電力を高速に制御する必要がある。高速電力制御のためには、バッテリー充電の用途で通常よく使われる数 100kHz より高い周波数(数 MHz~10 数 MHz)でのスイッチングが適しているが、その場合、使用可能な周波数が厳しく制限される。電力伝送チャンネルを複数使用して、それぞれのスイッチング信号の位相を調整することで磁場をベクトルの的に合成し、固定周波数において電力制御することを可能とした (図 20)。また、スイッチング周波数を共振周波数およびその分数調波の間で変調することで、高効率を維持しながら高速かつ不要輻射の少ない電力制御を可能とした(図 21)。本提案方式により、無線データ伝送と同時に給電を行う場合でもデータチャンネルへの干渉の少ない給電が可能となる。図 22 のように、カード側の消費電力が数マイクロ秒以内に 1 桁変動した場合においても、受電側の最大電圧降下は 2%程度に抑えられる (従来技術に対して 2 桁以上の高速化)。

本研究成果の一部を纏めた論文(“Voltage-Boosting Wireless Power Delivery System With Fast Load Tracker by $\Delta\Sigma$ -Modulated Sub-Harmonic Resonant Switching,” R. Shinoda, K. Tomita, Y. Hasegawa, H. Ishikuro Keio University, Yokohama, Japan)を ISSCC 2012 にて発表し、またデモシステムを開発して Embedded Technology 2011 にて実演を行った。

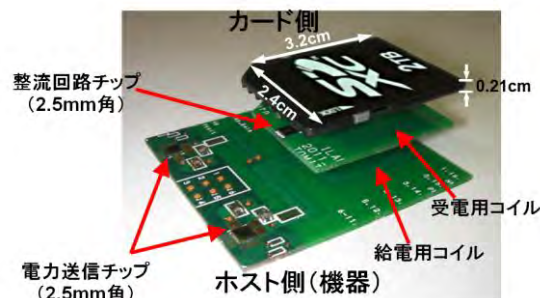


図 19 ワイヤレス SSD 用の非接触電力伝送システム

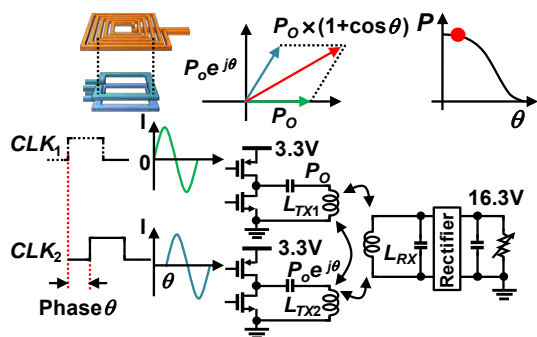


図20. 2ch.でのベクトル合成による送信電力制御

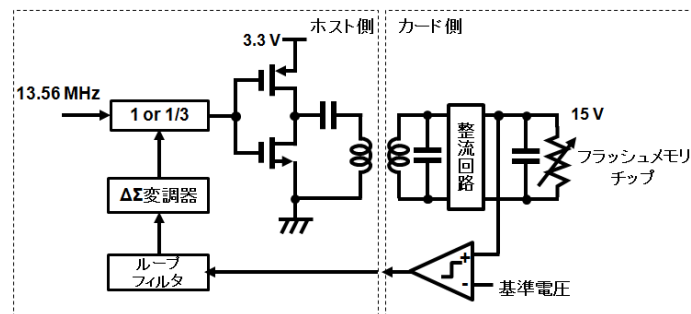


図21. 分数調波スイッチングを用いた低EMI電力伝送

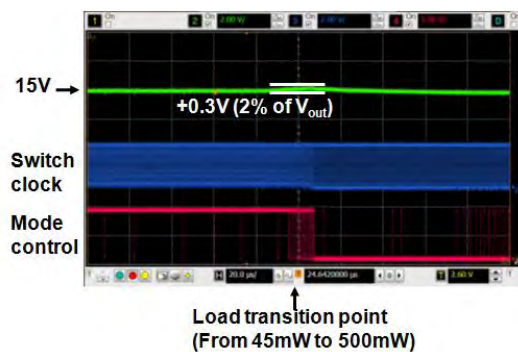


図22. 消費電力変動時におけるカード側電圧変動

2012年度は、昨年度までに開発した給電システムのさらなる効率改善および給電能力の増強のための研究と並行して、受電側において1つのインダクタで2つの電圧を出力する無線給電方式の実現に向けた研究に取り組んでいる。NAND フラッシュメモリの中では複数の電圧が利用される。書き込みのような20V程度の高圧、program inhibitのための中間電圧、さらにインターフェース回路用の低圧等がある。従来は無線給電を行った後にチャージポンプ回路等で昇圧を行っていたが、電力効率が悪く熱の発生等によりディペンダビリティの観点から好ましくない。

近年、一つのインダクタで2つの電圧を出力する Single-inductor-dual-output (SIDO)型の DC-DC コンバータ(図 23(a))が盛んに研究されており、無線給電システムの受電側整流回路の後に SIDO DC-DC コンバータを搭載すれば多出力が可能となるが、メモ리카ードのような小型システムでは DC-DC コンバータ用のインダクタを追加で搭載するのは困難である。本研究では無線給電に用いる磁界結合コイル1つのみを用いて、多数の電圧を出力することを試みている。SIDO DC-DC コンバータと異なり、無線給電では効率改善のために LC 共振を用いており、インダクタの電圧は正弦波状とな

る。したがって、SIDO DC-DC コンバータのように連続的な PWM を用いて二つの出力に電力を振り分ける単純な方法では、電圧・電流の不連続変化が発生して、効率の低下および不要輻射 (EMI) の増大につながる。

本研究では、受電側で二つの整流器に要求する電力をスイッチング信号に同期して振り分けることで、高効率を維持したまま低 EMI で 2 つの出力を生成する方式を実現した (図 23 (b))。

図 23 は実際に試作した Single-inductor-dual-output 型の無線給電システムの出力波形の実測値である。高圧と中間電圧が生成されており、それぞれの負荷が変動した場合でも電圧の変動は低く抑えられている。送信機側の DC 供給端から、受電側の整流後までのトータルの効率は最大で 40% 程度が得られている。

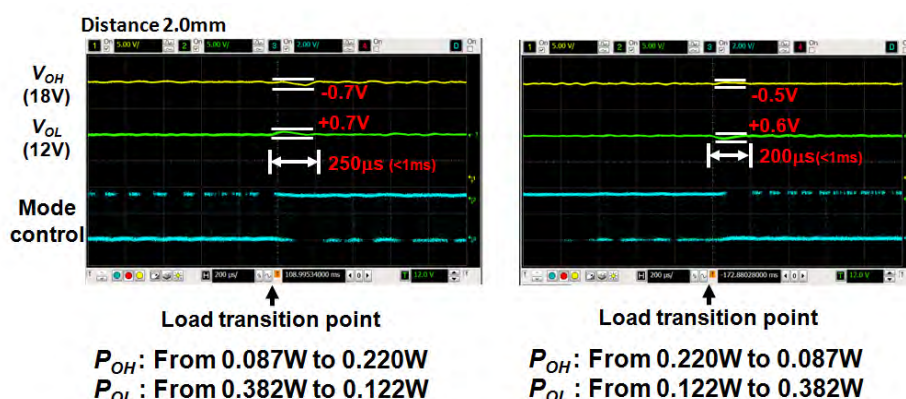


図23. Single-inductor-dual-output型の (a) DC-DCコンバータおよび(b)スイッチング周期に同期して電力を2出力に振り分ける無線給電システム (提案)

②有用性

本技術を用いることで、大容量メモ리카ードを利用する機器から金属端子を排除することができ、水周り等様々な環境でも高い信頼性を確保することができる。また、高効率かつ高速な電力制御により、不要な熱発生や電圧ストレスによるカード内部のデバイス信頼性の低下を防ぐことができる。さらに、不要輻射が抑えられるため、例えばデータ通信等における機器の誤動作を防ぐことができる。

③優位比較

本研究で開発中の電力伝送システムは、メモ리카ード等のバッテリーを搭載できない小型システムに対して、マイクロ秒オーダーという従来に比べて 2 桁以上高速にかつ大きく変動する負荷に追従してワットクラスの電力を伝送できる、これまでに例を見ない電力伝送インターフェースである。また、機器の動作に悪影響を与える EMI を抑えるスイッチング手法を取り入れている。

3.2 上記3.1の成果うち、特筆すべきもの

(1) 特に顕著な成果 (科学や技術の新しい分野の展望など)

フラッシュメモリのメモリセルでは、微細化が進むにつれてメモリセルの間の容量結合が増加し、20 ナノメートル程度で微細化の限界を迎えると予想されていた。本研究で提案するような、周囲のメモリセルの情報を積極的に用いて、容量結合を補正することにより、この干渉の問題を克服することが可能になった。その結果、10 ナノメートルなどより微細なサイズにスケールアップすることが可能になった。

(2) 当初計画で想定外であった重要・新規な展開

データ伝送における伝送線路型結合器は、非常に広い帯域を実現できる (潜在能力として 20Gbps も可能) と同時に結合係数を適切に設計すると信号反射も抑えることが可能であることが分かった。本性質はメモリモジュールを多数接続するようなマルチドロップバスに適している。当初はワイヤレス SSD のように一つのチャンネルに一つのメモリモジュールという使い方を想定していたが、応用範囲を大幅に広げることが可能なマルチドロップバスの開発も新規にスタートして、プロトタイプの評価システムにより、5 つのモジュールを接続できることを実証した。

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

1. Kazutoshi Tomita, Ryota Shinoda, Tadahiro Kuroda, and Hiroki Ishikuro, "1W 3.3V-to-16.3V Boosting Wireless Power Transfer Circuits with Vector Summing Power Controller," *IEEE J. of Solid-State Circuits*, vol. 47, no. 10, Oct. 2012.
2. Teruyoshi Hatanaka and Ken Takeuchi, "NAND Controller System with Channel Number Detection and Feedback for Power-Efficient High-Speed 3D-SSD," *IEEE J. of Solid-State Circuits*, vol. 47, no. 6, pp. 1460-1468, June 2012.
3. Ken Takeuchi, Teruyoshi Hatanaka and Shuhei Tanakamaru, "Highly Reliable, High Speed and Low Power NAND Flash Memory-Based Solid State Drives (SSDs)," vol. 9, no. 8, pp. 779-794, *IEICE Electronics Express (ELEX)*, 2012.
4. W. Mizuhara, T. Shidei, A. Kosuge, T. Takeya, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 0.15mm-Thick Non-Contact Connector for MIPI Using Vertical Directional Coupler," *IEEE International Solid-State Circuits Conference (ISSCC'13)*, Dig. Tech. Papers, pp. 200-201, Feb. 2013
5. H. Fukuda, T. Terada, and T. Kuroda, "Retrodirective Transponder Array with Universal On-Sheet Reference for Wireless Mobile Sensor Networks Without Battery or Oscillator," *IEEE International Solid-State Circuits Conference (ISSCC'13)*, Dig. Tech. Papers, pp. 204-205, Feb. 2013
6. N. Miura, M. Saito, M. Taguchi, and T. Kuroda, "A 6nW Inductive-Coupling Wake-Up Transceiver for Reducing Standby Power of Non-Contact Memory Card by 500x," *IEEE International Solid-State Circuits Conference (ISSCC'13)*, Dig. Tech. Papers, pp. 214-215, Feb. 2013.
7. Y. Take, N. Miura, H. Ishikuro, and T. Kuroda, "3D Clock Distribution Using Vertically/Horizontally Coupled Resonators," *IEEE International Solid-State Circuits Conference (ISSCC'13)*, Dig. Tech. Papers, pp. 258-259, Feb. 2013.
8. Shuhei Tanakamaru, Masafumi Doi and Ken Takeuchi, "Unified Solid-State Storage Architecture with NAND Flash Memory and ReRAM that Tolerates 32X Higher BER for Big-Data Applications," *IEEE International Solid-State Circuits Conference (ISSCC)*, pp.226-227, February 2013.
9. Teruyoshi Hatanaka and Ken Takeuchi, "VSET/RESET and VPGM Generator without Boosting Dead Time for 3D-ReRAM and NAND flash Hybrid Solid-State Drives," *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, November 2012.
10. A. Kosuge, W. Mizuhara, N. Miura, M. Taguchi, H. Ishikuro, and T. Kuroda, "A 12.5Gb/s/Link Non-Contact Multi Drop Bus System with Impedance-Matched Transmission Line Couplers and Dicode Partial-Response Channel Transceivers," in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, Sep. 2012.

(4-2)知財出願

- ① 平成24年度特許出願件数(国内 4 件)
- ② CREST 研究期間累積件数(国内 15 件)