

小柳 光正

東北大学 未来科学技術共同研究センター・教授

## 自己修復機能を有する 3 次元 VLSI システムの創製

### § 1. 研究の概要

#### 1. 1 チーム全体の研究の概要

##### (1) 本研究の背景と課題定義

Moore の法則で知られるように、これまで、LSI は、微細加工技術の進歩に伴う半導体素子の微細化により、著しい速度で高性能化、大容量化が達成されてきた。しかし、微細加工技術が 32nm ノード、22nm ノードと進むにつれて、素子の微細化に伴う様々な問題が顕在化してきている。チップあたりのトランジスタ数や総配線長の増加により、消費電力も著しく増加している。また、微細化とともに低電圧化が進み、加工ばらつきや不純物濃度の統計的なゆらぎの影響も無視できなくなっている。そのため、十分なディペンダビリティを確保しながら安定に動作する LSI の開発が次第に難しくなっている。このような将来の LSI の微細化限界に対処するために、3 次元 LSI 技術の研究開発が盛んになっている。特に、欧米、韓国、台湾では大規模な国家プロジェクトが発足して、3 次元 LSI 技術の実用化へ向けて精力的に研究開発が行われている。TSV (Through-Si via) を使った FPGA マルチチップモジュールや CMOS イメージセンサーなど、一部、量産もはじまっているが、2013 年から、メモリ/ロジック積層も含めて本格的な量産がはじまると言われている。また、マイクロン、IBM 主導で Hybrid Memory Cube (HMC) という 3 次元 DRAM コンソーシアムも設立され、2015 年からの実用化を目指した動きが始まっている。米国では、2010 年に、DARPA 主導で、MOSIS を通して全米の大学に 3 次元 LSI 試作チップを供給して、新しい 3 次元 LSI 探索を行う戦略的なシステムが構築されている。また、3 次元 LSI のテスト手法や信頼性についての標準化を行うための標準化委員会も IEEE に設置されている。

本研究プロジェクトでは、将来の主流技術となると考えられているこのような 3 次元 LSI を念頭に置いて、自動車、ロボット、環境、航空宇宙、バイオテクノロジーなど、今後更なる発展が期待される分野での使用に耐える新しいディペンダブル LSI を実現するための基盤技術を開発することを目的として研究を行う。具体的には、将来の自動車の高度化やロボット化を見据えて、自動車の運転支援のための車載用ディペンダブル画像処理システムの中核となる画像処理システム LSI を実現することを目指す。画像処理をベースとした多重化システムでは、処理するデータ量が膨大となるために(制御系に比べて3~4桁多い)、高性能化が必須となる。また、このような画像処理システム LSI は今後、車載応用も含めていろいろな分野で応用が広がると期待されるので、高性能化だけでなく、低電力化、小型化も重要となる。しかし、このような高性能化、低電力化、小型化は従来技術だけでは達成できない。たとえば 5 年後に 1Tflops で 5W の画像処理システム LSI を実現しようとする、消費電力を 2

桁以上低減する必要があるが、単なる素子の微細化だけでは達成できない。そこで、本研究プロジェクトでは 3 次元 LSI と素子の微細化を組み合わせることによって、画像処理システム LSI の高性能化、低電力化、小型化を達成することを想定した。しかし、このような画像処理システム LSI を自動車の運転支援システムに応用する場合には、ディペンダビリティが大きな問題となる。特に、3 次元 LSI では、2 次元 LSI では使用しないシリコン貫通配線(TSV)や金属マイクロバンプを多数使用することからそれによる信頼性の低下が懸念される。

そこで、本研究プロジェクトでは、ディペンダブル 3 次元 LSI 技術を基盤として、運転支援システムとしての画像処理システム LSI のディペンダビリティ向上を、1)画像処理・認識の高性能化による測距制度の向上と、2)ソフトウェア／ハードウェア協調による自己診断・修復機能の搭載によって実現し、それによって、ASIL=C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)の信頼性を確保する見通しを明らかにすることを目指して研究を行う。

## (2) 本研究の特徴

本研究の特徴は、3 次元 LSI の特徴を生かして、高性能、低電力の車載用ディペンダブル画像処理システム LSI の実現可能性を示した点にある。具体的には、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能の搭載とそれを制御するための SVP (Supervisor Processor) の採用、運転支援・画像処理システムのための画像処理の高性能化を図るための新しいアルゴリズムの採用によって、運転支援用のハードウェア・ソフトウェア協調型ディペンダブル 3 次元積層型画像処理マルチコアプロセッサ LSI を設計、試作した点にある。

ハードウェア・ソフトウェア協調型の 3 次元積層型画像処理マルチコアプロセッサに関しては、アーキテクチャ設計レベルで動的に様々な情報をモニタリングし、アプリケーションに適切な計算資源を割り当てる新しい機構を導入しており、性能向上や消費電力の低減だけでなく、ディペンダビリティの向上に有効に働く。また、3 次元 LSI 技術を用いて、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能を搭載するとともに、それを制御するための SVP を画像処理プロセッサコア上に積層することによって、3 次元 LSI の特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高めている。また、メモリ・ソフトエラー検出・救済のためのリコンフィギュラブルロジックの採用や一部の回路を多重化することによって SVP 自身のディペンダビリティを向上させ、それによってシステム全体のディペンダビリティの向上を図っている。スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するための SVP を搭載して画像処理プロセッサのディペンダビリティを向上するという試みはこれまで例がなく、極めて独創的である。これらの手法は運転支援用画像処理プロセッサだけでなく、高いディペンダビリティを必要とする LSI に広く適用できる。以上のような自己診断・修復機能を有する 3 次元積層型画像処理マルチコアプロセッサの試作は世界初の試みであり、世界の 3 次元 LSI の研究開発に与えるインパクトは極めて大きい。実際、マイクロンの Hybrid Memory Cube (HMC) 3 次元 DRAM にも自己診断・修復機能が取り入れられようとしていることからわかるように、自己診断・修復機能を搭載して 3 次元 LSI のディペンダビリティを向上させようとする動きが広まっている。

本研究プロジェクトでは更に、3 次元積層型画像処理プロセッサにおける画像処理の高性能化のための新しいアルゴリズムとして、位相限定相関法 (POC) に基づく超高精度ステレオビジョンのための新しいアルゴリズムを導入している。このアルゴリズムは従来の SAD (Sum of Absolute Differences) や SSD (Sum of Squared Difference) を用いた方法に比べて計測精度が高く、車載用画像処理システムだけでなく、各種のマシンビジョン (監視カメラ、物体認識、FA、生体認証など) にも応用可能であり、極めて独創的な技術である。

## (3) 本研究の達成目標

ディペンダブル3次元LSI技術を基盤として、ASIL=C(故障率80FIT以下、SPFM97%以上、LFM80%以上)の信頼性を確保できる自動車運転支援用ディペンダブル画像処理システムLSIの実現可能性を示す。

このような画像処理システムLSIが実現可能となると、基線長：12cm、焦点距離：6.5mm、画像サイズ：SXGA、ウィンドウサイズ：48画素×31ライン、再構成点数：3万点、対応付け精度：1/20画素、の仕様のシステムで、50m先で80cm分解能、100m先で3m分解能という測距精度が実現可能となる。このようなディペンダブル画像処理システムLSIを用いた自動車運転支援用画像処理システムの実現可能性が示されることによって、システムの実用化が促進され、高齢者の運転ミスによる交通事故の低減につながる。また、ディペンダブル3次元LSI技術の確立は、素子の微細化によらない新しいLSIの創製につながり、LSI技術の更なる発展をもたらす。

## 1.2 研究実施方法

### (1) 本研究チーム全体の運営と取りまとめ方針

本研究プロジェクトでは、自動車運転支援用のディペンダブル画像処理システムLSIを開発するために、システムのディペンダビリティについて、画像処理・認識のディペンダビリティ、システムソフトウェアに関わるディペンダビリティ、システムハードウェアに関わるディペンダビリティという3つの視点から検討することとし、チーム全体を下記の3つのグループに分けて研究を進めることとした。

- ①画像処理システムの高性能化と全体設計に関する研究グループ
- ②ディペンダブルソフトウェア技術に関する研究グループ
- ③ディペンダブルハードウェア技術に関する研究グループ

グループ①では、鎌田グループが自動車運転支援用画像処理システムの全体構成と目標仕様の検討、青木グループがその目標を達成するための画像処理アルゴリズムの開発を担当する。鎌田グループは、グループ③が開発、試作する積層型画像処理マルチコアプロセッサにおいて、目標とするディペンダビリティを達成するための信頼性設計・解析も担当する。

グループ②では、小林グループが、グループ①の青木グループ、グループ③の小柳グループ、末吉グループと協力しながら、ハードウェア・ソフトウェア協調型の3次元積層型画像処理マルチコアプロセッサの研究を行う。

グループ③では、小柳グループ、末吉グループが、グループ②の小林グループと協力しながら、スレッドスケジューリング・マイグレーション機能や自己診断・修復機能とそれを制御するためのSVPの機能の検討を行う。小柳グループが画像処理プロセッサに搭載するためのハードウェア設計、末吉グループがSVPのディペンダビリティを向上させるためのメモリ・ソフトエラー検出・救済も含めたリコンフィギュラブルロジックの検討を行う。小柳グループは元吉グループと協力して、積層型画像処理マルチコアプロセッサを試作するための3次元LSI技術の確立も行う。また、元吉グループは、末吉グループ、小柳グループと協力して、積層型画像処理マルチコアプロセッサに搭載するメモリのソフトエラー耐性を評価する。

### (2) 研究グループの分担

本研究プロジェクトでは、3次元集積化技術の導入によってLSIの高性能化とディペンダビリティの向上を図るとともに、3次元LSI技術を用いた車載用のディペンダブル画像処理システムLSIの実現を目指して研究を行う。このような車載用画像処理システムLSIのディペンダビリティを確保するために、システム全体のディペンダビリティ

ティを、画像処理・認識のディペンダビリティ、システムソフトウェアに関わるディペンダビリティ、システムハードウェアに関わるディペンダビリティという3つの視点から捉え、それぞれのディペンダビリティを実現するために、研究内容を(i)画像処理システムの高性能化と全体設計、(ii)ディペンダブルソフトウェア技術、(iii)ディペンダブルハードウェア技術という3つの領域に分けて、それぞれの領域の研究を融合的に進める。

#### 1)「小柳」グループ(研究代表者グループ)

##### ①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

小柳グループでは、車載用のディペンダブル画像処理システム LSI の実現を目指して 研究内容(iii)の「ディペンダブルハードウェア技術」を担当する。具体的には、システム性能の向上と自己診断・修復機能の搭載によって、運転支援用画像処理システム LSI のディペンダビリティを向上させることを目指して、ディペンダブル・ハードウェア技術について研究する。ハードウェア技術としては、性能、電力効率ともに1~2桁改善できる3次元 LSI 技術を採用する。3次元 LSI の特徴である並列性と接続の柔軟性を利用して、システム性能を低下させることなくシステムのディペンダビリティを高める手法について研究する。具体的には、3次元 LSI のシリコン貫通配線(TSV)のための自己診断・修復回路、画像処理プロセッサコアおよび SVP に対する自己診断・修復回路(ロジック BIST、メモリ BIST、テストコントローラ TAP)、3次元積層型マルチコアプロセッサ LSI における動的自己診断・修復の実施方法について研究する。3次元積層型画像処理マルチコアプロセッサの高性能化を達成するための垂直方向バスのデータ転送方式、層間クロック制御方式についても研究する。また、これらの機能を搭載した3次元積層型画像処理マルチコアプロセッサ LSI を実際に設計、試作して、性能評価を行う。

##### ②本グループの研究の特徴

本研究グループでは、自己診断・修復機能を有する4~8層積層構造のディペンダブル3次元積層型画像処理マルチコアプロセッサの実現を目指しているが、このような積層型プロセッサは世界的に見てもまだ実現されていない。このような3次元積層型画像処理マルチコアプロセッサが実現可能となったのは、通常の2次元チップに、リソグラフィ、シリコン薄化、シリコン深溝形成ドライエッチング、深溝への絶縁膜、バリアメタル、Cuメッキなどの工程をチップレベルで実施できる本研究グループ特有の3次元化技術を確立しているからである。

また、本研究グループでは、3次元 LSI のシリコン貫通配線(TSV)のための自己診断・修復回路、画像処理プロセッサコアおよび SVP のための自己診断・修復回路(ロジック BIST、メモリ BIST、テストコントローラ TAP)を3次元積層型マルチコアプロセッサ LSI に搭載し、SVP の制御化で自己診断・修復を動的に行って、3次元積層型画像処理マルチコアプロセッサのディペンダビリティを高めるという手法も提案しているが、このような提案も他に例がなく、独創的と言える。但し、3次元 LSI のテスト方法に関しては、最近になって、IMEC をはじめとしていろいろな研究機関で検討されるようになってきており、IEEE で標準化する動きも始まっている。しかし、これらのテスト方法はサンプル出荷時のオフライン・テストを想定したものであり、本研究グループが提案しているような動的な自己診断・修復によるディペンダビリティの向上を目指したものとはなっていない。

なお、3次元積層型画像処理マルチコアプロセッサ LSI の設計にあたっては本研究グループでは、高性能化を達成するために、新しい垂直方向バスのデータ転送方式や層間クロック制御方式、アクセス競合が発生しない新しい3次元共有メモリも提案しているが、これらの提案も本研究グループ独自の提案である。但し、3次元 LSI の層間クロック制御方式に関しては最近、IBM が類似の方式を発表しているので、今後この方式が3次元 LSI の標準的なクロック制御方式として広がっていくものと思われる。

### ③研究実施方法(研究チーム内外の連携関係など)

本研究グループでは、3次元LSI技術を用いて、運転支援用のディペンダブル画像処理システムを実現するために、以下の研究を実施する。

- ・ディペンダブル3次元積層型画像処理マルチコアプロセッサ用BIST回路技術、自己診断回路技術、自己修復回路技術の確立(末吉、小林、元吉グループと協力)
- ・ディペンダブル3次元積層型メモリ・プロトタイプチップ試作とディペンダビリティ評価(小林、元吉グループと協力)
- ・TSVを中心とした3次元LSIの信頼性評価用TEG試作と3次元LSIの信頼性評価(元吉グループと協力)
- ・ディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップの設計(小林、末吉、元吉、鎌田グループと協力)
- ・ディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップの試作(元吉グループと協力)
- ・試作するディペンダブル3次元積層型画像処理プロセッサ・プロトタイプチップのディペンダビリティ評価(小林、末吉、元吉、鎌田、青木グループと協力)

また、チーム外の連携としては、凸版印刷、ルネサスの設計者とプロセッサ設計、テスト容易化設計に関する意見交換を行っている。

## 2)「小林」グループ

### ①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

小林グループでは、本研究課題で目標としている車載向け高精度画像処理用3次元マルチコアプロセッサIのアーキテクチャ設計を担当している。本マルチコアプロセッサは、小柳グループが開発している3次元LSI技術により試作する予定であるが、シリコンチップの3次元積層により1つの積層チップに集積可能なトランジスタの数は飛躍的に増加する。これらの積層チップをマルチコアプロセッサのディペンダビリティ向上に積極的に利用することで、ソフトウェア、外乱による故障に対する耐性が飛躍的に高まることが期待される。このような障害発生時にも継続的に安定した性能を維持したままアプリケーションを実行できるマルチコアプロセッサをシステムソフトウェア、アーキテクチャ設計の視点から実現させることが、小林グループに課せられた課題である。これらの課題を克服するために、特に3次元積層技術を用いた画像処理マルチコアプロセッサ設計に関しては小柳グループ、ディペンダブルなアプリケーション実行環境の実現には青木グループと問題意識の共有をしながら研究を推進している。

### ②本グループの研究の特徴

前述の目標を達成するために、小林グループでは、特に小柳グループ、青木グループと密接に連携しながら、3次元LSI技術を用いた積層型マルチコアプロセッサの設計空間を明確にしつつ、アプリケーションに応じた3次元LSI技術を用いたアーキテクチャ設計に関する研究課題「アプリケーションの特性を考慮した3次元積層型マルチコアプロセッサの構成技術の研究開発」と、高精度画像処理用3次元マルチコアプロセッサのディペンダビリティ向上を目的とした課題である「ディペンダブルなアプリケーションスケジューリング機構の研究開発」を

設定している。

「アプリケーションの特性を考慮した3次元積層型マルチコアプロセッサの構成技術の研究開発」においては、以下の3つのテーマを掲げ研究を遂行している。

- (1) 演算回路設計からプロセッサ設計までの様々な粒度におけるTSVの有効活用による3次元積層型マルチコアプロセッサの設計空間の探索
- (2) 本課題がターゲットとしているアプリケーションを高速に実行可能なベクトルアーキテクチャ設計
- (3) ベクトルプロセッサにおけるアプリケーションの高効率実行を可能とするキャッシュメモリサブシステムの開発

(1)においては、TSVの基本特性解析に基づき、これまで適用例の少ない細粒度な3次元LSI技術のみばかりでなく、プロセッサを構成する要素毎(コア・キャッシュ・I/O等)積層する先進的な粗粒度な積層を検討している。これにより、各設計粒度に応じて適切にTSVを用いて3次元LSI技術を導入する事で、高速で且つ低消費電力の回路、プロセッサが設計可能なことを明らかにしている。また、(2)では、青木グループの開発しているアプリケーションを高速に実行することが可能なアウトオブオーダーの命令処理機構を搭載したベクトルアーキテクチャの提案、評価に取り組み、その有効性を明らかにしている。さらに、(3)においては3次元LSI技術によって初めて実現可能な大規模、かつ高速なオンチップメモリ機構を提案している。シミュレーション及び設計に基づく評価によって、提案するオンチップメモリ機構が電力消費とアクセスレイテンシの大きなオフチップメモリへのアクセスを軽減し、高速かつ低消費電力なベクトルプロセッサを実現可能なことを明らかにしている。このように、様々な視点から3次元LSI技術を用いたプロセッサの設計空間の探索は、スカラプロセッサの粗粒度積層を主に議論している先行・類似研究とは一線を画すものである。

一方、「ディペンダブルなアプリケーションスケジューリング機構の研究開発」にておいては、以下の2つの課題を設定し、研究に取り組んでいる。

- (1) オンラインでマルチコアプロセッサを構成する要素の各種モニタリング情報に基づき、恒常的に安定動作している計算資源へアプリケーションをスケジューリングすることで、アプリケーション実行の高効率化、およびディペンダビリティ向上を実現する機構
- (2) 将来の複雑化する車載システムを見据えた、ヘテロジニアスな環境における高効率な実行を可能とするジョブスケジューリングとチェックポイント・リスタート機構の開発

(1)は、ウェイ毎に活性化・不活性化が可能なキャッシュメモリ機構とスレッドスケジューリング機構を協調させることで、エネルギー効率とディペンダビリティの向上を図るものである。これまでは、プロセッサの各種性能情報を動的に採取し、マルチコアプロセッサ上で実行される複数のスレッドに適切な計算資源を割り当てることで、性能を維持したまま消費電力を削減可能なことを明らかにしている。さらに、本機構をヘルスマニタリング情報に基づくスレッドスケジューリングに発展させ、なおかつ小柳・末吉グループのデバイスレベルでのディペンダビリティ向上技術との融合、協調設計を行うことで、更なるシステムのディペンダビリティ向上を図っている。このようなアーキテクチャ設計の視点とデバイスとの協調設計によりディペンダビリティの向上を図る取り組みは、極めて斬新的なものであり他に類を見ない。

(2)においては、本研究課題で対象とする異種複数の計算資源が混在する3次元LSIを想定し、スカラプロセッサコアとベクトル処理機構などアクセラレータからなるヘテロな計算システムにおいて効率的なジョブ実行、ジョブの冗長実行が可能な計算環境の詳細設計を行うとともに、これまでに例のないヘテロジニアスな環境におけるチェックポイント・リスタート機構を開発している。我々がターゲットとするシステムに近いCPUとGPUから構成される実システムを用いた評価を通して、提案する機構の有用性を明らかにし、異種複数プロセッサ環境のディ

ペンダビリティ向上を可能にしている。

### ③研究実施方法(研究チーム内外の連携関係など)

チーム内の連携においては、月に1度程度、各グループが集まり、研究打ち合わせを実施している。特に、小柳グループとは、3次元LSI技術を用いた積層型画像処理マルチコアプロセッサのアーキテクチャ設計に関する情報を共有しつつ、3次元LSI技術を用いた積層型画像処理マルチコアプロセッサの設計空間を明らかにすること、3次元積層型画像処理マルチコアプロセッサの試作設計を目標に、月に2～3回程度定期的な打ち合わせを行っている。3次元積層型画像処理マルチコアプロセッサの試作設計においては、小林グループは、積層された複数層間にまたがるオンチップメモリの設計を担当し、小柳グループと共同で、3次元積層型マルチコアプロセッサの複数層間におけるデータの分割・冗長保持、および共有を可能とするディペンダブルなメモリシステムの設計を行った。

また、本研究課題の対象アプリケーションである3次元ビジョン用アルゴリズムを高効率に実行可能なアーキテクチャ実現へ向けて対象アルゴリズムを開発した青木グループと月に1度定期的なミーティングを行い、プログラム解析、本アルゴリズムの最適化に関する研究打ち合わせを行った。また、チーム外の連携としては、NECの技術者らと3次元ベクトルアーキテクチャ設計に関する意見交換を行った。

## 3)「青木」グループ

### ①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

青木グループは、3次元積層型画像処理マルチコアプロセッサの車載画像処理への応用を担当しており、「車載用超高精度ステレオビジョンシステムの開発および性能分析」を研究課題として取り組んでいる。具体的には、(i) 位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発、(ii) 開発したアルゴリズムのソフトウェア実装および性能評価、(iii) 開発したアルゴリズムのGPUへの実装および性能評価に取り組んでいる。

車両前方等の障害物検出では、複数台のカメラを用いて走行環境の3次元情報を計測することで、正確な障害物の検出および障害物までの距離計測を行うことができる。このときに、障害物の検出および距離計測を高精度に行うためには、同時に撮影した複数枚の画像間の視差(位置ずれ量)を高精度に求める必要がある。そのため、画像間の平行移動量をサブピクセル精度で高精度に推定可能な画像マッチング手法である位相限定相関法を用いるとともに、車載ステレオビジョンシステムのための高精度化手法を開発する。開発したアルゴリズムの性能を評価するために、C言語等を用いてソフトウェア化するとともに、実際に車両に取り付けたステレオカメラで撮影した動画像を使って性能評価を行う。また、開発したアルゴリズムをGPU上に実装し、計算量や精度などを評価する。異なるアーキテクチャおよび異なる構成のGPUで評価を行い、それらの評価結果に基づいて、本研究プロジェクトで開発する3次元積層型画像処理マルチコアプロセッサ上に実装した際の性能を小林グループ、小柳グループの協力を得て試算する。

### ②本グループの研究の特徴

本研究グループでは、位相情報を用いてサブピクセル精度の対応付けを実現する超高精度画像マッチング技術「位相限定相関法(Phase-Only Correlation: POC)」に関する研究開発を行っている。すでに、多数の企業との共同研究を通して、指紋照合システム、産業用超高速画像認識システム、画像による製本検査装置、透

過型電子顕微鏡(TEM)のための世界初オートフォーカスシステム、レーザースペックル計測による材料強度試験装置などを実用化している。さらに、高精度3次元計測や医用画像解析など広範な分野の研究開発を進めている。これらの応用では、位相情報の活用によって実現されるサブピクセル(0.1~0.01 ピクセル)分解能のロバスト画像マッチング技術が基盤となっている。なお、本研究グループは、位相情報を利用する画像解析・画像処理技術に関する研究チームとして、世界をリードする位置付けにある。本研究課題においては、これまでの知見に基づいて、車載画像処理、特に障害物の検出について位相限定相関法を応用しているところが特徴である。

### ③研究実施方法(研究チーム内外の連携関係など)

研究チーム内では、開発した障害物検出アルゴリズムの高速化および GPU 実装について、小林グループと定期的な打ち合わせを行いながら進めている。GPU実装の最適化、異なるアーキテクチャのGPUおよびマルチコア CPU との精度評価、消費電力と処理時間による実装効率の評価などを共同で進め、その成果を国際会議や国内の研究会などで発表している。また、障害物検出について、(株)デンソーおよび(株)日本自動車部品総合研究所と共同研究を進めており、自動車メーカーの最新のニーズに合致した目標設定を行い、それに基づいてアルゴリズム開発を行うとともに、さまざまなシチュエーションの評価データを共同で採取してアルゴリズムの網羅的な性能評価を行っている。

## 4)「末吉」グループ

### ①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

末吉グループでは、自己修復機能を有するディペンダブル画像処理システムの実現へ向けて、対象システムの監視、故障修復補助を担う SVP (Supervisor Processor)、および SVP を実装するハードウェアプラットフォームに関して、小林グループ、小柳グループと共同で研究を行う。本研究プロジェクトで開発する画像処理システムにおいてディペンダビリティを司る SVP は、システム SVP とハードウェア SVP から構成され、システム SVP はマルチコアプロセッサのディペンダビリティを管理し、ハードウェア SVP はシステム SVP のディペンダビリティを管理する。そのため、ハードウェア SVP には最も高いディペンダビリティが要求される。そこで、本研究グループでは、ハードウェア SVP を故障個所の修復が可能なリコンフィギュラブルロジックによって構成するとともに、ハードウェア SVP に搭載されるメモリのソフトウェア耐性を向上させるための手法について研究を進める。なお、システム SVP はプロセッサコアで構成するので、システム SVP は小林グループ、小柳グループが中心となって研究を進め、末吉グループはこれに協力する。

### ②本グループの研究の特徴

本研究グループの研究の特徴は、3次元積層型画像処理プロセッサのディペンダビリティの鍵を握るハードウェア SVP の診断修復機能を統括する回路部分をリコンフィギュラブルロジックで実現することにある。修復の対象とする故障はソフトウェアおよびハードエラーで、ソフトウェアに関してはスクラビングおよび内部コンテキスト同期技術を中心とした復旧手法、ハードエラーに関しては回路モジュールの再配置手法により対処する。これらの手法は本研究グループ独自の手法である。本研究プロジェクトでは、これらのハードウェア SVP を FPGA に実装し、システム SVP と連携させることによってシステム全体の監視を行い、3次元積層型画像処理プロセッサのディペンダビリティを向上させる。



### ③研究実施方法(研究チーム内外の連携関係など)

末吉グループでは、自己修復機能を有するディペンダブル画像処理システムの実現へ向けて、対象システムの監視、故障修復補助を担うSVP(Supervisor Processor)、およびSVPを実装するハードウェアプラットフォームに関して、小林グループ、小柳グループと共同で研究を行うが、この中で、対象システムの自己診断、自己修復を担うSVPの研究開発、およびソフトウェアに対しロバストなリコンフィギュラブルロジックのハードウェア研究開発を担当する。SVPは、システムSVPとハードウェアSVPから構成されるが、システムSVPはプロセッサコアによって、ハードウェアSVPはリコンフィギュラブルロジックによって実現する。SVPに関しては、システムSVPを小林グループ、小柳グループ、ハードウェアSVPを末吉グループが中心となって研究する。ハードウェアSVPの実現には、ハードウェアSVP、マルチコアプロセッサとのインターフェイスが重要となるので、小林グループ、小柳グループと連携を取って研究を進める。また、ハードウェアSVPは3次元積層型画像処理マルチコアプロセッサ全体のディペンダビリティを管理するので、小林グループ、小柳グループ、鎌田グループと協力して、ディペンダビリティ目標の達成を目指す。

## 5)「鎌田」グループ

### ①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

鎌田グループでは、3次元積層型画像処理マルチコアプロセッサを用いた自動車運転支援用画像処理システムの全体構成と目標仕様について検討し、研究全体の出口戦略を立案している。

現在、運転支援システムとして、赤外線カメラによる夜間視界補助システム、道路標識の見落とし防止システム。Lane Keeping Assist System、衝突防止(DSSS)のための交差点進入車警報システムなどが実用化されているが、今後は更に高度の視界支援に基づいた新しい運転支援システムが開発されていくと考えられる。このようにシステムでは、故障が事故につながるとの考え方の下に、従来の自動車搭載用の電子システムにはない高い性能と同時に信頼性が要求される。具体的には、マルチ・多次元センサーによる膨大な情報(・カメラ・ソナー・レーダー・暗視カメラ・測距カメラ)の高速処理、複雑で高度な処理アルゴリズム(・画像合成・オプティカルフロー・サブピクセル)の導入、信頼性向上の為に多重化・ネットワーク化(・カメラの2重化・異常検出系の実装・処理の3重化・路上カメラデータの利用・プローブ情報の活用)などが求められる。本研究グループでは、このような高い性能と信頼性が要求される運転支援システムを従来のLSIで構築することは難しいと考え、3次元LSIの可能性について検討するとともに、自動車運転支援用画像処理システムに用いられる3次元積層型画像処理マルチコアプロセッサのための目標仕様を設定している。

### ②本グループの研究の特徴

自動車運転支援用画像処理システムに要求される性能、コスト、信頼性と言った観点から、3次元積層型画像処理マルチコアプロセッサに対して、種々の故障を想定し、システムの性能を低下させることなく自己診断・修復を実施する手法を新たに提案しており、この点に特徴がある。

### ③研究実施方法(研究チーム内外の連携関係など)

3次元LSIを用いた画像処理システムの全体構成に関しては、小柳チーム、小林チームと連携して研究を進めた。また、多重化などの手法の採用によるディペンダビリティの向上に関しては小林チームと連携する。処理

量は多いが高精度でロバストな認識アルゴリズムの採用に関しては青木チームと協力して研究を進める。再構成回路により単一故障の外部への出現を高い率で回避する手法に関しては末吉チームと連携する。

## 6)「元吉」グループ

### ① 研究グループの研究課題、ならびに所属する研究チームの課題との関係

メモリ・ソフトウェア検出・救済手法について研究するとともに、自己修復機能を有する3次元LSIテスト回路の設計および評価を行う。また、3次元LSIテスト回路、プロトタイプ3次元積層型画像処理マルチコアプロセッサ試作のための3次元LSI技術の作製プロセスを確立する。

### ②本グループの研究の特徴

本研究グループの研究の特徴は3次元LSIの信頼性という観点から3次元LSIのディペンダビリティについて研究している点にある。自己診断・修復機能を搭載した3次元LSIのソフトウェアについても評価を進めているが、3次元LSIのソフトウェアについてはこれまで報告例がない。

### ③研究実施方法

3次元積層型画像処理マルチコアプロセッサに搭載するメモリのソフトウェア耐性の評価に関しては、小柳グループ、末吉グループと協力する。積層型画像処理マルチコアプロセッサを試作するための3次元LSI技術に関しては、小柳グループと協力して、技術の確立を行う。

### (3) 領域外部の企業等との連携

3次元積層型マルチコアプロセッサに関して半導体企業と共同研究の可能性を検討中である。また、マルチコアプロセッサの設計・評価、自己診断・修復回路の設計・評価に関して共同研究を行っている。3次元LSI技術に関しては、半導体装置メーカー4社、半導体材料メーカー1社と共同研究を行っており、東北大学内で3次元積層型画像処理マルチコアプロセッサの試作が可能な体制が整っている。

### (4) 領域内他研究チームとの連携関係

画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能の基本となるテスト設計技術に関して、他研究チームの研究会に参加して情報交換を行っている。ディペンダブル画像処理プロセッサ実現の鍵を握るソフトウェア対策に関しても、関係する他研究チームと議論を行った。

## 1.3 研究グループの今年度の研究の狙い

### ①「小柳」グループ

自動車運転支援用画像処理プロセッサにはASIL=C(故障率80FIT以下、SPFM97%以上、LFM80%以上)レベルの信頼性が要求される。また、5年後を想定した場合、自動車運転支援用画像処理プロセッサには5Wで1Tflopsの性能が望まれる。そこで、本研究グループでは、3次元LSI技術を用いた3次元積層型画像処理マルチコアプロセッサLSIを実際に試作して、ASIL=Cレベルの信頼性と、1Tflops、5Wの性能を有する画像処理プロセッサが実現可能であることを明らかにする。

ASIL=Cレベルの信頼性に関しては、3次元積層型画像処理マルチコアプロセッサLSIに、シリコン貫通配線

(TSV)のための自己診断・修復回路、画像処理プロセッサコアおよび SVP に対する自己診断・修復回路（ロジック BIST、メモリ BIST、テストコントローラ TAP）およびこれらを制御する SVP を搭載し、これらを用いて動的自己診断・修復を実施することによって達成できると考えた。ただし、3 次元積層型画像処理マルチコアプロセッサ LSI のシステム性能を落とさずに ASIL=C レベルの信頼性を達成するためには、通常の画像処理プロセスと自己診断・修復プロセスの最適化が必要になるため、小林グループ、青木グループ、鎌田グループと連携を取りながら研究を進める。

#### ②「小林」グループ

本研究課題で対象としている車載向け高精度画像処理用 3 次元積層型画像処理マルチコアプロセッサの高効率化と、ディペンダビリティを維持可能な 3 次元積層型マルチコアプロセッサ用のアーキテクチャの実現を達成するために、「3 次元積層技術を用いた画像処理マルチコアプロセッサの設計空間の明確化」と、故障発生時でも高い性能を維持したまま継続的なアプリケーション実行を可能とする「ディペンダブルなアプリケーション実行機構の構築」が、小林グループの達成目標である。この 2 つの目標を達成することで、3 次元 LSI 技術の特性を最大限に活かしたアーキテクチャ設計が可能になり、3 次元 LSI 技術を用いることで初めて得られる潤沢なハードウェア資源を高効率に利用し、高いディペンダビリティを有する車載向け高精度画像処理用 3 次元マルチコアプロセッサの実現が可能になる。

#### ③「青木」グループ

ディペンダブルな画像処理アルゴリズムとは、性能が高いアルゴリズムのことである。車載用の障害物検出の場合は、正確に障害物を検出することに相当する。本研究課題では、時速 100km で走行中に、100m 先に障害物があったとしても、安全に停止できる障害物検出の性能を目標とする。この想定に基づくと、ステレオビジョンの計測精度として、水平/垂直空間分解能（ $\leq 5\text{cm}$ ）、奥行空間分解能（ $\leq 50\text{cm}$ ）、水平/垂直速度分解能（ $\leq 10\text{km/h}$ ）を設定し、システムの画像サイズ（SXGA: 1280x1024 画素）、フレームレート（30fps）、基線長（12cm）、焦点距離（6.5mm）、ステレオ画像対応付け精度（0.05 画素）、ステレオ画像対応付け点数（30 万点）が目標値となる。

現在までに、位相限定相関法に基づく対応付けに関する高精度化手法を開発し、時速 40km で走行している車両の前方を撮影した動画像（15fps）を用いて、100m 先の車両を正確に検出することを確認している。また、障害物検出において最も処理時間が長い対応付けの処理を GPU に実装し、1 万点の対応点を 30fps 以上で高速処理できることも確認していることから、当初の目標をほぼ達成していると考えられる。

#### ④「末吉」グループ

ディペンダブル 3 次元積層型画像処理マルチコアプロセッサ実現の鍵となるハードウェア SVP に関して、以下の目標を達成する。

- (1) メモリ・ソフトウェア検出・救済のためのリコンフィギュラブルロジックの実現
- (2) デバイス全体の監視、故障回復補助を担うハードウェア SVP の実現

(1) はリコンフィギュラブルな特徴を用いてハードウェア SVP 自身のソフトウェア耐性向上を目指すもので、(2) はシステム全体のディペンダビリティ向上を対象としている。

#### ⑤「鎌田」グループ

自動車運転支援用画像処理システムの性能、コスト、信頼性に対する数値目標を設定するとともに、システムのユーザーに対するアカウントビリティを明確化する。また、本研究で開発するプロトタイプ・システムを用いて実用性に対する評価を行い、実用性に対する評価指針を明確化する。これらにより研究成果が速やかに実用化へと移行できる。

#### ⑥「元吉」グループ

メモリ・ソフトウェア検出・救済手法を確立する。自己修復機能を有する3次元LSIテスト回路の評価結果を基に、ASIL=C（故障率80FIT以下、SPFM97%以上、LFM80%以上）の信頼性確保の可能性を示す。3次元積層型画像処理マルチコアプロセッサ・プロトタイプチップ試作のための3次元LSIプロセス最適条件を確定する。

## § 2. 研究実施体制

### (1)「小柳」グループ

ア 研究分担グループ長：小柳 光正(東北大学未来科学技術共同研究センタ、教授)(研究代表者)

#### イ 研究項目

自己修復機能を有する3次元積層型画像処理マルチコアプロセッサの全体設計および性能評価

- ・ ディペンダブル3次元積層型画像処理マルチコアプロセッサのシステム性能評価
- ・ プロトタイプ3次元積層型画像処理マルチコアプロセッサの設計・試作
- ・ 3次元LSIテスト回路の設計、試作および3次元LSIの信頼性評価
- ・ ディペンダブルメモリの設計、試作、評価

### (2)「小林」グループ

ア 研究分担グループ長：小林 広明(東北大学サイバーサイエンスセンタ、教授)

#### イ 研究項目

- ・アプリケーションの特性を考慮した3次元積層型画像処理マルチコアプロセッサのハードウェア構成技術の研究開発
- ・ディペンダブルなアプリケーションスケジューリング機構の研究開発

### (3)「青木」グループ

ア 研究分担グループ長：青木 孝文(東北大学 教授)

#### イ 研究項目

- ・位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発
- ・上記アルゴリズムのソフトウェア実装および性能評価
- ・上記アルゴリズムのGPUへの実装および性能評価
- ・車載用超高精度ステレオビジョンのための3次元VLSIアーキテクチャの検討

(4)「末吉」グループ

ア 研究分担グループ長：末吉 敏則(熊本大学大学院自然科学研究科 教授)

イ 研究項目

- ・不良救済技術およびメモリ・ソフトウェア検出救済技術の検討・評価
- ・3次元リコンフィギュラブルロジックおよびCAD ツールの検討・評価

(5)鎌田グループ

ア 研究分担グループ長：鎌田 忠(㈱デンソー 担当部長)

イ 研究項目

車載用画像処理システムの概念設計と高頼化技術の検討

- ・誤認識(測位誤差)の問題から見た性能目標の検討
- ・ディペンダビリティの目標値を達成する方式の評価方法の検討

(6)元吉グループ

ア 研究分担グループ長：元吉 真(㈱ザイキューブ 仙台開発センター長)

イ 研究項目

自己修復機能を有する3次元 LSI テスト回路の試作および評価

- ・メモリ・ソフトウェア検出・救済手法の確定と自己修復機能を有する3次元 LSI テスト回路設計および評価
- ・3次元 LSI テスト回路、プロトタイプ 3次元積層型画像処理プロセッサ試作用3次元 LSI 技術のプロセス条件の確定

### § 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

#### 3.1 研究の成果と自己評価

##### 1) 成果1. 「ディペンダブル 3 次元積層型画像処理プロセッサのための動的な自己診断・修復手法」

(鎌田グループ、小柳グループ、小林グループ)

##### ①内容

3 次元積層型画像処理マルチコアプロセッサのための動作性能を著しく劣化させることなくディベンダビリティを高めるための新しい自己診断・修復手法を提案し、それによって ASIL=C (故障率 80FIT 以下、SPFM97%以上、LFM80%以上)レベルの信頼性を確保する見通しを得た。

3 次元積層型画像処理マルチコアプロセッサのテストとして、1)初期テスト、2)動作中テスト、3)未使用時テスト、4)3重化テストの4種類を考えた。初期テストは通常の LSI と同様に全てのテストが製造後の行われ良品判定に用いられる。具体的には①M-BIST、②L-BIST、③TSV のテスト、④SVP(スーパーバイザープロセッサ)のテストである。初期テストで良品と判定されたものの中にも、不良品が混入していると考えられる。主な理由は、①テストベクトル不足、②テスト条件不足などの静的故障と、③ソフトウェア、④ホットスポット、⑤エレクトロマイグレーション(劣化)などの動的故障がある。動作中テストは、動作中検査は図 1 に示すシーケンスで、1フレーム以内に各部のテストを完了する。図 1 では4層積層の3次元積層型画像処理マルチコアプロセッサを想定しているが、ここで提案する手法は4層以上の積層数を有する3次元積層型画像処理マルチコアプロセッサにも適用できる。使用されるテスト手法は、M-BIST、L-BIST、対象となる故障モードは、テスト条件不足、ホットスポット、エレクトロマイグレーションなどの劣化故障となる。これらの理由より同一検出率の初期テストに比べ故障検出能力が高いと考えられる。故障が検出されれば、該当する疑わしい処理はSVPにより破棄され新しいフレームデータ入力にて再計算される。

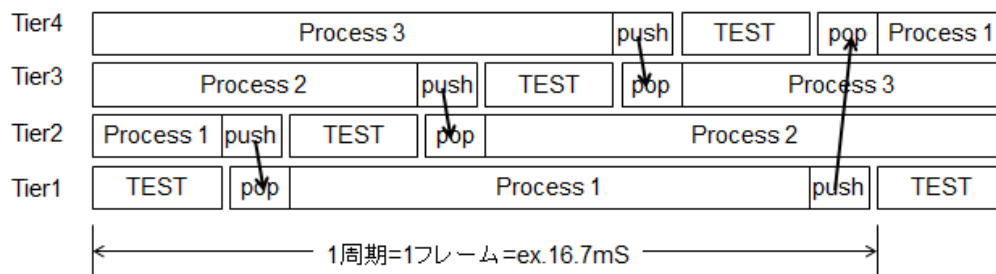


図 1 動作中テストのシーケンス例

未使用時テストでは、初期テストと同じ試験を行う。使用されるテスト手法は、M-BIST、L-BIST、TSV のテストである JTAG、および SVP のテストである。対象となる故障モードは、エレクトロマイグレーションなどの劣化故障のみである。図 2 に未使用時テストのシーケンス例を示す。M-BIST や L-BIST で故障がされた場合は該当部分を使用しない処置を SVP が行う。これらの試験は動作時もされているので特記事項はないが、TSV の試験は未使用時検査のみで実施されており、劣化故障があれば冗長 TSV を使って救済を行うが、テスト間隔例えば 12 時間システムが停止もしくは誤動作するため、致命的なモードとなる。また、SVP のテストで故障が検出された場合は SVP の劣化故障となり、これもシステムが停止するモードとなる。

3重化テストでは、リソースを多く消費するので、重要なプロセスのみを3重化するのが現実的である。図 3 に3重化検査のシーケンス例を示す。この場合 Process4 は「重要なタスク」で、多数決がテストの直後に来るので、より劣化不良の確立が低い状態で処理が出来るため、高信頼である。3重化テストでは実プロセスを走らせるの

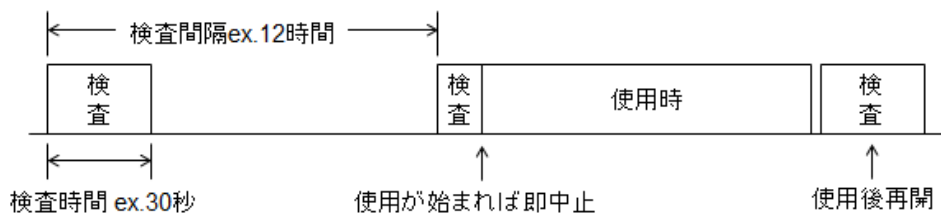


図2 未使用時検査のシーケンス例

で特別な検査は不要である（図の TEST という部分は Tire1 部分の動作中検査である）。また、対象となる故障モードは、テストベクタ不足、テスト条件不足などの静的故障と、ソフトエラー、ホットスポット、エレクトロマイグレーション(劣化)などの動的故障の全てとなる。未検出モードは3重同一故障と多数決処理の一致側故障となる。図4に、より実際のな3重化テストのシーケンスを示す。図で Process4 と Process8 は3重化プロセスで、Process5,6,7は非3重化プロセスである。このシーケンスでは時刻tに例えば電源ノイズなどの全Tier共通の外乱が入り同じエラーをしてしまうのを避けるために、ProcessのスタートがTier毎にずらしてあり、さらにTESTをTire間で循環させていくこと、検査後の故障確率を減らすためTESTのなるべく直後に多数決を行う処理を実行することなどの工夫が盛り込まれた例である。これらのスケジューリングは基本的にSVP上のシステムソフトウェアが実行する。

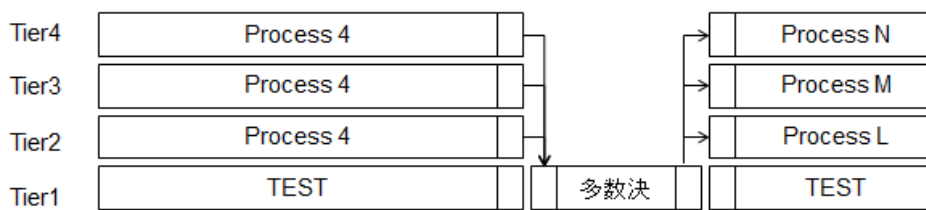


図3 3重化シーケンス例1

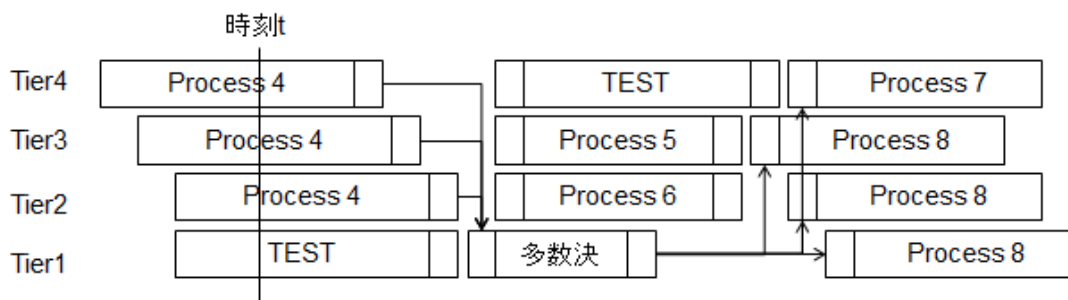


図4 3重化検査のシーケンス例2

以上のようなテストシーケンスを最適化することによって、ASIL=C(故障率 80FIT 以下、SPFM97%以上、LFM80%以上)レベルの信頼性を確保する。以下にその見積もり結果について示す。

まず、エラーが発生するケースとそれによるエラー発生確率を( )内に定義しまとめると

1) 3重化プロセス部分 …3重化プロセスの比率(P3)

- ①3重同一故障(Pa)
- ②多数決処理の一致側故障(Pb)

2)非3重化プロセス部分

- ①ロジック部分の検査ベクタ不足(Pc)
- ②メモリ部分の検査ベクタ不足(Pd)

③ソフトウェアエラー(Pe)

④動作中検査の TEST 時間内[ex.16mS]に検査条件が変化してしまいエラーを見逃す場合(Pf)

⑤動作中検査の TEST 時間内[ex.16mS]に温度が下がりホットスポットエラーを見逃す場合(Pg)

⑥TSV の劣化不良が未使用時検査の前回検査後[ex.12 時間]に発生した場合(Ph)

⑦TSV のエラーが検出出来たが救済するリソースが無い場合(Pi)

⑧SVP のエラー(Pj)

従って、エラー発生確率 P は下式の様に表わされる。

$$P=P3(Pa+Pb) + (1-P3)(Pc+Pd+Pe+Pf+Pg+Ph+Pi+Pj)$$

ここで Pa、Pb は SVP のハードウェア部分の信頼性故障率で決まるので末吉Gの研究、Ph、Pi は小柳 G の研究、Pjに関しては小林 G の研究に依存する。ただし Pjに関しては、SVP のシステム制御ソフトウェア部分は優先的に 3 重化プロセスに割り当てると考えられるため  $Pj=Pa+Pb$  と考える。

これらの値を数式化することは重要であるが、実際の設計では P3 と Pc,Pi で決定されると思われる。Pc は一般的に 0.01~0.1 で、通常は同じ様なレベルにあることが多い Pd は今回の動作中検査で劇的に下がると考えられ、また、Pa、Pb、Pe、Pf、Pg、Ph は一般には PPM オーダの問題であると考えられるからである。したがって

$$Pc \gg Pa, Pb, Pd, Pe, Pg, Ph$$

と考えると

$$P=(1-P3)(Pc+Pi)$$

と簡素化される。Pa、Pb、Ph、Pi は各 G の研究の中で考察・検証されているが、Pi に関しては小柳 G の研究成果に基づいて 0.001 程度に設計されている。仮に、平均的な値として  $Pc=0.05$  を採用するとして、

$$P=0.051(1-P3)$$

となるので、目標である単一故障の発見率 97%から  $P < 1-0.97=0.03$  となるので、これから考えると、

$$P3 > 0.37$$

となり 37%のプロセスの 3 重化が必要となる。つまり信頼性の問題が性能の問題に帰着する。

そこで通常のプロセッサの必要性能で正規化された必要性能を F、SVP のオーバーヘッドを Fs、多数決のオーバーヘッドを Fm とすると、

$$F=3(P3+Fs)+Fm+(1-P3)$$

仮に、Fs=0.05、Fm=0.05 とすると、前述の  $P=0.37$  より  $F=1.94$  となり、約 2 倍の性能を要求する事になる。

以上のことより、小柳 G の研究に示す様な TSV の冗長性回路(後述)の採用により、現実的と考えられる故障率 95%の故障検出ベクトルにおいて、研究の目標の一つである単一故障検出率 97%は、3 次元化により性能が 2 倍以上に引き上げられる事により達成可能である事が考察出来た。

## ②有用性

3 次元 LSI の特徴を生かした自己診断・修復機能を活用することによって、3 次元積層型画像処理プロセッサの性能を著しく低下させることなくディペンダビリティを向上させる手法を提案しているが、この手法は 3 次元積層型画像処理プロセッサに限られるものではなく、3 次元 LSI に広く適用できる。今後、3 次元 LSI の市場が急激に立ち上がってくると予測されていることから、その有用性は極めて高いと言える。

## ③優位比較

3 次元 LSI 技術の立ち上がりとともに、3 次元 LSI のテスト技術の検討が世界的に活発化してきて、IEEE で標



準化も始まっている。しかし、これらのテストは初期テストのみを考慮したものであり、本研究プロジェクトで提案しているような、動作中テスト、未使用時テスト、3重化テストは想定されていない。また、メモリの Push-Pop 機能を3次元マルチコアプロセッサのプロセッサ層間で行わせることによって、タスク実行と動作時テストを積層プロセッサ層間で順次シフトさせていくことによって、全体の性能を著しく低下させることなくディペンダビリティを高めるという概念は本研究プロジェクトで初めて提案されたものである。以上のような自己診断・修復機能を持ったディペンダブル3次元積層型画像処理マルチプロセッサの提案はこれまでに報告されていない。

## 2) 成果 2. 「3次元積層型画像処理マルチコアプロセッサの設計・評価

(小柳グループ、小林グループ、元吉グループ)

### ①内容

3次元積層型画像処理マルチコアプロセッサの中核となるプロセッサコアの設計評価を行った。設計にあたっては、プロセッサコアのディペンダビリティを高めるために、表1に示すような自己診断・修復機能を実装した。プロセッサコアの回路ブロック図を図5に示す。プロセッサコアはSH-X2をベースに設計している。デザインルールは90nm、メタル8層を想定している。プロセッサコアは主要部分の使用を表2に示す。このようなプロセッサコアを4層積層した場合の構成を図6に示す。図では、最下層がプロセッサコアはシステムSVPとして働くようになっている。積層プロセッサコア間の垂直方向の信号伝達は、制御信号バス(TCK/TMS/TRST)、入出力バス(TDI/TDO)、垂直システムバス、垂直共有メモリバス、外部メモリバスなどの垂直方向バスによって行われる。ディペンダビリティを高めるために、制御信号バス(TCK/TMS/TRST)、入出力バス(TDI/TDO)、外部メモリバスにはTSVを4重化したバスを用いている。また、垂直システムバス、垂直共有メモリバスには修復機能をもった冗長TSV(後述)を用いている。垂直システムバスは、リクエスト信号用に64ビット、レスポンス信号用に64ビットの双方向性バスで構成している。垂直共有メモリバスのバス幅は256ビットである。各層には自己診断・修復のためのL-BIST、M-BISTが搭載され、On-Line Self-Controller、IEEE 1149.1 TAP Controllerにより制御される。但し、システムSVP以外の層のOn-Line Self-ControllerはDisableとなっていて、全てのプロセッサコアの自己診断・修復はシステムSVPによって制御、管理されるようになっている。各層の自己診断結果は各層のTAP Controllerに蓄えられており、システムSVPはTAP Controllerからの情報により修復動作を行う。システムSVPに故障が発見された場合は、別の層のプロセッサコアがシステムSVPとして働く。外部メモリとのデータのやり取りは、各層に搭載されたMemory Controllerを介して行うが、この場合も、システムSVP以外の層のMemory ControllerはDisableとなっており、外部メモリとのメモリアクセスもシステムSVPが制御する。

処で、3次元積層型画像処理マルチコアプロセッサを安定に動作させるためには、垂直システムバスを使った高速で安定なデータ転送が重要となる。本研究プロジェクトでは、垂直システムバスを使った高速で安定なデータ転送を実現するために、図7に示すように、垂直システムバスをリクエストバスとレスポンスバスの双方向バスで構成し、データの位相ずれをFIFOによって調整している。3次元積層型画像処理マルチコアプロセッサの高速・安定動作には、層間にまたがるクロックスキューの問題を解決する必要がある。3次元積層型画像処理マルチコアプロセッサでは、プロセッサコア層毎に個別のPLLによって動作するため、互いのクロックの位相が合う保証は無い。そこで、図8に示すように、本研究プロジェクトでは、dual-clock FIFOを用いて、パケット送信・受信バッファのクロック乗せ変えを行うことによってクロックスキューの問題を解決している。

この他、本研究プロジェクトでは、プロセッサコア間のメモリアクセス競合の問題を緩和するために、3次元積層型共有メモリを新たに導入している。この新しい共有メモリでは、高速の垂直共有メモリバスを用いてすべての層にデータをブロードキャストして、同じデータを書き込む。各層のプロセッサは、他の層のプロセッサと競合す

ることなく同じデータを読み出すことができるので、メモリアクセス競合を避けることができる。

以上のような、3次元積層型画像処理マルチコアプロセッサに関して、ソフトウェア検証環境を構築して、自己診断・修復機能も含めて動作確認を行い、良好に動作することを確認している。

表1 プロセッサコアに搭載した自己診断・修復機能

- ▶ **自己診断制御**
  - ▶ (層単位) BIST実行制御
- ▶ **TSV周りの設計手法実証**
  - ▶ DFT for TSV
    - ▶ 信号用TSV1本1本の導通テストを行う技術
  - ▶ TSV修復技術
    - ▶ 信号用TSVのグループごとにグループ専用の修復用TSVを配置
    - ▶ 導通テストをfailした信号用TSVを、導通テストをpassした修復用TSVと切り替える
- ▶ **TSVを用いたモジュールの実装**
  - ▶ 垂直バス・垂直バスブリッジ
  - ▶ 積層共有メモリの実装
    - ▶ Consistency(一貫性)の確保
      - メモリ更新用垂直バスにより随時更新して一貫性を保つ
      - Line単位で更新中メモリ領域をロック(アクセス禁止)して制御
      - Pageごとにメモリ更新専用の垂直バスを配置
    - ▶ キャッシュのようなReplace機構は考えていない

表2 プロセッサコアの仕様

- ▶ **自己診断制御回路**
  - ▶ 検証用エラー挿入機構を含む
- ▶ **TSV導通テストおよび修復機構**
- ▶ **シングル汎用コア(ルネサスSH-X2コア)**
  - ▶ 目標: プロセッサ 266MHz/SuperHyway 133MHz/周辺回路 66MHz
- ▶ **垂直共通バス**
  - ▶ 目標: 133MHz(64bit)あるいは66MHz(128bit)
  - ▶ SuperHywayのクラスタ間を接続する積層バスブリッジに内包される形で実装
  - ▶ アクセス調停用アービタ
- ▶ **積層型共有メモリ(中容量)**
  - ▶ プロセッサ間の通信に利用(Mailboxの実装に使用)
  - ▶ Line単位で随時更新を行って層間のConsistency(一貫性)を保つ
- ▶ **ローカルメモリ(中容量)**
  - ▶ 積層型共有メモリとの比較用

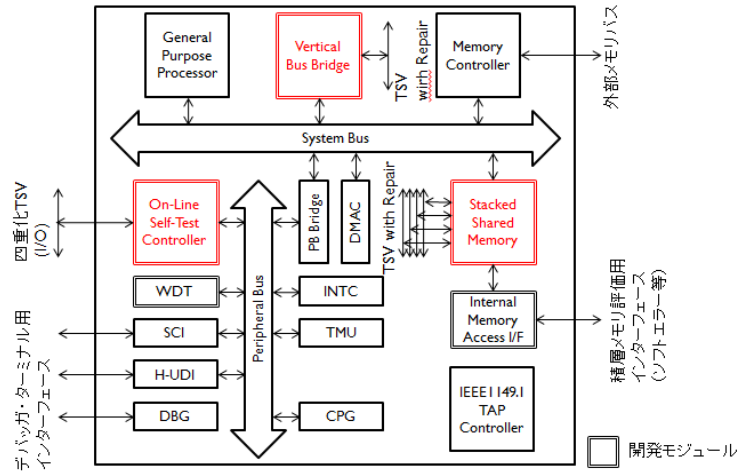


図5 プロセッサコアの回路ブロック図

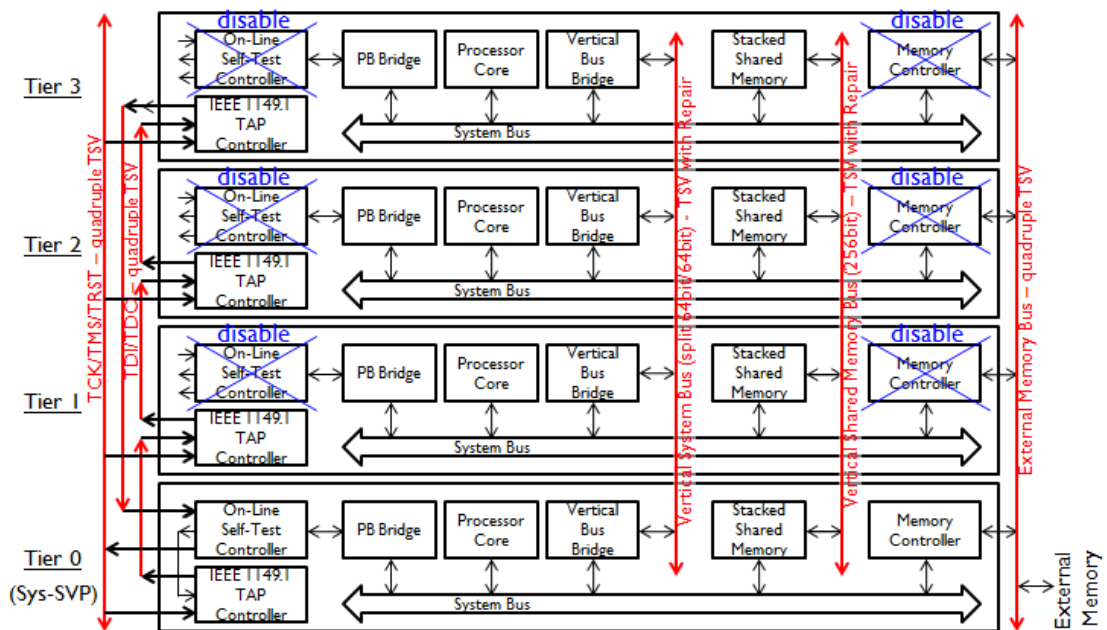


図6 4層積層画像処理マルチコアプロセッサの構成

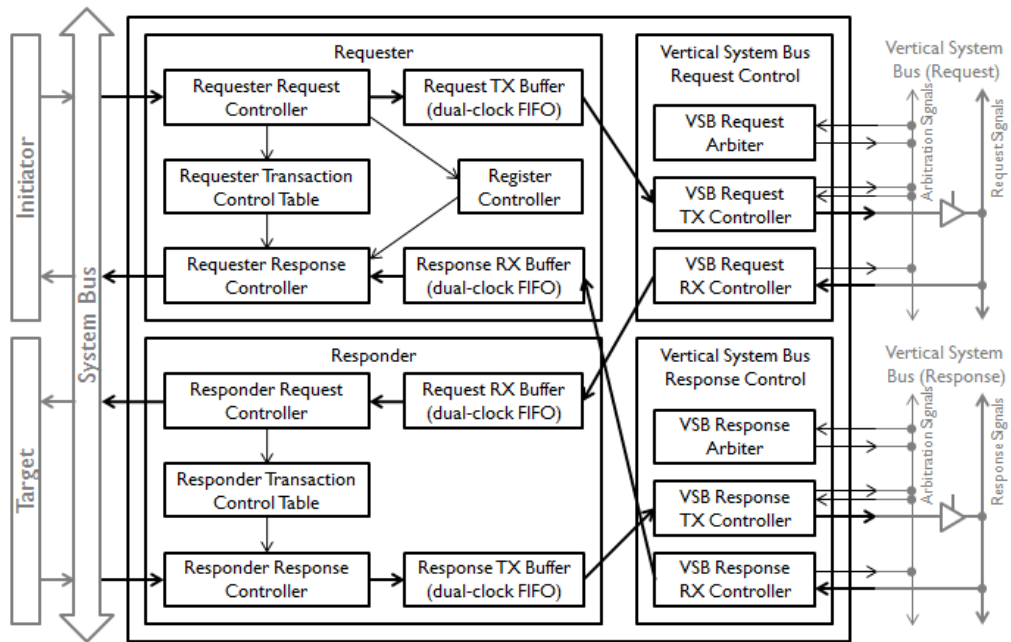


図 7 垂直システムバスを用いたデータ転送制御回路の構成

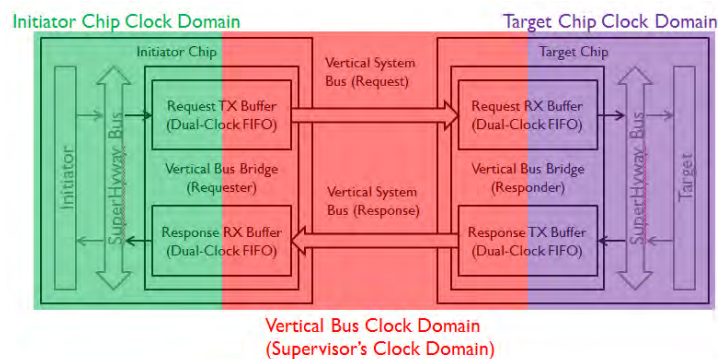


図 8 dual-clock FIFO を用いたクロック乗せ変えによるプロセッサコア層間クロックスキューの低減

### ②有用性

3次元積層型画像処理プロセッサのディペンダビリティを高めるための自己診断・修復機能の搭載や、垂直システムにおける信号伝達方法、層間クロックスキューの低減方法は、3次元積層型画像処理プロセッサだけでなく、3次元LSIに広く適用でき、極めて有用性が高いと思われる。

### ③優位比較

3次元積層型プロセッサに関しては、ISSCC2012で、ジョージア工科大学、ミシガン大学から発表されているが、メモリとプロセッサの積層に重点を置いており、ディペンダビリティについては一切言及していない。自己診断・修復機能を搭載して多層に積層したプロセッサのディペンダビリティを高めるという取組は本研究プロジェクトが初めてと言える。また、本研究プロジェクトでは、3次元積層型共有メモリという新しい概念を導入しているが、このような新しい共有メモリはまだ実現されていない。これらの新しい試みを搭載した4層積層の3次元積層型プロセッサを、直径5μmという微細TSVを用いた3次元技術を用いて試作することを目指しているが、試作に成功すれば世界初の試みとなる。

なお、最近、3次元LSIで、DfT (Design for Test) の重要性が認識されるようになってきて、自己診断回路や修復回路を搭載する検討が始まっているが、これら初期テストや歩留まり向上を目指したものであり、本研究プ

プロジェクトで提案しているような、動作中テスト、未使用時テスト、3重化テストには対応できない。

### 3) 成果 3. 「3次元 LSI におけるシリコン貫通配線 (TSV) の信頼性設計とテストチップ試作」

(小柳グループ、元吉グループ)

#### ①内容

積層チップ間を多数の TSV で接続する 3次元 LSI では、TSV の製造歩留まり、信頼性が、3次元 LSI の歩留まり、ディペンダビリティに大きな影響を与える。そこで、本研究では、TSV の導通状態をリアルタイムでチェックし、不良があれば正常な TSV と入れ替えることによって TSV の信頼性を向上させる手法を提案している。図 9 に示すように、冗長 TSV を含む複数の TSV を一つの TSV ブロックとし、スキャンパスを使って TSV の導通状態をリアルタイムでチェックするとともに、不良 TSV を正常 TSV と入れ替える。TSV の信頼性を高めるためには、冗長 TSV の本数を増やせば良いが、TSV の本数が増えるとチップ面積へのペナルティが増えるため、ブロックを形成する TSV の本数、冗長 TSV の本数には最適値が存在する。本研究では、表 3 に示すように、TSV 本数とその内訳を最適化することにより、少ない面積ペナルティで、99.9% 以上の高い信頼性が得られる TSV 設計指針を得ることができた。

- ▶ TSV をグループ分け (例: 3個×3個、4個×4個、5個×5個)
- ▶ グループごとに修復用の予備 TSV を数個配置
- ▶ 導通テストの結果から使用する TSV を切替

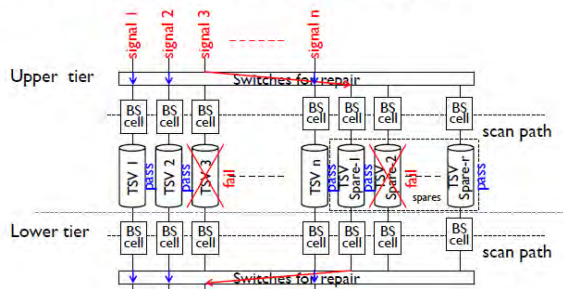


図 9 TSV の冗長性と自己診断・修復回路

表 3 TSV の冗長構成

	単純多重化		修復 (専用 TSV なし)		修復 (専用 TSV あり)	
	多重度 m	多重度 m	信号 n: 修復 r	信号 n: 修復 r	信号 n: 修復 r	信号 n: 修復 r
	2	4	4:2	16:4	4:2	16:4
TSV 面積/信号	+100%	+300%	+50%	+25%	+50%	+25%
TSV 容量/信号	+100%	+300%	+0%	+0%	+0%	+0%
スイッチ/信号	0	0	3	5	3	5
信号/TSV	1	1	3	5	4	16
TSV Group Yield	$(1 - (1 - R_{TSV})^m)^n$		$\sum_{i=0}^{n+r} \binom{n+r}{i} R_{TSV}^i (1 - R_{TSV})^{n+r-i}$		$(1 - R_{TSV})^{n+r-1}$	
Assembly Yield #	2,000	81.87%	99.99%	99.03%	99.98%	99.98%
	5,000	60.65%	99.99%	97.59%	99.96%	99.96%
	10,000	36.79%	99.99%	95.23%	99.91%	99.91%
	20,000	13.53%	99.98%	90.69%	99.83%	99.83%

\*垂直インターコネクションの成功率  $R_{TSV}$  を 99% とし、全ての接続が成功する確率として計算

#### ②有用性

少ない面積ペナルティで、高い TSV 信頼性が得られるので、3次元 LSI の信頼性、歩留まりを高めるには必須の技術である。また、TSV、マイクロバンプ用に設定したデザインルールは 3次元 LSI の設計の際に有用である。

#### ③優位比較

ISSCC 2009 で、Samsung が 3次元積層型 DRAM (2Gb×4層) で、4:2 という冗長構成を有する TSV を採用しているが、信頼性と面積ペナルティの間のペナルティを考えた場合、最適の構成とは言えない。また、TSV の導通状態をリアルタイムでチェックできる構成となっていないので、ディペンダビリティの向上という点では本研究で採用している 冗長 TSV の方が優位である。

また、本研究プロジェクトでは、通常の 2次元チップにリソグラフィやドライエッチ、CVD、Cu メッキなどのプロセス工程を行って、直径  $5 \mu m$  という微細な TSV を有する 3層積層 3次元 LSI テストチップを試作しているが、このような 3次元 LSI プロセス技術を確立しているのは本研究プロジェクトのみである。

#### 4) 成果 4. 「不均質計算システムのためのチェックポイント・リスタート機構」(小林グループ)

##### ①内容

3次元積層型画像処理マルチコアプロセッサのディペンダビリティを向上するためのチェックポイント・リスタート機構について研究した。アクセラレータを搭載する不均質計算システムのための標準プログラミング環境である OpenCL で開発されたアプリケーションプログラムを対象とし、その透過的チェックポイントイングとプロセスマイグレーションを実現した。具体的には、図 13 に示す API プロキシと呼ばれる別プロセスで OpenCL の API 呼び出しを暗黙裏に全て監視し、OpenCL 経由で利用されるプロセッサの状態の保存と復元に必要なデータをアプリケーションからは透過的に管理する機構を提案した。図 14 に示すような OpenCL で用いられるリソースデータ(OpenCL オブジェクト)の間の依存関係を考慮、必要に応じて OpenCL オブジェクトを暗黙裏に変換することにより、アプリケーションプログラムやベンダ提供の OpenCL 実行環境に変更を加えることなくチェックポイント・リスタートの機能を実現できることを示した。OpenCL の API 呼び出しを境界としてアプリケーションとシステムソフトウェアを分離することが可能であり、そのことを利用してアプリケーションから透過的にチェックポイント・リスタートを実現できることを実証した。CPU と GPU を搭載する不均質計算システムにおいてベンチマークプログラムを実行する場合、その機構の実行時オーバーヘッドが 10%～19%であることを定量的に評価した(図 15)。これはベンチマークに用いられる、実行時間の比較的短いプログラムにおけるオーバーヘッドであり、実行時間の十分長い実用的なアプリケーションにおいては、性能低下が 2%程度まで抑制できることもわかっている。このオーバーヘッドは、多くの用途において許容できるものと考えられる。また、複数種類の GPU や CPU で同一のアプリケーションプログラムが動作することを確認しており、本手法は適用可能範囲が広く、汎用性が高いことも明らかになった。

##### ②有用性

CUDA や OpenCL といったアクセラレータを制御するためのライブラリ実装は各プロセッサのベンダによって提供されており、その実装の詳細は公開されていない。このため、チェックポイント・リスタートのように実装の詳細を知る必要のある機能の実現は困難であった。しかし、本研究では、OpenCL の実装の詳細がわからない場合でも、OpenCL の API 呼び出しの全てを監視し、アプリケーションとシステムソフトウェアの間で送受信されるデータを必要に応じて適切に変換することでチェックポイント・リスタートを実現できることを明らかにした。その有用性は、並列分散処理の一流会議である IPDPS2011 に関連論文が採択されるなど、高く評価されている。

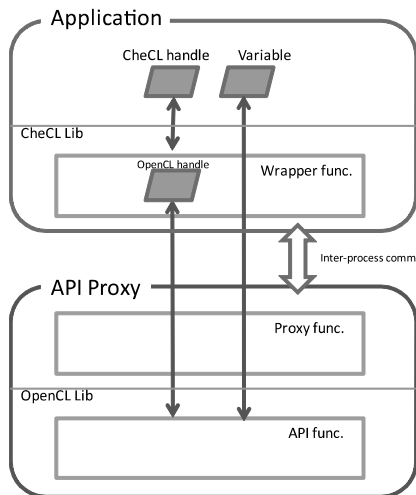


図 13 API プロキシによる OpenCL API 呼び出しの監視

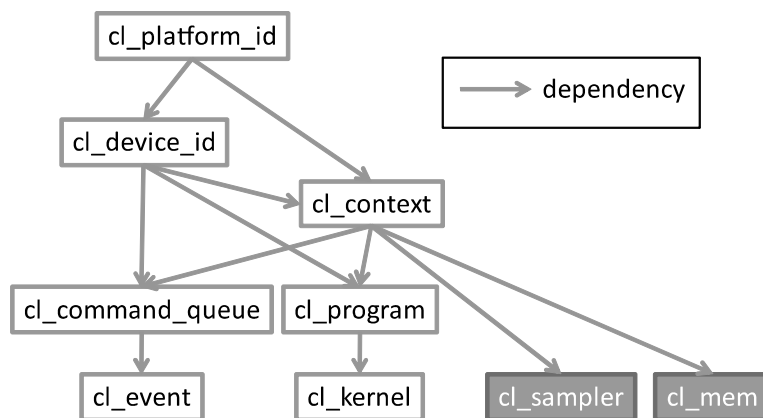


図 14 OpenCL オブジェクト間の依存関係

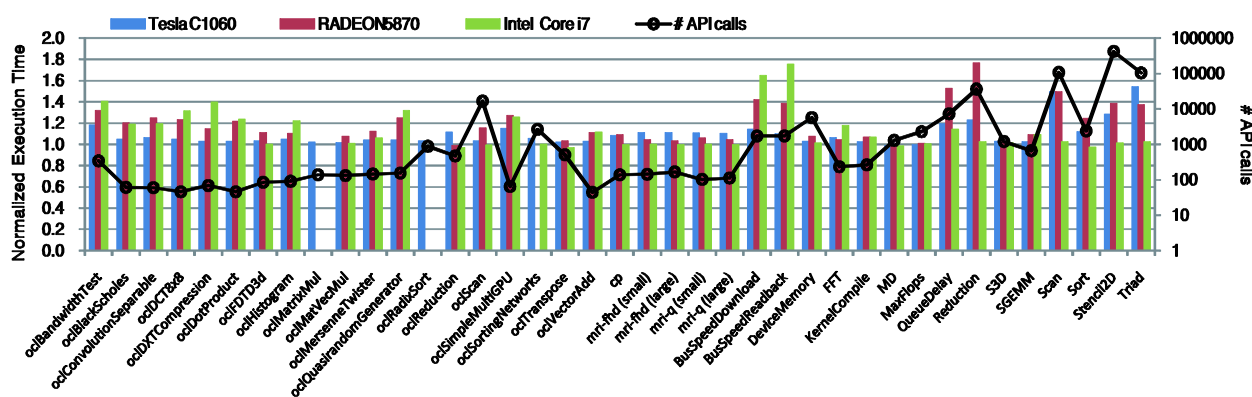


図 15 チェックポイント・リスタート機構による実行時オーバーヘッドの評価結果

### ③優位比較

いくつかの関連研究で仮想化技術を使ったジョブマイグレーションなどが実現されつつある。しかし、本研究はプロセス単位でのマイグレーションを検討しており、仮想マシン単位での状態保持よりは低コストで実現可能である。また、仮想化技術の場合には OS 等の介入・協力が必要であり、その適用可能性はシステム的环境へ強く依存している。一方、本研究のアプローチでは OpenCL をインタフェースとしてアプリケーションとシステムを完全に分離して管理しており、システム依存性がないことから、OpenCL を利用可能であればどのような環境でも適用可能な、汎用性の高いアプローチとなっている。

## 5) 成果 5. 「3次元マルチコアプロセッサアーキテクチャ設計とその評価」(小林グループ)

### ①内容

ベクトルプロセッサを一つのコアとする 3次元積層型チップマルチベクトルプロセッサの基本設計とその性能評価を行った。既存のベクトルプロセッサは他のプロセッサと比較して高いメモリバンド幅を実現するため、入出力のための Ser/Des 回路に多大なシリコン、電力を投じている。このため、将来のテクノロジーのスケールアップだけでは、複数のコアや大規模なオンチップメモリ、高いメモリバンド幅を実現するための I/O 回路を搭載することが困難であった。これらの状況を打破するべく、図 16 に示すように、I/O・コア・オンチップメモリ(ベク

トルキャッシュ)を異なるシリコンダイに実装し、TSVを用いてこれらのレイヤを接続する3次元積層型チップマルチベクトルプロセッサを提案し、その性能評価を行った。

3次元積層型チップマルチベクトルプロセッサ(3DCMVP)は、アプリケーションがプロセッサに求める性能に応じて、各レイヤ数、構成を柔軟に変更可能である。これにより、多様なアプリケーションを高速且つ、低消費電力で処理することを可能にしている。このようにアプリケーションに応じて柔軟にテーラーメイド設計を可能にすることで、3次元積層技術を用いたアーキテクチャ設計空間の明確化に寄与している。さらに、性能評価では、大規模科学技術計算に用いられている実アプリケーションを高エネルギー効率で実行可能な事を明らかにしている。

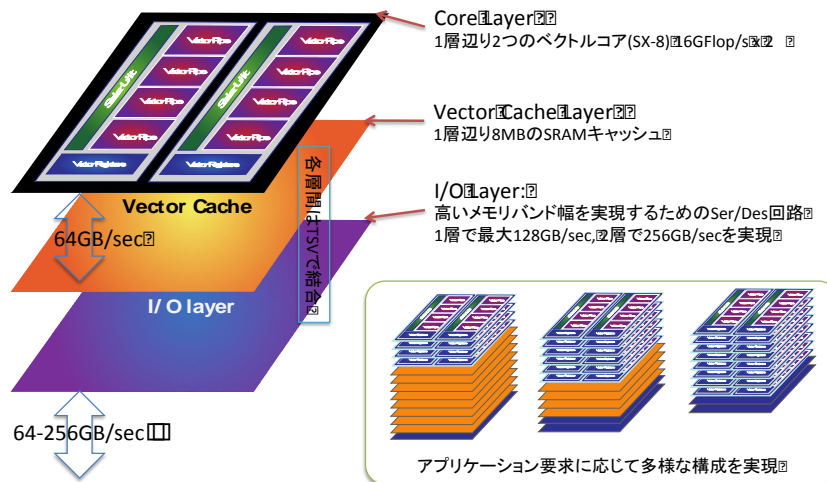


図 16 3次元積層型チップマルチベクトルプロセッサ

## ②有用性

3DCMVP では、コア数、メモリバンド幅、オンチップメモリ容量を各機能レイヤの数を変更することで、自由度の高い設計を可能にしている。例えば、メモリバンド幅を確保するために、I/O レイヤの増強によるオフチップメモリバンド幅の強化と、ベクトルキャッシュレイヤの増強による実効メモリバンド幅の強化の、複数の設計を選択することが可能となる。これによって、積層数・消費電力・性能等の設計制約を満たしつつ、アプリケーションが必要とする性能を実現可能である(図 17)。その有用性は3次元積層技術に関する国際会議である3DIC2010、3DIC2011に2年続けて採択されるなど、高く評価されている。

## ③優位比較

3次元積層技術を用いたプロセッサ設計に関する研究はいくつかあるが、その多くは汎用のプロセッサに大規模なメモリを搭載にするに留まっている。3DCMVPでは、I/Oレイヤの導入、ベクトルプロセッサのためのオンチップメモリ機構であるベクトルキャッシュの開発、オフチップメモリ重視設計とオンチップメモリ重視設計の実アプリケーションを用いた定量的な比較評価等、先行・類似研究と比較して高い優位性があると考えられる。

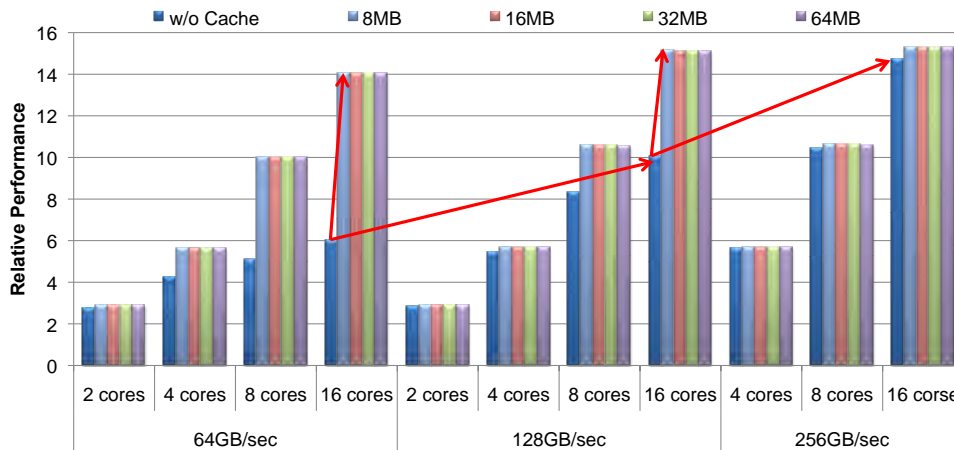


図 17 オンチップメモリとオフチップメモリバンド幅の関係

6) 成果 6. 「3次元ベクトルキャッシュアーキテクチャ設計とその評価」(小林グループ)

①内容

3次元積層技術を用いたベクトルキャッシュアーキテクチャの設計と評価を行った。ベクトルキャッシュ内の長配線を TSV に置き換えることで、長配線数を削減し、低レイテンシ、高エネルギー効率なキャッシュアーキテクチャを提案している。本研究では、はじめに、図 18 に示す結果のとおり、従来の 2次元配線と 3次元配線である TSV の定量的な評価を行い、TSV を適材適所で設計に反映させることを検討した。これにより、TSV が 2次元長配線と比較して極めて小さな RC 遅延を有する事を明らかにした。次に、従来の 2次元の技術を用いたベクトルキャッシュの物理設計を行い、キャッシュ中央に位置するコントローラとデータ・タグアレイからなるバンク間の配線が極めて長く、性能に大きな影響を与える事を明らかにした。本研究では、この長配線を TSV に置き換えるべく、バンク単位の分割積層を行い図 19 に示すベクトルキャッシュの設計と評価を行った。設計の結果、図 20 に示すとおり、3次元積層技術を用いる事で、2次元実装と比較して、最大約 1.8 倍のメモリバンド幅の向上が実現可能であることを明らかにしている。

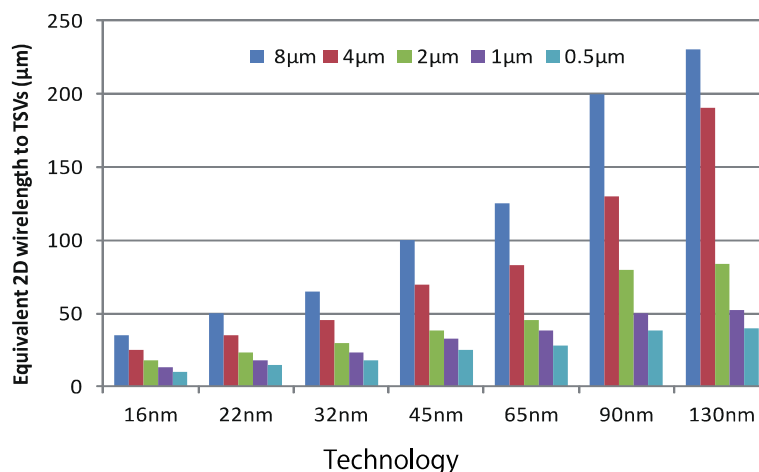


図 18 TSV と等価な 2次元配線長



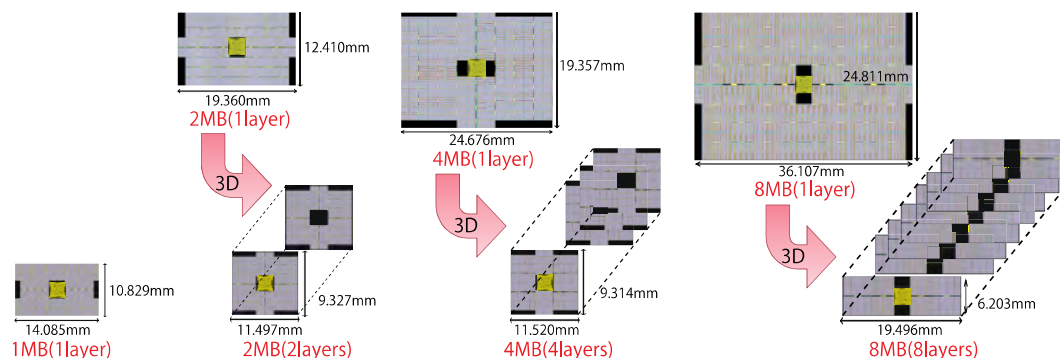


図 19 3次元積層型ベクトルキャッシュメモリ

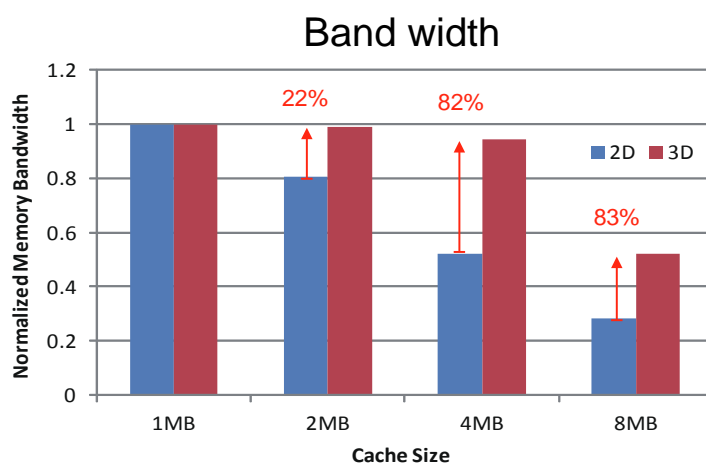


図 20 3次元積層によるメモリバンド幅向上

## ② 有用性

3次元積層技術の有用性は近年注目されているものの、これらの設計を実現するツールが十分に普及していないのが現状である。本研究では、従来の2次元設計のためのEDAツールを用いて3次元設計を行うためのフローを提案しており、この点は極めて有用性が高い。また、本研究では、これまでの2次元設計における長配線とTSVを、遅延と電力の観点から定量的に比較し、その結果に基づき、適材適所でTSVを利用する設計を行っている。この比較解析の過程で得られたTSVと2次元配線の関係はキャッシュ設計のみならず、様々なLSIの3次元設計に用いる事が可能であり、極めて有用性が高いと考えられる。

## ③ 優位比較

3次元積層技術を用いたキャッシュメモリ設計は類似、先行研究があるもののアーキテクチャレベルでのシミュレーションに閉じていることが多く、3次元積層技術の特徴を考慮して物理設計段階での最適化を行っている例は少ない。さらに、既存のEDAツールを用いて物理設計に取り組んでいる例も少なく、既存のEDAを用いた3次元設計フローを明確にしている点で、本研究は極めて高い優位性を有すると考えられる。これらの成果はLSI設計に関する国際会議DATE12共催の3次元積層技術に関するワークショップや、高性能計算に関するSC12に採択され、その優位性は高く評価されている。

## 7) 成果 7. 「SVP (Supervisor processor) による不良救済技術」

(末吉グループ、小林グループ、小柳グループ)

①内容

自己修復機能を有する 3 次元積層型画像処理マルチコアプロセッサの実現を目指して、対象システムの監視、故障修復補助を担う SVP プロセッサ、および SVP を実装するハードウェアプラットフォームに関する研究を行った。SVP に求められる要件として、(1)システム全体の動作保障を担うため SVP 自身に高い信頼性が必要である点、(2)画像処理プロセッサと異なりできる限り小規模であるべきという 2 点があげられる。これより、プロセッサコアの一部を使用することでシステム全体の管理・復旧補助を行うシステムレベル SVP(以下、Sys-SVP)として実現し、高信頼化の優先度が高い機能および Sys-SVP の管理・復旧補助、テストの管理などをハードウェアレベル SVP(以下、HW-SVP)として実現する。表 4 にシステム管理に必要な役割分担を示す。画像処理プロセッサおよびメモリアクセスの監視、メモリの管理は Sys-SVP で行い、システム全体のエラー解析、ハードエラーからの復旧補助は Sys-SVP と HW-SVP 双方で行う。システムのテストは HW-SVP が担当し、故障箇所の切り離しは OS によるリソース管理にて実行する。図 21 に、全体システムにおける Sys-SVP、HW-SVP の接続構成を示す。複数存在する画像処理プロセッサの内 1 コアを Sys-SVP に割当て、HW-SVP はリコンフィギュラブルデバイス上にて実現する。

表 4 管理項目の役割分担

	機能要求	担当
(1)	画像処理システムのウォッチドッグ	Sys-SVP
(2)	メモリの管理(メモリ内のデータ修正)	
(3)	メモリアクセスの監視(バス・スヌープ)	
(4)	画像処理システムのエラーログ解析	Sys-SVP or HW-SVP
(5)	ハードエラーからの復旧補助	
(6)	画像処理プロセッサのテスト	HW-SVP
(7)	画像処理システム全体のテスト	別途, テスト機構が必要
(8)	故障箇所の切り離し	OSによるリソース管理

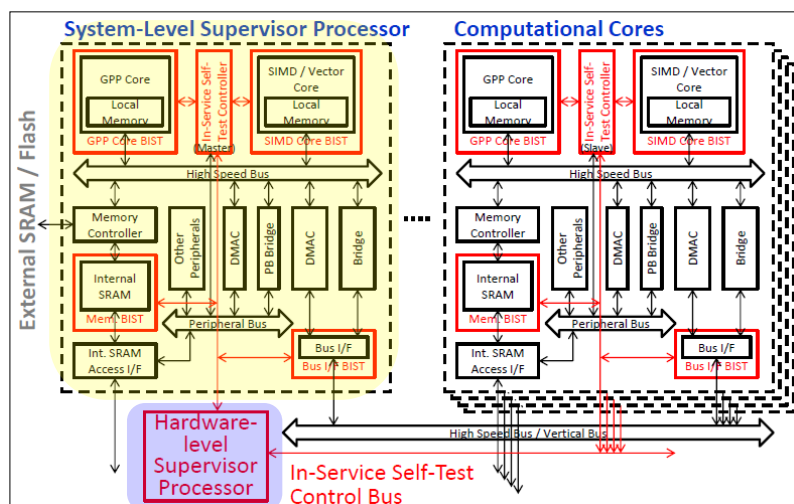


図 21 Sys-SVP および HW-SVP の接続構成

また、HW-SVP は特に高い信頼性が求められるため、ソフトウェアおよびハードエラー両面より対策が必要である。ソフトウェアに関してはこれまでに研究を行ってきたモジュール多重化(三重冗長化, 二重冗長化)と

内部コンテキスト同期を組合せることでエラーの隠蔽および復旧を行う。ハードエラーに関しては、リコンフィギュラブルデバイスのもつ動的再構成機能を利用したモジュール再配置手法を提案し、ハードエラー箇所を回避する形で回路配置を可能とした。

## ②有用性

Sys-SVP に関しては、3次元化により多数の画像処理プロセッサコアの搭載が期待できるため、冗長化も含めた対応が可能である。HW-SVP については故障箇所を回避する形で当該回路モジュールの再配置を行うことで高信頼化が可能となる。また、本再配置手法はハードエラー対策だけではなく、動的に回路機能を変更する場合にも使用できる。これらを図 22 を用いて説明する。本提案手法では固定領域と再構成領域との間にプロキシ回路を要することで、(a)のようにハードエラー故障時に任意の再構成領域に対し再配置可能な点に加え、(b)のように複数の再構成領域を使用することで様々な回路規模に対応した回路機能変更が可能となる。

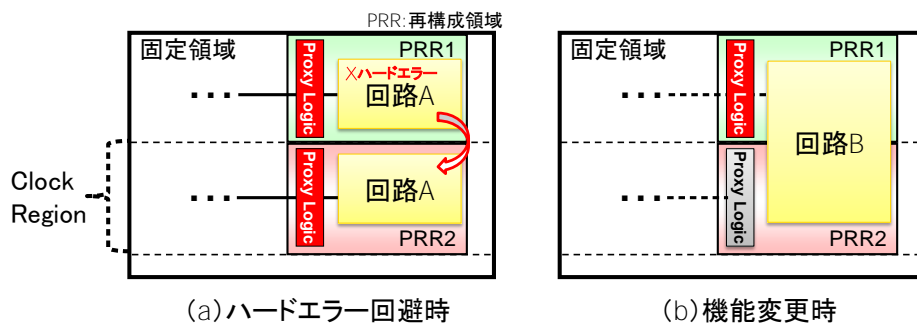


図 22 提案再配置手法における回路モジュールの配置例

## ③優位比較

本研究プロジェクトで実現する HW-SVP では、故障箇所を回避する形で当該回路モジュールの再配置を行うことによって高信頼化を可能としている点に優位性がある。従来の再配置手法では、領域毎に回路設計情報(構成データ)が必要であったが、本提案手法では任意の再構成領域に対し単一の構成データを用いた再配置が可能となる。

## 8) 成果 8. 「リコンフィギュラブル論理セル COGRE」(末吉グループ)

### ①内容

本成果はシステム全体の監視、故障回復補助を担う SVP(Supervisor Processor)を実装するハードウェアプラットフォームとしてのリコンフィギュラブルハードウェアに関する要素技術として位置づけられる。多くの FPGA で用いられる LUT 方式は入力数に応じて任意の論理を実装可能であるが、真理値表をそのまま実現しており多くの構成メモリを要する。このため、LUT 方式ではソフトウェアに対する脆弱性が高い点が問題となる。そこで LUT と同等の柔軟性を保持しつつ構成メモリ数を削減した図 23 に示すような論理セル COGRE を提案した。本成果は特許出願を行った(特願 2010-186525)。

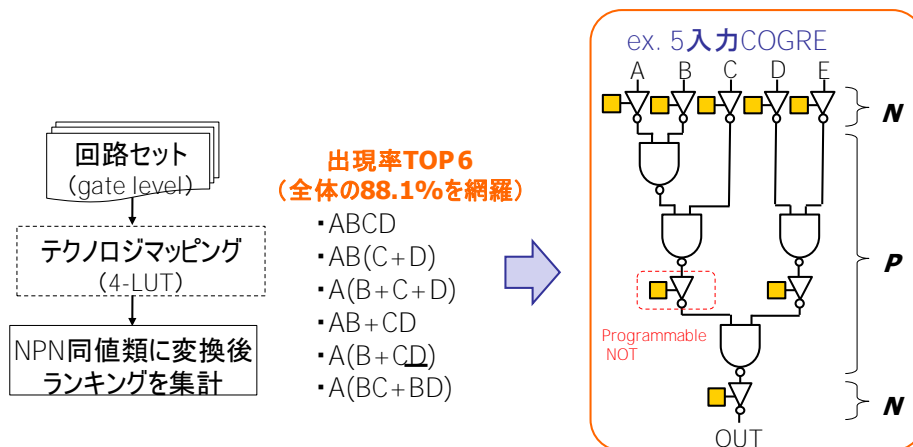


図23 5入力COGRE

②有用性

COGRE はプログラマブルインバータと NAND セルより構成されており、8 ビットの構成メモリをもつ。4-LUT は構成メモリ数が 16 ビット、5-LUT では 32 ビット、6-LUT では 64 ビットを要するため、これらと比較して構成メモリ数が削減可能である。

③優位比較

MCNC 回路 20 種類に対し 6 入力 COGRE を用いて配置配線を行い、6-LUT と面積、構成メモリ数の比較を行った。この結果、6-LUT と比較して論理面積が 46.3%削減可能であり、総構成メモリ数も 32.1%削減可能であった。これより、COGRE は FPGA の小型化、省構成メモリの観点より有効であることがわかった。

9) 成果 9. 「エラー訂正回路」 (末吉グループ)

①内容

成果6と同様に、SVP 自身のディペンダビリティ向上のため要素技術として位置づけられる。符号化訂正回路とスクラビングを組み合わせることで、図 24 に示すようなリコンフィギュラブルロジックのソフトエラー耐性向上のためのエラー訂正回路を提案した。本成果は特許出願を行った (特願 2010-197048)。

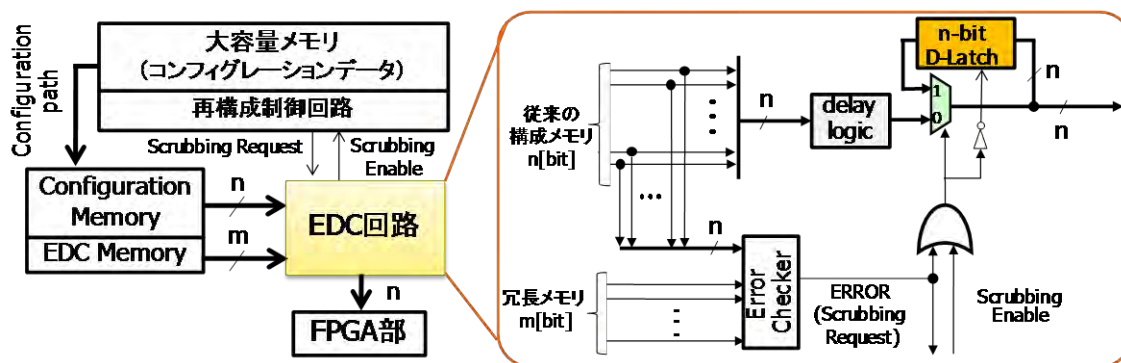


図 24 エラー訂正回路のブロック図

## ②有用性

回路では本来の構成メモリ  $n$  ビットに対しハミング符号化に必要な  $m$  ビットを付与することで、1 ビットまでのエラー訂正、および 2 ビットまでのエラー検知が可能である。一度ソフトウェアを検知すると、大容量メモリからコンフィグレーションパスを通じて正しい構成データに書換えることでソフトウェアを自動修復する。この際、FPGA の機能実現に必要な構成データはラッチを通して供給されるため、ソフトウェアの影響は隠蔽される。ECC 回路は通常ハザードの問題をもつが、本方式では遅延回路を用いることでハザードレスな回路を実現している。

## ③優位比較

事前評価より得られた  $m=21$ ,  $n=6$  にて 6-LUT を対象として FIT 値を算出した結果、タイル単位で TMR 化した場合と比較して構成メモリ数を約 25%削減し、約 22 倍の FIT 値が得られた。これより、提案エラー訂正回路による高信頼化が確認できた。

## 10) 成果 10. 「位相限定相関法に基づく画像処理のアルゴリズム開発」(青木グループ)

### ①内容

位相限定相関法に基づく超高精度ステレオビジョンのためのアルゴリズム開発を行うとともに、開発したアルゴリズムのソフトウェア実装および性能評価を行った。画像間の平行移動量をサブピクセル精度で高精度に推定可能な画像マッチング手法である位相限定相関法を用いるとともに、車載ステレオビジョンシステムのための高精度化手法を開発することによって、車両前方等の障害物検出および距離計測を高精度に行うことが可能となった。また、開発したアルゴリズムを異なるアーキテクチャおよび異なる構成の GPU で評価を行い、それらの評価結果に基づいて、本研究プロジェクトで開発するディペンダブル 3 次元積層型画像処理マルチコアプロセッサ上に実装することも検討した。

### ②有用性

本研究グループが開発した超高精度画像マッチング技術「位相限定相関法(Phase-Only Correlation: POC)」は、車両用の障害物検出や距離計測だけでなく、高精度指紋照合システム、産業用超高速画像認識システム、画像による製本検査装置、透過型電子顕微鏡(TEM)のためのオートフォーカスシステム、レーザースペックル計測による材料強度試験装置などに搭載して広く実用化しており、その有用性は非常に高い。

### ③優位比較

本研究グループが開発した位相限定相関法(POC)を用いると、位相情報の活用によって実現されるサブピクセル(0.1~0.01 ピクセル)分解能のロバスト画像マッチングが可能であり、他の画像処理手法に比べて優位性が高い。また、本研究グループは、位相情報を利用する画像解析・画像処理技術に関する研究チームとして、世界をリードする立場にあり、これまでの知見に基づいて、本研究プロジェクトで開発するディペンダブル 3 次元積層型画像処理マルチコアプロセッサを用いた車載画像処理、特に障害物の検出に位相限定相関法を応用しようとしており、極めて斬新な試みである。

### 3.2 上記3.1の成果うち、特筆すべきもの

#### (1)特に顕著な成果(科学や技術の新しい分野の展望など)

自己診断・修復機能を有するディペンダブル 3次元画像処理マルチコアプロセッサを設計し、ソフトウェア環境ではあるが良好に動作することを確認できたことは、顕著な成果と考えている。現在、このディペンダブル 3次元画像処理マルチコアプロセッサの試作へ向けて、全力で取り組んでいるが、試作・動作確認に成功すれば、世界初のことであり、車載用 LSI だけでなく、今後の LSI 開発に大きなインパクトを与えると思われる。このようなディペンダブル 3次元 LSI は、自動車応用だけでなく、サーバーや HPC (High Performance Computer) などのハイエンドシステム用の LSI として広く使用されるようになると思われる。

#### (2)当初計画で想定外であった重要・新規な展開

研究を開始した当初は、システム性能を上げることと、ディペンダビリティを向上させることをどのように調和させて車載用画像処理プロセッサを実現させるかで、紆余曲折しましたが、プロセッサコアやメモリに BIST 回路を埋め込むとともに、冗長性を考慮した TSV 回路を採用し、スーパーバイザープロセッサ(SVP)によってシステム全体の性能とディペンダビリティを制御、管理するという考え方を採用したことで、ディペンダブル 3次元積層型マルチコアプロセッサの全体像が明確になってきたように思います。その中で、各層のメモリ間の Pushh-Pop 機能を使って、タスク実行とオンラインテストを層間にわたって順次シフトさせ、プロセッサ全体の性能を著しく劣化させることなくディペンダビリティを向上させる手法を見出したことは、研究を進めていく中から生まれた新しい展開であります。また、高性能で高いディペンダビリティを有する LSI を追及する中で、システム全体を考えながらディペンダビリティに関する最適設計をする Design for dependability (DfD) の重要性を認識できたことは、今後の研究の更なる発展に結びつくものと考えています。研究をこのような方向に発展できたのも、中間評価会で頂いた指摘や助言が大きかったと思っています。今後は、性能とディペンダビリティのトレードオフを考慮しながら、アプリケーションによって柔軟に、ディペンダビリティを設定できるような Design for dependability (DfD) 技術の確立を目指しながら、ディペンダブル 3次元 VLSI の研究に取り組んで行きたいと思っています。

## § 4. 成果発表等

### (4-1)原著論文発表

#### ●論文詳細情報

1. 酒井修二, 伊藤康一, 青木孝文, 運天弘樹, “基線長変化にロバストなステレオ画像間の高精度対応付け手法,” 電子情報通信学会論文誌 D, Vol. J95-D, No. 8, pp. 1609--1622, August 2012 [DOI:なし]
2. Mamoru Miura, Shuji Sakai, Shoichiro Aoyama, Jumpei Ishii, Koichi Ito and Takafumi Aoki, “High-Accuracy Image Matching Using Phase-Only Correlation and Its Application,” Proceedings of SICE Annual Conference 2012, No. TuA11-04, pp. 307--312, August 2012 [DOI:無し].
3. T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, “New Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and Electrostatic Temporary Bonding,” IEEE Tech. Digest of International Electron Devices Meeting (IEDM), December 2012.

4. Jumpei Ishii, Shuji Sakai, Koichi Ito, Takafumi Aoki, "Wide-Baseline Stereo Matching Using ASIFT and POC," Proceedings of International Conference on Image Processing, September/October 2012
5. Mamoru Miura, Kinya Fudano, Koichi Ito, Takafumi Aoki, Hiroyuki Takizawa, Hiroaki Kobayashi, "GPU Implementation of Phase-Based Stereo Correspondence and Its Application," Proceedings of International Conference on Image Processing, September/October 2012
6. Yuichiro Tajima, Koichi Ito and Takafumi Aoki, "A Non-Rigid Registration Method for Medical Volume Data Using 3D Phase-Only Correlation," Proceedings of International Conference on Pattern Recognition, November 2012.
7. Y.Ichinomiya, T.Kimura, M.Amagasaki, M.Iida, M.Kuga and T.Sueyoshi, "Fault-injection analysis to estimate SEU failure in time by using frame-based partial reconfiguration," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences

(4-2)知財出願

- ① 平成24年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 2 件)