

米田 友洋

国立情報学研究所・教授

## ディペンダブルネットワークオンチッププラットフォームの構築

### § 1. 研究の概要

#### 1. 1 チーム全体の研究の概要

##### (1) 本研究の背景と課題定義

集積システムの微細化・大規模化が進むにつれ、さまざまなアプリケーション製品の高機能化が図られ、VLSI 内収容コア数は急速に増加することになり、その実現はますます難しくなる。まず、チップ内長距離配線の伝送速度低下や伝送障害、配線困難性、配線間干渉等の問題が生じる。また、高速クロックのネットワーク全域への分配困難性や、アイドルネットワーク部の電力消費も大きな問題である。さらに、非常に高い信頼度を必要とするアプリケーションの場合、コア故障による該当機能の処理能力喪失を防ぐために、コアの冗長化や故障検出・診断情報に基づく動的再構成が必須となるが、従来のバス接続構成では予め冗長化構成を決めておく必要があり、ディペンダビリティを保証するためのフレキシビリティ実現に制約が大きかった。

これらを解決するために、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)方式が研究されるようになってきたが、依然として解決すべき問題がある。例えば、NoC 構成によりフレキシビリティ実現は容易となるが、コア故障の検出や診断の手法、また、それに基づく動的再構成法などのディペンダビリティ実現手法が確立されていない。すべてのタスクを三重化実行するなどではなく、必要となる信頼度に応じた冗長化構成が選択されるべきである。チップ全体の故障を考慮する必要がある場合は、チップレベルの冗長性を持たせる必要があるが、オンチップネットワークをシームレスにマルチチップネットワークに拡張する手法は確立されていない。また、単なるコアの寄せ集めによる冗長・不要部分の増加や微細化によるチップ内の局所的な性能劣化という問題も大きい。前者はチップの物理的、コスト的な実現性を難しくし、後者はマージン増加による性能低下を引き起こす。ある試算によると、32nm テクノロジーでは、さまざまな要因に起因するばらつきにより、標準のものに比べて6倍以上も遅いゲートが存在し得る。これを単純にマージン増加で対応するのは非常に非効率的である。さらに、GALS-NoC におけるオンチップネットワーク部に生じる局所的な固定故障やソフトウェアは、パスが遮断されることにより多くの正常コアが使用不能となる危険性を持つ。このような問題が及ぼす影響は、プロセスのテクノロジーが進み、微細化が進むにつれてより大きくなることに注意しなくてはならない。そこで、プロセスの微細化により悪影響を受けるのではなく、その恩恵を十分に享受できるプラットフォームの開発が非常に重要となりつつある。

##### (2) 本研究の特徴

本研究は、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)というアプローチをベースとして、高ディペンダブル・高性能・高アダプタブルなプラットフォームを実現し、セーフティクリティカルな車載制御アプリケーションに適用して、その有効性を実証しようというものである。車載制御システムへのマルチコア/メニコアシステムの適用は、統合型 ECU(Electronic Control Unit)として知られており、例えば下記のようなヨーロッパのプロジェクトでは、NoC ベースの統合型 ECU を想定している。

- Recom: Reduced certification costs for trusted multi-core platforms. <http://atc.ugr.es/recomp/>.
- Race: Robust and reliant automotive computing environment for future ecars. <http://projekt-race.de/>.

NoC ベースの統合型 ECU では、スケラブルかつフレキシブルであるという特徴から、冗長性や負荷分散を実現しやすいという長所を持つ。しかし、カーメーカ等ではチップ全体が故障する可能性を危惧することから、例えばチップ内に冗長性を有しても、一つのチップからなる NoC ベースの統合型 ECU は受け入れ難いようである。本

研究の優位性の一つは、チップレベルの冗長性も容易に実現できるように、マルチチップ NoC を提案している点にある。マルチチップ NoC では、チップ内のオンチップネットワークがシームレスにマルチチップネットワークに拡張されるため、ユーザはチップの境界を意識する必要はない。LSI パッケージのピン数の制約から、チップ間リンクは部分的にシリアル化する必要があるが、高速かつ高効率チップ間通信方式を開発することにより、チップを跨ぐことによる効率低下を防げる見通しを得ている。

一方、本研究では、次のように回路レベルからソフトウェアレベルまで、それぞれに適した高ディペンダビリティ実現手法を提案しており、ユーザは単一系の(冗長化を考慮していない)アプリケーションソフトウェアを開発するのみで、アプリケーションの高ディペンダブル実行を可能とする点に独創性を有する。

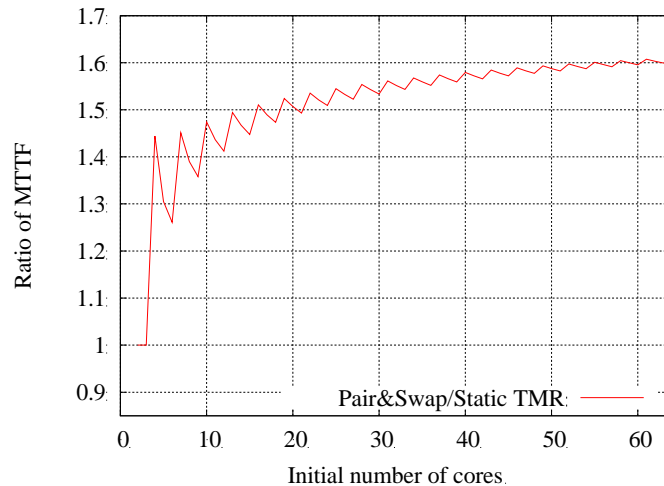
- 回路レベル:オンチップネットワークを完全非同期式に実現する。これにより、各種環境変動や局所的な性能劣化に対しても高い耐性を得る。
- ルーティングレベル:故障チップ、故障ルータ、故障リンクを迂回する、ディペンダブルルーティングアルゴリズムを用いる。
- CPU コアレベル:通常は、各タスクを2つの CPU コアで二重実行し、その結果を比較することにより CPU コアの故障を検出する。不一致が生じた場合には、一時的に三重実行を行い、正しい結果を得るとともに、故障 CPU コアを同定し、二重実行のためのペアを変更する。その後は、通常の二重実行に戻る。なお、ソフトウェア等に基づく一時的故障については、三重実行時に不一致が生じないため、元のペアを使い続ける。
- ソフトウェアレベル:自動車メーカー・自動車関連メーカーにてソフトウェア開発において多用される Simulink 記述を解析し、そこから自動生成された C コードによるタスクを、NoC 構成されたコアにメモリ制約や通信時間などを考慮した上で各タスクを複数の CPU コアに冗長に割り当てる。この冗長度はユーザがタスクの性質により決めるもので、これにより上記の二重実行・三重実行に基づく動的再構成に使用できる CPU コア数が決まる。

さらに、提案手法を四輪独立制御に基づく統合車体制御という高度な実問題に適用し、HILS(Hardware In the Loop Simulation)システムにより詳細な実証を行う。このアプリケーションは、ドライバの意図に基づいて四輪のトルク、制動力、および後輪の操舵を最適に制御するもので、その機能の喪失はスピン等のドライバの命に関わる事故を招きかねない。そのため、各レベルでの冗長性により高い可用性を有する提案手法の実証に適している。

### (3) 本研究の達成目標

VLSI 内収容コア数が急速に増加し、また、微細化が進んでも、設計・実装が容易で、プロセステクノロジーの進化の恩恵を享受できるプラットフォームとして、我々は「多数のコアが適応的に協調動作して異種多様なタスクを効率よく、かつ、高信頼に実行できるプラットフォーム」を考え、それを新しい技術に基づくマルチチップ NoC システムとして実現すること、および、それを車載制御系システムにおいて実証することを目標とする。具体的には、以下を達成することによりこのプラットフォームを実現する。

1. 同種の複数の CPU コアやアクセラレータコアと入出力を司る IO コア等を高速なオンチップネットワークで接続する。これにより、センサ・アクチュエータ等の入出力と、それらに対する処理を行うコアとの対応に自由度が増す。また、タスクの信頼度要求と想定する故障パターンに応じた複数の冗長化構成を求めておき、各コアの劣化度、故障状況に応じて適応的に構成を切り替えてタスクを実行する。このために、適切な状態モニタリング・故障検出・診断手法を確立する。これにより、タスクの信頼度要求に応じた冗長性を持たせることが容易となり、また場合によっては重要度の小さい処理を切り捨てること等も合わせて、重要な処理をより長時間にわたり遂行し続けることができる。例えば、静的に冗長タスク割り当てを行った上で、プロセス二重化と比較により故障の検出を行い、一時的な三重化実行により永久故障コアの同定と再構成を行う改良 Pair&Swap[1]手法を用いた場合、非冗長なものに比べてはもちろん、静的な三重化冗長(TMR: Triple Module Redundancy)を構成したシステムと比較しても、障害が生じるまでの時間(MTTF: Mean Time To Failure)を延ばすことが出来る。仮に初期状態のコア数が6、コアの障害率を $\lambda$ とすると、改良 Pair&Swap の MTTF は  $29/(20\lambda)$ 、静的 TMR の MTTF は  $69/(60\lambda)$  となり、動的なタスク割り当てを行うことにより、約 1.26 倍長く重要な処理を遂行し続けることが出来る。この差は初期状態のコア数が増加するとより顕著になることが見込まれる。コア数と MTTF の関係を比較すると上図のようになり、コア数が増加すれば重要な処理を 1.6 倍程度長く継続実行することが望める。



2. オンチップネットワークを完全非同期式により実現する。これにより、局所的な性能劣化に対しても高い耐性を持ち、また同期式で必要となる過度の-marginやシンクロナイザによるオーバーヘッドを除去できる。各コアは、ローカルなクロックで動作することができ、クロック木生成やクロックスキューの問題に対する実装コストが大幅に低減できる。
3. オンチップネットワークをシームレスにチップ間に拡張できる機構を実現する。これにより、冗長化タスクを異なるチップ上のコアで実行することが容易となり、自動車メーカーの厳しいディペンダビリティ要件に、より容易に対応できる。ただし、LSI パッケージのピン数制約により、マルチチップネットワークでは、オンチップネットワークのトポロジを完全に保存できない、また、チップ間リンクのバンド幅が減少する等の問題が生じる。これらを、前者についてはルーティングアルゴリズムの工夫により、後者は完全非同期式オンチップネットワークと高い整合性を持つ、高速・高効率のチップ間通信を開発することにより解決する。
4. ディペンダブルかつ適応的ルーティングアルゴリズムを有するオンチップネットワークを実現する。これにより、ネットワーク部の局所的な故障による影響を最低限に抑え、正常コアの多くを救済することができる。例えば、4×4構成の2次元メッシュで座標(1, 1)のルータが故障した場合、広く使われているXYルーティング(まずX方向に移動し、次にY方向に移動する)では、すべてのコアにおいて、故障したルータに接続されているコア(1, 1)以外のいくつかのコアとも通信ができなくなるのに対し、1 ルータ故障に耐えられるディペンダブルルーティングアルゴリズムでは、(1, 1)以外のコアとの通信は影響を受けない。コア(1, 1)以外のコアで、影響を受ける送受信ペア数の全体に対する割合で比較すると、XYルーティングの 17%に対し、ディペンダブルルーティングでは0%となる。また、座標(2, 2)のルータも同時に故障した場合を考えると、XYルーティングでは33%と1/3のペアが通信できなくなるのに対し、前記ディペンダブルルーティングではその割合を全体の4%に抑えることができる。
5. 四輪独立制御に基づく統合車体制御という、高度な実問題に適用して、HILS(Hardware In the Loop Simulation)システムにより詳細な実証を行う。これにより、自動車メーカー、自動車関連メーカーに提案手法の有効性をアピールできる。
6. 自動車メーカー、自動車関連メーカーで、提案プラットフォームを容易に評価できるような評価キットを開発し、上記四輪独立制御に基づく統合車体制御アプリケーションサンプルとして実行できる形で提供する。これは、ハードウェアとして、試作した複数の NoC チップ、IO コアを実現する FPGA、HILS インターフェース、および簡易版 HILS システムを含む。簡易版 HILS システムは、ユーザが本格的な HILS システムを自前で用意することなくプラットフォームを評価できるように、精度は高くなくても、ECU 機能のテストができる程度の小規模シミュレータであり、ソフトウェアにより実現する。さらに、さまざまな構成を試してみたいユーザのために、NoC を実現できる程度の大規模 FPGA を実装し、NoC チップの代替えとして使用できるようにする。一方、上記ハードウェアでのソフトウェア開発を容易にするために、単一系の Simulink 記述を入力とし、与えられた信頼度要求を満足するように静的にタスクを冗長に割り当てるツールを提供する。

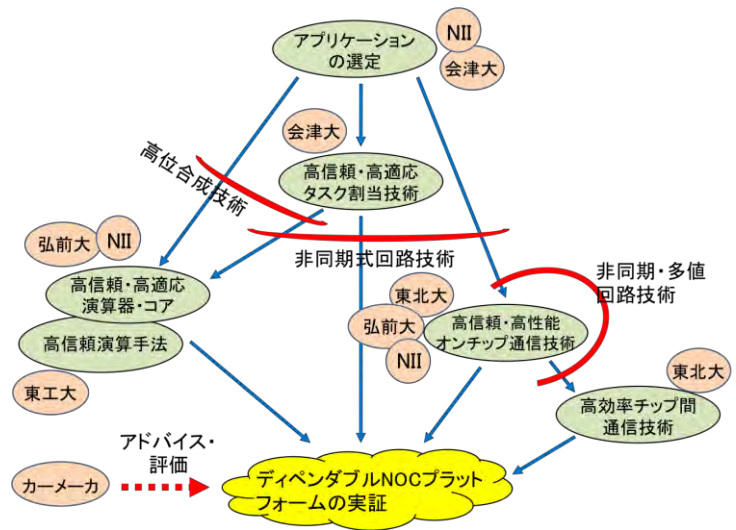
このようなプラットフォームの実現により、このプラットフォームのユーザである自動車メーカーは、量産時のコスト削減(従来のエンジン制御関係の ECU 例えば 10 チップを、冗長化も含めて 3 つの NoC チップで実現でき、チップ数が 7 割程度減る)、および、ディペンダビリティの実現容易性(センサ・アクチュエータと ECU の対応をフレキシブルにでき、また、NoC により容易に冗長化や動的な実行コア再構成を実現できる)を享受することができる。また、その結果、車のユーザにとっても、メンテナンスコスト減につながると考えられる。

[1]Masashi Imai, Tomohiro Yoneda: “Duplicated Execution Method for NoC-based Multiple Processor Systems with Restricted Private Memories,” Proc. of DFT2011, (Vancouver, Canada), Oct., 2011.

## 1.2 研究実施方法

### (1) 本研究チーム全体の運営と取りまとめ方針

右図のように、各種コア・オンチップネットワーク部は主に NII・弘前大グループが担当し、東北大グループは主にチップ間通信技術を担当する。会津大グループは高位合成・タスク割り当て技術を担当する。東工大グループはルータによる高信頼演算手法の適用を担当する。チーム内でのミーティングは月に1回程度必ず行っており、すべてのグループが、担当以外の部分についても詳細な設計や結果について把握し、毎回突っ込んだ議論を行っている。また、HILSシステムが NII に設置されていることから、これまでの実機での基盤開発は NII グループが中心となってきたが、今年度から弘前大にも設置され、現在は各グループの成果を組み込んで、より効率良く NoC プラットフォームの開発・実証に取り組んでいる。



### (2) 研究グループの分担

#### ① 「NII」グループ(研究代表者グループ)

NII グループは弘前大グループとともに、各種コア・オンチップネットワークの高ディペンダブル化、高性能化を担当している。そのため、GALS-NoC におけるコア・ルータ・リンクの故障検出ならびに耐故障性をいかに実現するか、また、微細化プロセスにおける大きなばらつきが存在する環境で、マージン増加に伴う性能低下を防ぎ、いかに微細化プロセスの恩恵を享受できる設計手法を実現するかが第一の研究課題である。さらに、開発した設計手法をユーザに提供するために、設計支援ツールやライブラリを開発・整備する。

また、会津大グループとともに、実証用アプリケーションの検討・選定を行うこと、さらに、研究代表者グループとして、実証用 NoC プラットフォームの開発を主導する。

#### ② 「弘前大」グループ

弘前大グループはNIIグループとともに、各種コア・オンチップネットワークの高ディペンダブル化、高性能化を担当している。その中でも、グローバルクロック信号を用いず、事象生起の因果関係に基づいて局所的に要求-応答ハンドシェイクプロトコルで動作する非同期式実装を行うことで、ネットワークオンチップ構成における回路レベルの高信頼化を実現することが第一の研究課題であり、非同期式回路実装に必要なセルライブラリの開発、設計方式を確立する。また、プロセッサレベルの高信頼化技術としてタスクの二重実行と比較による故障検出、故障検出後の一時的な二重実行ペアの変更や三重実行による故障判定・再構成を行う Pair&Swap 方式の提案と実装を行う。

#### ③ 「東北大」グループ

東北大グループは、ネットワークオンチップ用ルータ、およびチップ内、チップ間の高効率、高信頼通信方式の設計を担当している。研究課題としては、チップ間通信の効率化、高信頼化について注力している。これは、複数チップからなるネットワークオンチップ実現を想定した際に、チップ内転送速度に対するチップ間転送速度が性能のボトルネックになることを回避しつつ、ネットワークオンチップ全体のディペンダビリティを十分に高いレベルで実現することが目標である。特にチップ間通信に関しては、チップ外への信号を出力(または入力)するための入出力パッド数が限られており、チップ内通信と比較した場合に、配線リソース数が制限されるため、その制約下において、転送速度、信頼性の双方に優れた方式が要求される。そこで、本グループはこの高速・高効率な非同期データ転送回路を電流モード回路で構成することにより、低信号振幅(低エネルギー)かつ高速にデータ転送が実現できることを示す。

#### ④「会津大」グループ

会津大グループにおいては、NoC で実行するアプリケーションの各機能(タスク)を NoC のどのノードでいつ実行させるかというタスクスケジューリング・割り当て手法の確立が第一の研究課題である。特徴は、タスクの多重スケジューリング、多重割り当てによる故障への対応である。スケジューリングの二重化、および割り当ての多重化によって、アプリケーションの実行時に弘前大グループが開発した Pair & Swap と連携する。最終的な目標は、タスクの多重スケジューリング・多重割り当てを実現する CAD ツールの構築と、NII グループとともに検討・選定した車載アプリケーションによる開発したツールの実証である。

#### ⑤「東工大」グループ

東工大グループにおいては、VLSI プロセッサの主流となるマルチコアおよびメニーコアプロセッサ、またマルチ VLSI チップによるマルチモジュールのシステムにおけるディペンダビリティを飛躍的に向上させるアーキテクチャとして、超ディペンダビリティ支援の高機能 NoC ルータアーキテクチャを研究開発する。また、その成果の普及(実用化)に努める。

#### (3) 領域外部の企業等との連携

自動車メーカーとの年1~2回のミーティングを通して、成果の報告とアドバイスを頂いている。センサ・アクチュエータ等と対応するタスクを実行するコアとの対応関係をフレキシブルにすることの重要性、チップ間通信の必要性、ハイブリッドエンジン制御、四輪独立制御に基づく統合車体制御というアプリケーションの選択、等は自動車メーカーとのミーティングにおける議論から得られたものである。

さらに、ハイブリッドエンジン制御、四輪独立制御に基づく統合車体制御の高位モデル(Simulink モデル)を ECU メーカーと共同開発している。また、非同期式回路実装用ツールをツールメーカーと共同開発している。このほか、ユタ大学、南テキサス大学と NoC プラットフォームの形式的検証の可能性について共同研究している。

さらに、提案プラットフォームの自動車メーカー等への提供可能性について半導体メーカーと議論している。

#### (4) 領域内他研究チームとの連携関係

梶原チームの大竹グループとは、非同期式回路のテスト技術において連携し、効率の良いスキャン技術を開発している。既に、何件か特許となっている。

### 1.3 研究グループの今年度の研究の狙い

#### ①「NII」グループ(研究代表者グループ)

統合化 ECU プラットフォームの優位性を明らかにできるような新たな実証用アプリケーションとして、従来は FlexRay 等の高速ネットワークを通して接続することで初めて分散 ECU 環境での実現が可能となっていた高度アプリケーション(例えば四輪独立制御に基づく統合車体制御)を選び、カーメーカーやカー関連メーカーとの議論をしつつ、会津大グループと連携して ECU メーカーとともに本格的なアプリケーションを開発する。次に、そのアプリケーションにおいて、冗長化タスク割り当てと改良 Pair & Swap 用スケジューリングを行い、それと連携する外部 IO コアの処理アルゴリズムを開発した上で、実際に HILS 上で動作させるための環境を整備する。

また、評価キットについても全グループ連携のもと開発を行うが、特にハードウェアボードの設計・開発を担当し、ハードウェアボード関連会社と連携しながら進める。また、簡易 HILS システムについては、特にアプリケーションにより実現可能性が大幅に異なることに注意し、どのレベルの機能が必要かを、上記で選定したアプリケーションを実 HILS で動作させながら検討する。

要素技術の実装・評価については、マルチチップ NoC の概念を形式化し、LSI パッケージのピン数制約を考慮したチップ間リンクの数とバス幅について検討する。また、チップ間ネットワークがオンチップネットワークのトポロジを完全に保存できない場合のディペンダブルルーティングアルゴリズムについて詳細に検討し、試作を通じて実装・評価する。

#### ②「弘前大」グループ

本年度は、統合化 ECU プラットフォームとして本研究成果にカーメーカー、カー関連メーカー、LSI メーカーが興味を示す実証を行えるようにすることが研究の狙いである。そのために、まず NoC 実装がリアルタイム性を保証することが出来ることを理論的に保証するため、オンチップネットワークにおけるフォールトモデルを定義してノード間のレイテンシが最大値となる条件を明らかにし、その条件に基づいて最悪レイテンシのモデル化(定式化)を行

い、評価を行う。

また、非同期式回路実装において、要求-応答ハンドシェイクプロトコルに伴うオーバーヘッドを削減するために採用している、遷移論理に基づく回路実装を容易にする設計方式を NII グループと連携して開発し、実証用チップ実装を行う。

さらに、本年度はこれまでNIIグループのみで導入されていたHILSシステムを弘前大グループでも導入して評価環境を構築する。それを用いて会津大が開発した冗長化タスク割り当てと改良 Pair & Swap 用スケジューリングを行い、それと連携する外部 IO コアの処理アルゴリズムを開発した上で、実際にHILS上で動作させる。

### ③「東北大」グループ

今年度は非同期バースト転送ベースチップ間転送回路の試作、および実チップを用いた評価を行う。本転送回路に関しては、回路レベルでの設計および評価は昨年度末までに完了しており、これらのチップ試作および実機での評価を行い、それにより得られた情報を次期試作にフィードバックする。また、上記非同期バースト転送方式に基づくチップ間転送回路のさらなる高性能化・高信頼化技術に関しての検討・評価を行う。高性能化の手法としては、電流モードと高い親和性を有する多値回路技術の適用を、高信頼化手法としては電流モード転送コンポーネントの各種ばらつき制御技術を組み込んだ転送回路の設計・評価を行う。

### ④「会津大」グループ

前年度までに行った、整数線形計画法を用いたタスクの多重割り当て手法をベースに、発見的手法を提案しツール化を行う。次に、車載アプリを含んだ様々な Simulink モデルからタスクグラフを生成し、開発したツールを用いてタスクの多重割り当てを行う。タスクの多重割り当ての後、タスクスケジューリング、故障のための切り替えプログラムを挿入し、これまでに開発した FPGA の NoC に実装し、実行時間、使用したメモリ量、故障のための切り替えプログラムのオーバーヘッドを評価し、提案手法の有効性を示す。また、必要に応じてタスクの多重割り当て手法の改良を行う。実際の車載アプリを用いた評価に関しては、NIIグループと協力して行う。また、タスクの多重割り当て手法を弘前大グループが考案したタスクの冗長実行 Pair & Swap に応用する。

他に、タスクの一部を非同期アクセラレータとして実現するために開発してきた動作合成ツールに Simulink モデルから生成された C コードを与え、実験と評価を行う。また、リアルタイム OS によるタスク管理のため、TOPPERS JST カーネルをFPGAのNoCの各プロセッサに実装し、タスクの多重割り当てが済んだCコードを実行する。ここでは、OS が含まれた時のメモリや実行時間に対するオーバーヘッドを評価する。さらには NII グループとともに本格的なアプリケーションを開発する。

### ⑤「東工大」グループ

これまでに、柔軟にディペンダビリティのレベルを変更できる高機能ルータの方式 SmartCore Version 2.0 の検討およびオーバーヘッドの評価をおこなってきた。

本年度は、開発してきた高機能ルータアーキテクチャにおける2重実行の仕組みを拡張し、現実的で効果的な3重実行(Triple Module Redundancy)の仕組みを開発する。SmartCoreシステムでは高機能ルータを用いてパケットの複製および比較をおこなうが、それを実現するNoCルータアーキテクチャとそのハードウェア量増加、デッドロック回避、得られる信頼性向上の度合いのトレードオフの検討が不可欠となる。これらの検討と評価により3重実行のためのアーキテクチャを開発する。また、これが追加されたシステムとして SmartCore Version 3.0 の仕様を策定する。

## § 2. 研究実施体制

### ①「NII」グループ

ア 研究分担グループ長：吉本 雅彦(神戸大学大学院システム情報学研究科、教授)(研究代表者)

イ 研究項目

- (1) ルータ、伝送方式、ネットワークインターフェースの全体設計
- (2) CPU コア演算部の耐劣化性実現
- (3) ハードウェアアクセラレータの実現

### ②「弘前大」グループ

ア 研究分担グループ長:今井 雅 (弘前大学、准教授)

イ 研究項目

- (1) 非同期式回路設計用セルライブラリの設計評価・多入力アービタの設計・評価
- (2) NoC ルータの設計・評価
- (3) プロセッサレベルの故障判定・再構築手法の確立

③「東北大」グループ

ア 研究分担グループ長:羽生 貴弘 (東北大学、教授)

イ 研究項目

- (1) チップ間転送技術の開発
- (2) 高信頼性を有する多値データ転送方式の開発
- (3) 高位評価手法の開発
- (4) 回路コンポーネント実装・評価

④「会津大」グループ

ア 研究分担グループ長:齋藤 寛 (会津大学、上級准教授)

イ 研究項目

- (1) タスクの多重スケジューリング・多重割り当て手法の研究とツールの開発
- (2) 動作合成ツールの開発
- (3) リアルタイム OS の実装と評価

⑤「東工大」グループ

ア 研究分担グループ長:吉瀬 謙二 (東京工業大学、准教授)

イ 研究項目

- (1) 3重実行をサポートする高機能 NoC ルータアーキテクチャの開発
- (2) 高機能 NoC ルータアーキテクチャの評価

### § 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

#### 3.1 研究の成果と自己評価

(1) 成果1.「マルチチップ NoC とそのディペンダブルルーティングアルゴリズム」(NII グループ・弘前大グループ)

##### ①内容

オンチップネットワークを有する複数の LSI チップをチップ間リンクで接続し、オンチップネットワークをシームレスにマルチチップネットワークに拡張できる、マルチチップ NoC の概念を提案した[7]. また、LSI パッケージのピン数に制約がある場合、チップ間リンクの数と1リンク当たりのビット幅はトレードオフの関係になる. [6]では、 $2 \times 2$ の2次元メッシュトポロジを持つベースチップを対象に、車載制御アプリケーションを想定した場合、マルチチップネットワークが実現できる拡張性を考慮すると、チップ当たり5つのチップ間リンクを持つのが有効であることを示した. その場合、 $4 \times 4$ の構成(ベースチップ4個の構成でこれをクラスタと呼ぶ)までは、2次元メッシュ構成を取れるが、それ以上の構成の場合、クラスタ間の接続数が不足し、完全な2次元メッシュを取れない. そこで、[6]では、不足するリンクを故障リンクと同等に扱い、ルーティングアルゴリズムによりそれらを迂回する手法を提案し、従来手法に基づく方法と比較した. さらに、この方式を適用した、 $2 \times 2$ のベースチップを設計し、テープアウトした.

##### ②有用性

NoC ベースの統合型 ECU では、スケーラブルかつフレキシブルであるという特徴から、冗長性や負荷分散を実現しやすいという長所を持つ. しかし、カーメーカ等ではチップ全体が故障する可能性を危惧することから、例えチップ内に冗長性を有しても、一つのチップからなる NoC ベースの統合型 ECU は受け入れ難いようである. マルチチップ NoC では、安価なベースチップを必要な数だけ接続することで、任意の規模のシステムを自由に構成できる. また、チップレベルの冗長性も容易に実現できる. チップ内のオンチップネットワークが

シームレスにマルチチップネットワークに拡張されるため、ユーザはチップの境界を意識する必要はない。LSI パッケージのピン数の制約から、チップ間リンクは部分的にシリアル化する必要があるが、高速かつ高効率チップ間通信方式を開発することにより、チップを跨ぐことによる効率低下を防げる見通しを得ている。

### ③優位比較

2×2のベースチップを想定した場合に限るが、[6]ではクラスタ間のルーティングにおいて、提案手法が、多くの場合従来手法より高効率であることを示している。また、車載アプリケーションにおいては、上述したように、安いコストでチップレベル冗長性を実現できることから、単一のチップを想定した NoC ベースの統合型 ECU よりも優れている。

## (2) 成果2.「高度な実問題を扱うアプリケーションの開発とプロトタイプによる実証」(NII グループ・会津大グループ)

### ①内容

マルチチップ NoC ベースの統合型 ECU に適した、高度な実問題を扱うアプリケーションとして、四輪独立制御に基づく統合車体制御システムを、ECU メーカーと共同で開発した。次に、そのアプリケーションにおいて、冗長化タスク割り当てと改良 Pair & Swap 用スケジューリングを行い、V850E プロセッサ上で実行可能なコード生成を行った。また、(1)通常は各タスクを2つの CPU コアで二重実行し、その結果を比較することにより CPU コアの故障を検出する、(2)不一致が生じた場合には、一時的に三重実行を行い、正しい結果を得るとともに、故障 CPU コアを同定することにより2重実行のためのペアを変更し、その後は、通常の二重実行に戻る、(3)ソフトウェア等に基づく一時的故障については、三重実行時に不一致が生じないため、元のペアを使い続ける、等を実現する外部 IO コアの処理アルゴリズムを開発した。さらに、FPGA を用いたプロトタイプシステムにより、実際にHILS上で動作させ、CPU コアが順次故障していても、正常に統合車体制御が行われることを実証した。ET2012 ではやや不完全な状態であったが、上記デモを行った。この成果は、3月の組込みシステム関係の研究会で報告した。

### ②有用性

上記のアプリケーションは、ドライバの意図に基づいて四輪のトルク、制動力、および後輪の操舵を最適に制御するもので、その機能の喪失はスピン等のドライバの命に関わる事故を招きかねない。そのため、CPU コアが次々と故障していても、機能を維持し続けるマルチチップ NoC ベースの統合型 ECU の実証に適している。

### ③優位比較

マルチチップ NoC に基づくベースチップから構成されるプラットフォームでは準備が間に合わなかったため、FPGA に基づくプロトタイプシステムを使用しているが、実際に HIL シミュレーションが動作し、故障 CPU に対する処理も実時間で実行していることから、実証という成果は大きいと考える。今後は、現在開発中の評価キット用ハードウェアシステム上で、マルチチップ NoC に基づく統合型 ECU の実証を行う予定である。

## (3) 成果3.「オンチップネットワークにおける最大レイテンシのモデル化と評価」(弘前大・NII グループ)

### ①内容

NoC ノード間の通信にかかるレイテンシは、オンチップネットワーク上のパケットの過密具合に影響を受ける。また、本研究で採用しているワームホールルーティングでは、あるパスを占有したパケットが通過するまで、他のパケットはそのパスを使用することは出来ない。これに対し、従来はシミュレーションにより、NoC ノード間の通信はリアルタイム制約より十分速いことを確認していたが、最悪ケースを想定した場合、レイテンシがどのようになるのか理論的なモデル化がなされておらず、リアルタイム性を理論的に保証することが出来ていなかった。そこで、NoC ノード間の最悪レイテンシをモデル化(定式化)してその評価を行った[8]。

あるパケットに着目した場合、そのパケットの移動を阻害するパケットはルーティングアルゴリズムに応じてその数が異なり、また、阻害パケット自体も他のパケットによりその移動が阻害される可能性がある。従って、パケットサイズを考慮した、再帰的な待ち時間をモデル化した。[8]では、ルーティングアルゴリズムとして、いずれもデッドロックフリーな、XY ルーティング、ネガティブ・ファースト・ルーティングを仮定し、さらにその後追加として昨年までに開発したディペンダブル・ルーティングアルゴリズムを仮定してそれぞれモデル化と評価を行った。また、クロック信号に基づいて動作する同期式回路だけではなく、非同同期式回路でも適用できるように、クロックサイクルではなく、ルータの各ステージの遅延を用いた汎用的なモデル化を行った。

### ②有用性

従来はシミュレーションによる評価のみでリアルタイム性の保証を行ってきたが、上記のモデル化により最悪レイテンシを求めることが出来るため、NoC 構成のシステムはリアルタイムシステムにも適用できることを理論



的に保証することが出来る。また、シミュレーションでは完全に再現することが難しい最悪ケースを想定することが出来るため、設計したシステムのリアルタイム性に関するタイミング余裕の評価も行うことが出来る。

### ③優位比較

NoC ノード間の通信レイテンシに関して、理論的に最悪遅延のモデル化を行ったものは調べた範囲ではなく、成果は大きいと考える。

## (4) 成果4.「タスクの多重スケジューリング・多重割り当て手法」(会津大グループ)

### ① 内容

前年までに、コアの故障数の上限値の下、可能な故障パターンを列挙し、実行可能な故障パターンの数を最大にするために整数線形計画法を用いたタスクの多重割り当て手法を考案した[5]。タスクの多重割り当てとは、異なるコアに同じタスクのコピーを割り当てる。しかし[5]は最適解を求めることはできないが、規模の大きなアプリケーションやNoCモデルを扱うことができない。この問題を解決するために、今年度はリストスケジューリングをベースとした発見的手法の開発を行った。また、弘前大グループのPair&Swapを実現するために、タスクの多重スケジューリング手法を提案した。タスクの多重スケジューリングは、タスクが多重に割り当てられているという仮定のもと、二重実行や三重実行を想定したスケジューリングを行う。NIIグループと一緒に取り組んだ統合車体制御に提案手法を適用し、評価を行った。

### ② 有用性

提案手法は、スケジューリングの多重度と割り当ての多重度を入力として与えるため、ディペンダビリティに対する要求に応じたタスクのスケジューリング、割り当てが可能となる。例えば、故障パターン毎に割り当ての多重度の範囲内でタスクを二重スケジューリングしておけば、アプリケーションの実行時に弘前大グループのPair&Swapが実現できる。また、故障パターン毎に割り当ての多重度の範囲内で三重スケジューリングしておけば、各タスクの三つのコピーを比較することによって故障コアの検出が可能となる。また、提案手法は発見的手法のため、規模の大きなアプリケーションやNoCモデルでも用いることが可能である。

### ③ 優位比較

関連研究として、タスクの多重スケジューリング、故障したコアを検出した後に生存しているコアにタスクを再割り当てするといった手法が提案されている。しかし提案手法のように、多重スケジューリングと多重割り当てを同時に考えている手法は見当たらない。また、タスクの再割り当て手法は、故障検出後に割り当ての再計算と実際の割り当てが必要となり、このときの時間オーバーヘッドがリアルタイム性を阻害する可能性がある。一方、提案手法は、設計の段階でコアのメモリ制約の範囲内で故障パターン毎にタスクの多重スケジューリング・多重割り当てを行うので、実際のアプリケーションの実行時にコアが故障したとしてもコアの切り替えにあまり時間がかからないものと思われる。今後は、タスクの多重スケジューリング・多重割り当ての済んだアプリケーションをNoC上で動かす、提案手法の効果を評価する。

## (5) 成果5.「非同期制御に基づく低消費電力 Content Addressable Memory の構成」(東北大グループ)

### ① 内容

オンチップネットワークルータにおける高速なパケット(フリット)処理が実現可能な、非同期制御に基づく低消費電力 Content Addressable Memory (CAM)を実現した[2]。従来までの同期式CAMはその速度がフリット長に依存することから、フリット長の増加に伴い、その速度が大幅に低下してしまい、低速なCAMを用いたルータによってチップ間、非同期データ転送速度が律速される問題が生じていた。[2]では非常にシンプルな前処理を実行することにより、フリット長に律速されないCAM用高速探索アルゴリズムを考案した。また、そのアルゴリズムのハードウェア実現に非同期制御方式を用いることで、従来までの同期式制御で問題となっているクロックに伴う消費電力を大幅に削減できるだけでなく、CAMへ転送されてくる非同期信号との親和性が高く、同期化回路を必要としないため、チップ面積のオーバーヘッドも軽減される。実際、従来までの同等機能の同期式CAMと比較し、面積オーバーヘッドを低く抑えつつ、遅延および電力を共に大幅低減できることを90nm CMOSプロセスにおいて評価し、提案方式の優位性を明らかにした。

### ② 有用性

CAMを用いたオンチップルータは耐故障性を持つような複雑なルーティングアルゴリズムをハードウェア実現できる一方、その消費電力は通常の論理ゲート実現によるルータに比べて大きい。提案CAMは高並列処理により高速化が達成できるだけでなく、低い電源電圧時でも高速かつ低消費電力で動作ができるため、複雑なルーティングアルゴリズムを採用したオンチップルータを構成した場合でも、全体の消費電力を低く抑えることが可能となる。

### ③ 優位比較

[2]では、CAMのワード長(フリット長)を144ビットとした場合、提案の非同期式CAMは従来の同期式CAMと比較して、約6倍の速度向上が達成された。また、同期式CAMで必要なクロック信号を削除できることから38%のエネルギー削減を実現された。さらに、非同期制御方式の採用に伴う面積オーバーヘッドもわずか8%程度に抑えることができた。

#### (6) 成果6.「メニーコアプロセッサ評価環境の整備とハードウェアの販売」(東工大グループ)

##### ①内容

高機能 NoC ルータアーキテクチャの評価環境として、また一般的なメニーコアアーキテクチャの評価環境や高性能アクセラレータのプロトタイプとしても利用できるFPGAシステム(ScalableCoreシステム)を利用し易くするためにソフトウェア環境を整備するとともに、2012年11月から、そのFPGAシステムの販売を開始した。これに関して、XILINX社からのプレスリリース(2012年11月12日)があった。

##### ②有用性

ScalableCoreシステムを高性能アクセラレータとして活用する試みの1つとして、100個のFPGAから構成されるScalableCoreシステムに科学技術計算で用いられるカーネルの1つであるステンシル計算を実装し、その高い性能を確認した[18][20]。

##### ③優位比較

ScalableCoreシステムは必要に応じてノードを追加できるスケーラブルなシステムであり、かつ、100ノードを超える大規模なシステムであっても非常に安定して動作する点で、他に類のないシステムである。

### 3.2 上記3.1の成果うち、特筆すべきもの

#### (1) 特に顕著な成果(科学や技術の新しい分野の展望など)

#### (2) 当初計画で想定外であった重要・新規な展開

当初は、ディペンダビリティを実現するために、ユーザに比較や多数決を行うための下位レベルAPIを公開しようと考えていたが、単一系のSimulinkプログラムを入力として、タスクの冗長割り当て、2重スケジューリングを自動的に行える見通しが立ったため、ユーザにはごく限られたインターフェースをテンプレートの形で提供する方式に変更した。一方で、タスク割り当てやスケジューリングの調整が容易に行えるようなGUIを用意する予定である。

また、上述のようにディペンダビリティの実現のために、タスク割り当てやスケジューリングを自前で行っている関係上、既存のリアルタイムOSの必要性は現時点では大きくない。そこで、当面リアルタイムOSとの連携は考えず、カーメーカ等との議論を通じて、必要性が大きいことがわかった時点で再検討することとする。

## § 4. 成果発表等

### (4-1)原著論文発表

#### ●論文詳細情報

1. Naohiro Hamada and Hiroshi Saito : "Integration of Behavioral Synthesis and Floorplanning for Asynchronous Circuits with Bundled-Data Implementation", IEICE Transaction, Volume E95-C No.4, pp.506-515 (Apr. 2012).
2. Naoya Onizawa, Shoun Matsunaga, Vincent C. Gaudet, and Takahiro Hanyu: "High-Throughput Low-Energy Content-Addressable Memory Based on Self-Timed Overlapped Search Mechanism, Proc. International Symposium on Asynchronous Circuits and Systems (ASYNC), pp.41-48 (May 2012). DOI:10.1109/ASYNC.2012.25
3. Atsushi Matsumoto, Naoya Onizawa, and Takahiro Hanyu: "Systematic Coding Schemes for Low-Power Multiple-Valued Current-Mode Asynchronous Communication Links, 42nd IEEE International Symposium on Multiple-Valued Logic, pp.13-18, (May 2012). DOI:10.1109/ISMVL.2012.51
4. Naoya Onizawa, Atsushi Matsumoto, and Takahiro Hanyu: "Long-Range Asynchronous On-Chip Link Based on Multiple-Valued Single-Track Signaling, IEICE Transactions on Fundamentals, E95-A(6), pp.1018-1029 (Jun. 2012).

5. Hiroshi Saito, Tomohiro Yoneda, Yuichi Nakamura : An ILP-based Multiple Task Allocation Method for Fault Tolerance Networks-on-Chip, Proc. of MCSoc2012, pp. 100-106 (Sep., 2012). DOI:10.1109/MCSoc.2012.23
6. Tomohiro Yoneda and Masashi Imai : Dependable Routing in Multi-Chip NoC Platforms for Automotive Applications, Proc. of DFT2012, pp. 217-224 (Oct., 2012). DOI:10.1109/DFT.2012.6378227
7. Tomohiro Yoneda, Masashi Imai, Naoya Onizawa, Atsushi Matsumoto, Takahiro Hanyu: Multi-Chip NoCs for Automotive Applications, Proc. of PRDC2012, pp. 105-110 (Nov., 2012). DOI:10.1109/PRDC.2012.20
8. Masashi Imai and Tomohiro Yoneda : Performance Modeling and Analysis of On-chip Networks for Real-time Applications, Proc. of PRDC2012, pp. 111-120 (Nov., 2012). DOI:10.1109/PRDC.2012.18
9. 松本敦, 鬼沢直哉, 羽生貴弘: 制御情報共有化に基づく非同期細粒度パワーゲーティング技術とそのオンチップルータへの応用, 信学論 JD, Vol.J96-C, 2013 (掲載決定).
10. 佐野伸太郎, 五十嵐俊哉, 吉瀬謙二: メッシュ/トラス接続型スーパーコンピュータに適した高性能タスク配置手法, 信学論, Vol.J96-D, No.2, pp.269-279 (Feb., 2013).
11. Naoya Onizawa, Tomoyoshi Funazaki, Atsushi Matsumoto, and Takahiro Hanyu, "High-Throughput Compact Delay-Insensitive Asynchronous NoC Router," IEEE Transactions on Computers, 2013 (in press).

(4-2)知財出願

- ① 平成24年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 5 件)