

梶原誠司

九州工業大学 大学院情報工学研究院・教授

フィールド高信頼化のための回路・システム機構

§ 1. 研究の概要

1. 1 チーム全体の研究の概要

(1) 本研究の背景と課題定義

VLSI の微細化技術の進展に伴い、フィールド運用時の VLSI の劣化が顕在化しやすくなっている。本研究は、VLSI の故障によりフィールド運用中のシステムが突然ダウンすることを事前に防止し、システムの安心安全性を高めることをねらいとする。代表的な劣化メカニズムとして、BTI (Bias Temperature Instability)、ホットキャリア (HC)、酸化膜経時破壊 (TDDB)、エレクトロマイグレーション (EM)、ストレスマイグレーション (SM) などが知られている。これらの劣化は回路遅延の増加を引き起こすが、劣化メカニズムにより遅延が増加する条件や遅延の増加率が大きく異なる。さらに、同じ劣化メカニズムであっても劣化により増加する遅延量が動作環境に依存するため、正確な予測は困難である(図1)。

劣化による障害を回避する手段として、現状では動作マージン設計が通常行われるが、動作マージンを回路の製造ばらつき、動作環境、使用年数などに基づき、最悪の場合を考慮して決定するため、アプリケーションによっては 5%–15% といった過大な動作マージンを必要とし VLSI の性能を犠牲にする可能性がある(図 2)。障害を回避するもう一つの手段として、通常動作時に回路の出力や内部信号線の値を監視するオンラインテストもよく用いられている。監視の方法としてはパリティチェックや信号の安定性検知機能付きの専用 FF を用いてソフトウェア等の障害に対応する方法が知られている。しかし、専用 FF は通常の FF に比べ 3 倍強の面積になるなどオーバーヘッドが大きいため、実用上は回路内の一部の FF にしか適用できず、回路全体の信頼性を保証できない。また、いずれも通常動作時に異常値を出力した場合のみ故障を検出するため、回路全体を網羅的にテストする、さらには、劣化の進行を検知し障害を予測するといった高度な信頼性は保証していない。

本研究で提案するフィールドテストは、出荷後の VLSI の一部または全体を一時的にテストモードにし、短時間で高品質なテストを行うことで、高度な信頼性を確保することを目標とする。フィールドテストには、表1に示すように、VLSI の適用対象により異なる制約(使用環境、テストデータ量、テスト時間等)が存在する。これらの制約に対応する各種の要素技術と、それらを統合して実用的にフィールドテスト可能にする自己テスト技術の開発を本研究の主課題とする。さらに、開発した技術のフィージビリティ検証により、本提案技術が高いディペンダビリティが要求されるシステムに適用可能であることを実証し、汎用化・標準化された IP/ツール整備を含めて、その成果が広く社会に用いることが出来るようにすることも新たな課題として位置づける。

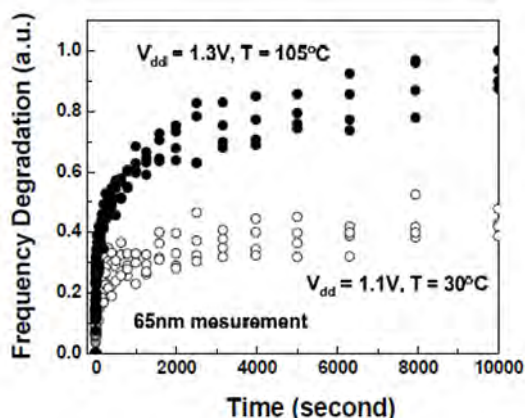


図1. NBTI による遅延増加[Y. Cao, DRVW, 2008]。劣化による遅延量は、環境パラメータ(電圧、温度)や使用状況(PMOS のオン比率)に依存する。

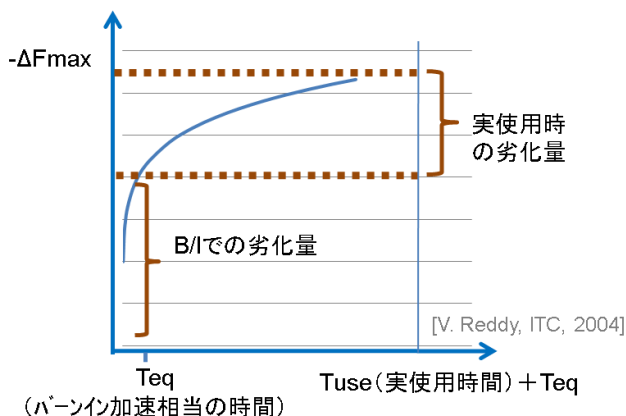


図2. 信頼性考慮設計。TEG評価に基づき劣化量を見積もる。バーンイン(B/I)加速後、見積もり値と外れる初期不良をスクリーニング。実使用時の劣化予測値を動作マージンに追加。

表1 VLSIの適用対象とフィールドテスト制約

適用対象	車載・医療等	プラント制御・交通システム等	ネットワーク・サーバ等	通常のLSI生産テスト
使用期間	長期(～20年)	超長期(～30年)	通常(～10年)	—
フィールドテスト	パワーオン時	運転中の定期的なテストモード実行	動作中(無休止)	—
テストリソース(メモリ等)	LSIピン・メモリ等ひっ迫	制約あり(冗長設計等の採用)	制約あり(劣化データ蓄積に興味)	制約小(ATEの利用)
テスト時間	～10ms	～100ms(テスト頻度に関連)	数10～数100ms	物理制約小(コスト制約有り)

(2) 本研究の特徴

本研究は、フィールドで VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする手法を開発する。研究のアプローチとして、表2に示した4つの研究項目をさらにブレイクダウンして、図3で示すアプローチで研究を進める。

高精度な遅延測定を行うために、統計処理による量子化誤差の低減を行う。本研究では、フィールドでの VLSI の自己テストにより回路遅延を測定するが、回路の遅延は、劣化だけでなく、回路の電圧、温度の変動による環境にも依存する。そこで、測定誤差を低減するために、モニタ回路を利用した遅延測定値補正、テスト時温度安定化を行う。単純なオンチップでの遅延測定は、IBM やインテルが高い技術水準を有しているが、フィールドでの温度・電圧変動を考慮した遅延測定を仮定していない。また、単なるオンチップの温度センサや電圧センサは多く知られ実用化されているが、両方を同時測定でき、標準ライブラリのセルで論理回路として構成可能な方法は、知られていない。

適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たすために、分割・巡回テスト技術、高品質遅延テスト集合技術、劣化検知テスト技術を開発する。分割・巡回テストでは、VLSI 全体のテストを複数回のテスト機会に分割して行うことで、1回のテストのテスト時間・テストデータ量を削減する。高品質遅延テスト集合技術では、テスト時間、テストデータ量の制約に応じて遅延テストの品質を最適化する。劣化検知テスト技術では、劣化メカニズムを考慮したテスト対象の絞り込みを行い、特定の劣化メカニズムに特化したテストの最適化を行い、テスト時間、データ量を削減する。さらに、生産テストで利用される BIST 技術を改良し、ハードウェアによるテストデータ量の削減を行う。テスト時間やデータ量削減のための技術は、1990年代後半から2000年代前半にかけて、テスト分野の最大の研究テーマの一つとして数多くの研究がなされ、最近では、既に EDA ベンダによる実用化が進んでいる。これらは、製造テストの低コスト化を主目的としているため、フィールドの厳しいテスト制約には対応しきれない。またフィールドでの BIST という観点から、本研究はテスト時の電力や温度低減による電圧ノイズ低減と BIST の大量テストパターンに対応可能な高速検証技術の開発も推進している。

システム化では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを、提案するモニタ回路やテスト結果のログ機能と連動させてフィールドテストのためのテストアーキテクチャを実現する。生産テストの枠組みを再利用することで、ハードウェアオーバーヘッドを抑え、テスト品質を保証することを可能にする。BISTによりフィールドテストを実行し、それらの情報をネットワーク経由で収集しチップを監視する技術は、シスコシステムズが先進的な取り組みを行っている。その取り組みと比較すると、本研究は、故障が発生する前に警告できる点、テスト品質を考慮したテストパターンの構成において優れている。



図 3. 研究のアプローチ

本研究で提案している方法・アイデアの優位性、独創性を以下に示す。

本研究では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用して、フィールドテストを実現する。この手法は、フィールドでのシステム運用時のオンライン使用と、システム開発時やシステム休止時のシステムデバッグでのオフライン使用と、双方で利用可能である。オンラインでの使用は、定期的な遅延測定により劣化による遅延の増加を捕らえるため、フィールドでのシステムの信頼性向上に貢献する。一方で、オフラインでの使用は、出荷前のチップの遅延マージンおよび初期の劣化量を測定し信頼性の低いチップを事前に検出可能なほか、チップ内部の情報獲得手段を提供できるため、フィールドでのシステムのデバッグ効率向上に貢献する。さらに、本研究では、テスト時間、テストデータ量の厳しい制約の下で、テスト品質を最大化する技術、非同期回路テストおよびテスト容易化設計技術を提供する。これらの技術は、生産テストにも適用可能であり、同期回路、非同期回路、両者を混載する GALS (大域非同期局所同期) システムを含む VLSI チップの品質向上に貢献する。

適用対象については、技術的な適用可能性だけでなくコスト許容性により導入の可否が決定される場合が多い。本研究のアプローチは、表 1 に示した対象のうち、長期間の使用で冗長設計による高信頼化が許容されるプラント制御・交通システム等に最も適合する。ネットワーク機器や性能選別が必要なサーバにも本研究のアプローチは適合する。一方で、車載 LSI や民生用 LSI は、技術的には適用可能であるが、外部ピンやチップ面積等のコスト制約が厳しいため、直ちに現製品への適用は困難であるが、次世代以降の必要技術として提案していく。

本研究は、類似の研究と比較して、以下の優位性を有する。

- ・ 適用対象が SoC、NoC、マルチコアと、広範な VLSI のアーキテクチャに対応できる。
- ・ LSI の他、FPGA を用いたシステムへの適用も可能である。
- ・ 生産テストで使用される DFT の枠組みを利用するため、システムへ与える影響が少なく、開発する技術は生産テストやシステムデバッグの効率化にも貢献する。

また、以下の独創性を有する。

- ・ 論理回路の動作マージンを高精度に測定可能
 - 遅延測定時の温度・電圧モニタと測定遅延値の補正機能
 - 温度・電圧モニタとして、標準ライブラリで構成可能な非劣化リングオシレータ回路を発明
 - テスト時の消費電力のみならず、温度も制御可能なテストパターン生成技術
- ・ 適用対象のテスト制約(テスト時間、メモリ量)に、フレキシブルに対応可能なテスト方式
 - フィールドでの複数回のテスト機会を活用
 - 効率的にテスト対象を抽出するテスト技術
- ・ 測定結果ログの記憶とシステム診断への適用

(3) 本研究の達成目標

フィールドテストの実現方法として、本研究はシステムの空き時間(パワーオン・パワーオフ・アイドル時など、あるいはシステムの専用メンテナンス時)を利用した VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする回路・システム機構を開発する。研究のアプローチとして、DART と命名した以下の 4 つの的を狙った要素技術を開発し、並行してシステム化およびフィージビリティ検証を進める。

D(取扱い可能な劣化要因の比率)の向上

A(測定精度により検出可能な比率)の向上

R(修復可能な比率×修復による MTTF 増加比率)の向上

T(パワーオン・パワーオフテストによる検出率)の向上

具体的には、表 2 に示すように、開発すべき DART 技術を 4 つの研究項目に大別し、それぞれの研究項目をさらにブレイクダウンすることにより、詳細な研究目標を設定する。

研究項目1の高精度遅延測定は、フィールドで高精度に回路の遅延を測定する技術の開発を目的とする。DART 技術では、自己テスト・診断により回路内のパスの遅延測定を行い、劣化による故障の事前予測や故障検出を実現する。システムクロックに対し1-2桁小さい精度での遅延測定を実現し、劣化量を遅延の増加として測定し、劣化による障害を事前予測するシステムを実現する。

研究項目 2 のテスト制約対応では、適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たす技術の開発を目的とする。表 2 で示す目標値は、製造テストでのテスト制約に比べ非常に厳しい制約であるが、これらを達成することにより、DART 技術導入によるシステムへの負荷を低減し、提案技術の実用化を可能にする。

研究項目 3 のシステム化対応は、システム稼働中でもテスト可能にする技術の開発を目的とし、DART 技術をシステム適用可能にする。

研究項目4の実用化対応では、開発技術のIP/ツール化により多くのポテンシャルユーザが評価/導入可能にするとともに、企業連携による実システム適用を含むフィージビリティ検証で、提案するIP/ツールが実用的であることを実証する。さらに、組み込んだシステムからフィールドテストで実システム内部の遅延値などのデータの取得・解析が可能であることを実証し、本技術が VLSI のディペンダビリティ向上に有用な手法であることを示す。

表 2 研究項目と達成目標

研究項目	目標	効果と説明
1:高精度遅延測定	50ps 以内の遅延測定誤差	温度や電圧の変動をデジタル測定可能
	テスト時の温度変動 5℃以下	温度変動による誤差の低減
2:テスト制約対応	検出率95%以上	テスト品質の確保
	テストデータ量 3000 分の1以下	オンチップのメモリに搭載可能
	1 回のテスト時間 10~200ms	システム動作への影響を低減
3:システム化	論理 BIST による実現	既存回路の利用による付加回路量の低減
	非同期回路への対応	NoC への適用可能
	テスト履歴の活用	劣化判定と診断効率の向上
4:実用化対応 (発展テーマ提案)	開発技術の IP/ツール化	一般ユーザの評価/導入可能
	フィージビリティ検証による有効性・効果の実証	実システムへの組み込み/試作/シミュレーションによる実用性の実証(性能、精度、フィールドデータ取得、運用時の性能・動作環境モニタリング等)
	機能安全国際規格化	提案技術の標準化

1.2 研究実施方法

(1) 本研究チーム全体の運営と取りまとめ方針

本研究チーム運営において、以下の3つを基本方針としている。

方針1:世界トップレベルの研究成果

フィールドテスト技術によるシステムの高信頼化を達成するために、各個別技術に対して設定した数値目標をクリアすることを目指す。特に、精度の高い遅延測定とリソース制約下でのテスト生成には、これまでの研究を凌駕する成果を必要とする。技術の高さを立証するために、世界トップレベルの学術論文誌や国際会議での論文採択を目指す。また実システムでの評価や試作等による評価で有効性・効果を実証する。

方針2:企業連携による提案システムの実用化

企業調査により技術ニーズの明確化と要求項目の定量化を行い、さらに、企業と連携して、提案システムの実用化を目指す。本システムは、ディペンダビリティを必要とするシステムに組み込んで、システムのフィールド高信頼化を達成するため、実用化には本システムを組み込むシステムとの連携した開発を必要とする。この実用化のための開発で企業と積極的に連携し、実用化による本システムの有用性の立証を目指す。また企業連携の結果をフィードバックして、開発技術の汎用化・標準化を目指す。

方針3:機能安全標準化に向けた取り組み

LSI 劣化検知のためのフィールドテストは、微細化の進む LSI のフィールド高信頼化を達成する有効な手段になると考えている。劣化検知テストが機能安全標準化の要件となるよう働きかける。

上記方針に基づき、研究グループ間で連携して、研究開発を以下のように進めている。

- ・ 個別技術の研究は、それぞれ、グループ単独、または、複数グループで連携して研究を行っている。さらに、グループ内打ち合わせを設け、各研究成果のレビューを行うことで、研究成果の技術水準の向上を目指している。
- ・ 企業連携に関しては、全グループが共同で企業調査、企業連携による実用化を進めている。
- ・ システム全体のフィージビリティ評価については、全体で、項目・内容・評価方法を議論し促進する。
- ・ 機能安全標準化に向けては、まず、本提案システムの有用性の立証を行い、機能安全国際規格 IEC61508 への要件化への働きかけを行う。

(2) 研究グループの分担

① 「九工大」グループ(研究代表者グループ)

A) 劣化検知箇所選定・テスト生成

劣化検知において、回路を網羅的に調べるとテスト時間やテストデータ量が膨大になる。適用分野に応じて定められたテスト時間やデータ量の制約を満たしながら、劣化による不良を見逃さないような劣化検知手法の開発が課題である。劣化による素子の遅延増加率を見積もり、劣化による故障が早期に顕在化する箇所をテスト

に含むようにテスト対象を絞り込むことを目標とする。これにより、定められたテスト時間やテストデータ量の範囲内で劣化検知や設計マージンの測定が可能になる。従来の遅延増加率の見積もり手法は、多くの回路に対して過剰な見積もりとなる一方、局所的には危険な箇所が見逃されている可能性がある。本研究の成果は、劣化後に故障を起しやすいつパスをより正確に見積もることができる。

B) 補正を伴う劣化判定

「首都大」グループと連携して取り組んでおり、下記の「首都大」グループの研究課題(A)にその内容を示す。

C) SoC/NoC 温度制御

「奈良先端大」グループと連携して取り組んでおり、下記の「奈良先端大」グループの研究課題(A)でその内容を示す。

D) 品質・コスト制御インテグレーションとテスト時間制御

フィールドテストにおける様々なテスト制約(テスト時間、データ量、電力・ノイズ)を満たしながら目標のテスト品質を得ることを可能にするテスト生成回路やテスト印加手法の開発が課題となる。テストデータをオンチップのメモリに保存するため、テストデータ量を元のテストデータの 3000 分の1以下に圧縮する技術の開発、および、1 回当たりのテスト時間 10~200ms の制約に対応する技術の開発を目標とする。テスト品質を確保した上で、テスト時間やテストデータ量の制約を満たすことができる。さらに、テスト時の回路のトグル率を適性レベル(例えば 50%から 20%)まで削減する技術の開発も目標とする。これにより、テスト時の電流が低減し、ノイズによる遅延の変動が抑制され誤動作を防止できる。スキャンベースの BIST における故障検出率向上とテストデータ量削減は、生産テストにも適用でき、テストコスト削減に役立つ。テスト品質を考慮した分割テストによるテスト時間削減は、テスト機会が複数回あるフィールドテスト固有の技術であるが、本研究で始めて提案された新規の概念である。電力・ノイズを考慮したテスト手法として、トグル率を制御できる新しい BIST 手法を開発する。

E) 試作チップ設計・製造・評価

上記(b)で得られた成果が実際の LSI 上で機能するかを、実チップにより評価することにより、提案手法の有効性を確認し、より良い手法に改善していくことが課題である。技術的な独創性と優位性は、(a)に示される内容である。上記(a)で得られた成果に基づいて、NBTI による劣化進行を抑えることのできる 3 種類の RO を用いて温度・電圧推定可能な回路を 180nm で設計し、VDEC でチップ試作を行う。実チップでの動作検証により、劣化の進行を観測できるようになり、設計や診断に関する新しい知見を得る。また 90nm、45nm の微細化プロセスについてはシミュレーションベースで評価を行う。

② 「奈良先端大」グループ

A) SoC/NoC 温度解析・温度制御

DART システムでは、組込み自己テスト(BIST)を利用してフィールド使用時の回路の遅延測定を行う。回路遅延は回路温度に影響されるため、BIST 利用時の温度を解析し、測定精度の向上につなげ、更に、温度変動の低減による測定精度の向上が課題である。BIST 実行時のチップ内位置による空間的温度変化を 10°C 以内、および、同一位置の時間による時間的温度変化を 5°C 以内に制御すること低減することを目標とする。これにより、テスト時の回路温度による遅延変動を解消し、遅延測定の精度を向上させることができる。

B) テストアクセス機構・スケジューリング

DART システムでは、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用してフィールドテストを実現する。生産テストのための DFT と本研究で開発する技術を連携・制御するシステム機構の実現、定期的に訪れる短いテスト時間を利用して、回路全体を網羅的に効率よくテストすることが課題であり、DFTと連携するテスト制御回路とテストアクセス機構の提案、劣化を見逃さずテストを行うテストスケジューリング法の提案が目標である。

C) インターコネクトテスト

大分大グループと連携して研究を行う。

D) 品質・コスト制御インテグレーション

九工大グループと連携して研究を行う。

E) SoC/NoC 診断

フィールドテストの結果を解析し、回路のどの部分の劣化が進んでいるか、どの部分に故障が存在するかを診断する技術を研究する。テストデータ量を抑えた診断技術の確立が課題である。

F) IP/ツール化

DART システムの実用性を実証するために、システムの IP 化、ツール化を行う。

③ 「首都大」グループ

A) 補正を伴う劣化判定

本研究チームの主要課題では、フィールドでの LSI の劣化度合いを回路遅延時間の増加として検知することを目的とする。計測された遅延時間には、劣化成分と動作環境成分があるため、高精度で劣化による遅延時間成分を取り出すには、LSI の動作環境(温度、電圧)を既知にする必要がある。そのためにテスト対象 LSI について、簡易な方法で精度の高い温度と電圧の推定を行う仕組みの実現が課題となる。本研究では通常のセルライブラリを使用して RO を構成するため、本研究課題以外にも温度・電圧センサとして広く適用可能である。また RO を用いた温度・電圧センサは、サーマルダイオード等を利用した専用センサよりも応答速度が速く、短時間(数 ms)での温度・電圧計測に適しているため、その適応範囲は広いと考えられる。また遅延測定時の LSI の温度・電圧を初回測定基準値との差分(相対値)としてデジタル処理することで、近似式による温度・電圧推定誤差の低減や測定回路の製造ばらつきの影響の低減をはかることができる。(a)と下記(b)の研究課題を合わせて、高精度な動作環境モニタ回路とデータ処理方法を開発する。通常のセルライブラリで構成可能な 3 種類の異なる RO の利用と温度・電圧推定を簡易に処理できる方式を用いることで、実装が容易でかつ高精度な劣化検知のための遅延測定回路・方式を実現できる。

B) 測定回路設計

上記(a)を実現する回路構成を具体化するために、リング発振器(RO)を用いた温度・電圧センサの開発が課題である。広範な LSI に適用可能とすること、RO 自体が耐劣化性を有する構成であることも課題となる。劣化進行を抑えた回路構成にすることで、電源をオフにせず RO 自体の劣化を抑えることができる。また本 RO 構成を利用することで、一般の CMOS 回路の劣化量の推定や劣化の補正にも適用可能となる。

C) 試作チップ設計・製造・評価

上記(A)で得られた成果が実際の LSI 上で機能するかを、実チップにより評価することにより、提案手法の有効性を確認し、より良い手法に改善していくことが課題である。技術的な独創性と優位性は、(A)に示す内容である。上記(A)で得られた成果に基づいて、NBTI による劣化進行を抑えることのできる 3 種類の RO を用いて温度・電圧推定可能な回路を 180nm で設計し、VDEC でチップ試作を行う。実チップでの動作検証により、劣化の進行を観測できるようになり、設計や診断に関する新しい知見を得る。高精度遅延測定の仕組みを、単にシミュレーションによる確認にとどまらず、試作チップでの検証および開発手法の有効性の確認ができる。また 90nm、45 nm の微細化プロセスについてはシミュレーションベースで評価を行う。

④ 「大分大」グループ

本研究グループでは、チームが有する上述の研究項目と達成目標に対し、主に「高精度遅延測定」および「システム化」の研究項目に焦点を当て、以下の個別技術の研究を行っている。

A) SoC/NoC 温度制御

本研究におけるフィールドでの劣化検知は、BIST を用いた回路遅延測定により行う。回路遅延は回路温度に影響されるため、BIST における温度変動の低減による測定精度の向上が課題である。

B) インターコネクトテスト

システムの大規模化に伴い、同期モジュール間を非同期インターコネクトで相互接続する GALS 設計が主流となりつつある。GALS システム全体のディペンダビリティのため、同期モジュール内部だけでなく、非同期インターコネクトのテスト技術の確立が課題である。

C) SoC/NoC 診断

本研究では、修復のための劣化や故障箇所などの診断情報を提供する。SoC/NoC システム全体の診断のため、同期モジュール内部だけでなく、非同期インターコネクトの診断技術の確立が課題である。

D) 実用化対応

提案技術の実用化のため、企業や他研究機関へ技術移転を行うが、移転先のツール環境や回路規模などへの対応が不可欠である。企業や他研究機関との連携における課題を扱う。

(3) 領域外部の企業等との連携

これまで、半導体及びシステム関連企業8社を訪問し、フィールド高信頼化技術に対する産業界のニーズ調査を行っている。その結果、3社(4部門)とNDAを締結して協議を行っており、そのうち2社とは、共同研究契約に至っている。その中で、システムメーカ1社とは、実製品への適用を検討し共同での開発を行った他、大学

側で開発した設計技術の移転も行っている。その他、1社が遅延測定技術に、2社が高品質遅延テストに、1社がテスト時電力・温度制御技術に興味を示している。

海外の大学とは、Hanbat National University(韓国)の Prof. Li (奈良先端大グループの元研究員)と、SoCのフィールド高信頼化手法に関して共同研究を行っている。その他、Nanyang Technological University (Singapore)と非同期インターコネクトの設計とテスト技術に関する共同研究により、現実的な設計技術に対応するテスト技術の開発を目指している。

(4) 領域内他研究チームとの連携関係

非同期インターコネクトのテストに関して、実際に NoC の設計を行っている CREST/DVLSI 米田チームと連携している。ここでは、米田チームで試作中の NoC に搭載された、非同期チャネルおよび非同期ルータに対するテスト容易化設計を行っている。試作チップへの適用も検討しており、実用化のための技術課題の抽出およびその解決を目指している。

1.3 研究グループの今年度の研究の狙い

① 「九工大」グループ(研究代表者グループ)

a) 補正を伴う劣化判定

昨年度までに開発した劣化判定方法の高精度化を目指し、温度・電圧モニタ回路の製造ばらつきを考慮した温度・電圧推定方法を検討する。また昨年度試作したモニタ回路を活用して、回路シミュレーションと併用しながら、製造ばらつきのモニタ回路への影響、および温度・電圧推定方法の有効性を確認する。

b) 品質・コスト制御インテグレーション

テストデータ量、テスト実行時間、テスト時消費電力、故障検出率といったリソース制約の下で、テスト品質を最大化する手法を提案する。奈良先端大とも連携しながら、テスト時消費電力を考慮したテスト生成手法、BIST 環境での高品質テスト生成手法に関して実用性の高い研究をする。

c) 試作チップ設計・製造・評価

首都大グループと連携してこれまでに試作したチップの評価を行い、上記(1)の方式や回路の妥当性を検証する。また得られた結果をフィードバックしてさらなる測定精度向上やシステム化の方法を検討するため、新たに、BIST のテストパターン生成機能やパス遅延可変機能を含んだチップ設計・試作を行い、その評価を開始する。

d) 実用化対応

フィージビリティ検証、IP 化/ツール化、規格化推進活動に関して、他グループと連携し、チーム全体で取り組む。提案技術に興味を示す企業を探し出し、EDA ベンダ、半導体メーカ、システムメーカのすべてを対象に、協力企業を増やしていく。

② 「奈良先端大」グループ

a) 品質・コスト制御インテグレーション

テストデータ量・テスト時間削減下でのテスト品質の最大化に取り組む。DART システムでは、精度の高い遅延測定をシステムクロックより高速なテストクロックを用いたテストで実現する。このような環境のテストでは、温度、電圧による影響を慎重に考慮する必要がある。今年度は、これまでに提案したテスト時温度制御に加え、IR ドロップによる電圧降下を考慮したテスト検証手法を提案し、遅延測定の精度向上を目指す。

b) アダプティブテスト

昨年度から続く研究課題である。昨年度提案したアダプティブテストのためのテストスケジューリング手法評価結果をフィードバックし、実用性の高い手法を提案する。

c) SoC/NoC 診断

テスト応答から、実際に故障した箇所を特定するためのテスト応答解析について取り組む。高速テストクロックを用いた BIST 環境では、テスト応答に不定値が多く含まれる可能性があるため、少ない制御用データ量で不定値を効率よく除去する手法を提案する。

d) 実用化対応

これまでにチームで提案した要素技術を実際に実装することで、DART システムの実用性を実証することがねらいである。実装時に新たに課題が見つかり、さらにシステムを改善できることも期待する。

③ 「首都大」グループ

a) 補正を伴う劣化判定の高精度化

昨年度までに開発した劣化判定方法の高精度化を目指し、温度・電圧モニタ回路の製造ばらつきを考慮した温度・電圧推定方法を検討する。またモニタ回路以外に遅延測定系の全体の遅延時間測定精度の見積もりを行う。

b) 試作チップ設計・製造・評価

九工大グループと連携して昨年度の試作チップの評価を行い、モニタ回路の温度・電圧推定精度の評価および論理パスの遅延時間の計測精度の評価を行う。また得られた結果をフィードバックしてさらなる測定精度向上やシステム化・IP 化の方法を引き続き検討する。

c) 実用化対応

フィージビリティ検証、IP 化/ツール化、規格化推進活動に関して、他グループと連携し、チーム全体で取り組む。特に DART 技術の中の遅延時間測定系回路の実装方法を検討する。

④ 「大分大」グループ

① SoC/NoC 診断

i. 遅延増加量の特定

テスト応答から故障箇所、故障による遅延増加量の特定に取り組む。束データ方式の非同期式回路の場合、遅延素子を用いて局所的に回路の状態遷移のタイミング制御を行っている。この回路の場合、遅延素子に可変機能を持たせることにより、遅延量を制御して回路遅延を増加するような劣化による故障を修復する方法があるが、その場合、遅延量増加量の特定が必要となる。本研究では遅延増加量を特定し、可変遅延素子へのフィードバックする機構を提案する。

ii. ハザードなし遅延テスト生成

遅延量の特定のためには、精密な遅延テストを行う必要があり、特定のパスをハザードのないテストを用いてテストを行う必要がある。本研究ではハザードのないパス遅延故障テスト生成法を提案する。

② 実用化対応

線形フィードバックシフトレジスタ(LFSR)をパターン発生器とするスキャンベース BIST において、特定の故障を検出するテストパターンを発生する方法として、リシーディングによる方法がある。これに用いるシードは、テスト生成ツールによりスキャンパターンを生成し、それをシードへ変換することにより求められる。しかしながら、この方法はドントケア付きのパターン生成を行う必要があり、故障シミュレーションの効率が悪くパターン数が多くなる。これにより、実用化において大規模回路を扱う際、膨大なテストパターンを出力する必要が生じ、ファイルの入出力に膨大な時間がかかる。また、生成されたパターンが必ずしもシードに変換できるとは限らないため、故障検出率向上の余地がある。本研究ではテスト生成ツールにより直接シードを生成することによりシード生成の効率化に取り組む。

③ SoC/NoC 温度制御

BIST 時のチップ温度の均一化への取り組みは昨年度の研究課題であったが、昨年度の成果では一部の回路に対する効果が不十分だった。それらの原因を解析し、さらなる改善策が得られたため本課題についても継続して取り組む。

§ 2. 研究実施体制

①「九工大」グループ

ア 研究分担グループ長: 梶原 誠司 (九州工業大学情報工学研究院、教授) (研究代表者)

イ 研究項目

(1) 補正を伴う劣化判定

- (2) 品質・コスト制御インテグレーション
- (3) 試作チップ設計・製造・評価
- (4) SoC/NoC 診断
- (5) 実用化対応

②「奈良先端大」グループ

ア 研究分担グループ長:井上 美智子 (奈良先端科学技術大学院大学情報科学研究科、教授)

イ 研究項目

- (1) 品質・コスト制御インテグレーション
- (2) アダプティブテスト
- (3) SoC/NoC 診断
- (4) 実用化対応

③「首都大」グループ

ア 研究分担グループ長:三浦 幸也 (首都大学東京システムデザイン学部、准教授)

イ 研究項目

- (1) 補正を伴う劣化判定
- (2) 測定回路設計
- (3) 実用化対応

④「大分大」グループ

ア 研究分担グループ長:大竹 哲史 (大分大学工学部、准教授)

イ 研究項目

- (1) SoC/NoC 診断
- (2) 実用化対応

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

3.1 研究の成果と自己評価

(1) 成果1.「補正を伴う劣化判定」(首都大グループ、九工大グループ)

①内容: 本研究課題ではフィールドにおける回路の劣化を遅延時間の増加として検出する。そのためにはオンチップによる高精度な遅延時間の測定方法の実現が必要となる。ODCS (on-die clock-shrink)を使用して遅延計測時にだけ可変のスキヤクロックを活用して論理パスの遅延時間の測定を行う。測定した遅延時間から動作環境成分を取り除くために、温度・電圧モニタ回路(リング発振器)で回路の温度・電圧推定を行い、環境成分の補正を行う。試作チップおよび回路シミュレーションを通して個別要素技術の評価と全体システム評価を行い、遅延時間測定系の精度向上に取り組む。また製造ばらつきや測定時誤差を考慮した高精度なオンチップ遅延測定方法を評価する。ODCS はスキヤクロックのタイミングを制御可能であり、このタイミングのずれ(遅延時間のばらつき)が遅延時間測定の誤差要因となる。また温度・電圧モニタ回路で推定した温度・電圧の誤差は測定対象パスの温度・電圧特性に起因する遅延時間の誤差となる。これ以外に遅延時間測定ごとの遅延測定系全体のノイズ等に起因する誤差成分があるが、繰り返し測定により最小化される。これらの誤差要因を考慮して、回路シミュレーションおよび試作チップから遅延時間測定系の精度評価を行う。
[A-1]

②有用性: 当初の温度・電圧推定方法では 300MHz 動作の論理パス(パス遅延 3ns)に対して 5.8ps(温度推定誤差=3.2°C、電圧推定誤差=11.8mV)の遅延計測誤差を見込んでいたが、温度・電圧の区分分割法を適用することで 1.9ps の遅延計測誤差まで改善できた。また 10%の製造ばらつきを仮定してもリング発振器の周波数にばらつき補正を加えることで 5.7ps の遅延計測誤差で温度・電圧推定が可能である。また ODCS 利用のスキヤクロックの発生タイミング精度を 20ps と仮定すると(バッファ 1 段の半分の遅延時間)、遅延測定系全体の精度(誤差)は 26ps となる。遅延時間測定に ODCS 技術を組み込みことで、被測定回路の論理機能

への影響がほとんどない可変のクロックタイミングを生成できる。温度・電圧モニタ回路を含む測定系回路はデジタル回路によるハードウェア実装であるが、データの処理・補正はソフトウェアで実現可能であり、種々の回路への適用が可能となる。

③優位比較： 測定系回路では既存BIST回路を活用し、またDART技術として組込む回路はODCSと温度・電圧モニタ回路およびその制御回路であり、被測定回路の通常動作への影響はほとんどない。また7.2Mゲートの被測定回路に対して測定系回路のうちの温度・電圧モニタ回路とその制御回路は約0.1%の面積オーバーヘッドで実装可能である。またODCSではバッファ1段分の遅延時間でスキヤクロックのタイミングを制御可能であり、システムクロックを変更せずに可変のテストクロック制御が可能である。このように提案手法は被測定回路の性能・面積への影響を最小限にし、かつ数十psオーダの誤差精度で遅延時間の測定が可能なデジタル化した処理回路・方式を提供できる。

(2) 成果2.「IR ドロップ高速解析」(奈良先端大グループ)

①内容

疑似ランダムテストパターンを用いたテストでは、通常動作時より一般に消費電力が高く、過度のIRドロップによるテスト結果の誤判定などが懸念される。テストパターンのIRドロップ解析は、EDAツールを用いて行うことが可能であるが、小規模回路であっても多大な時間を要するが、大量なBISTのパターンにそのまま適用するのは困難である。そこで、EDAツールでのIRドロップ解析の精度を維持したまま、解析時間を高速化するIRドロップ見積もり手法の提案を行った。提案法では、個々のテストパターンに対し、そのパターンを回路に印加した際に起こるIRドロップ値を、回路を構成するすべてのセルに対して高速に見積もることが可能である。EDAツールによる解析と比較して、同様の精度を維持したまま、解析時間を30倍以上高速化を達成した。表3に、提案手法のITC99ベンチマーク回路を用いた評価結果を示す。提案手法1は[B-1]で発表した結果であり、提案手法2は解析時間をさらに高速した結果(国際ワークショップで口頭発表)である。表中の「EDAツール」は、シノプシス社のツールを用いた解析時間、EDAツールとの相関は、提案手法でのIRドロップ見積もり値とEDAツールでの解析値の相関係数を示す。また、コスト品質インテグレーションの研究成果である高品質遅延テストパターン選択法の成果をまとめ学術論文誌に投稿し、掲載された[B-2]。

表3. IRドロップ見積もり手法比較

回路	セル数	パターン数	EDA ツール	提案手法 1 (ITC2012)		提案手法 2 (WRTL2012)	
			CPU 時間 (sec)	CPU 時間 (sec)	EDA ツール との相関	CPU 時間 (sec)	EDA ツール との相関
b14	5,419	1,063	7,160	1,672	0.92	185	0.92
b17	16,007	1,284	24,635	6,842	0.98	780	0.97
b18	48,491	1,544	95,572	19,960	0.99	2,753	0.99
b19	90,422	1,984	219,864	48,689	1.00	6,814	1.00

②有用性

BISTによる疑似ランダムテストパターンを用いたテストでは、通常動作時より多くのスイッチングが起こりIRドロップに起因する遅延増加によるテスト結果の誤判定を招く恐れがある。IRドロップ起因のテスト結果の誤判定を防ぐには、個々のテストパターンに対し、回路を構成するすべてのセルでのIRドロップ値を求めることが有効であるが、EDAツールを用いた解析には長大な時間を有し実用的ではない。提案手法は、EDAツールによる解析の精度を維持したまま、解析時間の高速化を達成し、フィールドテストの精度向上のみならず、回路設計時のIRドロップ解析等に広く利用できる。

③優位比較

EDA ツールを用いた IR ドロップ解析は可能であるが、論理シミュレーション、電力解析、(電力解析を入力とする) IR ドロップ解析には多大な時間を有し、実用的ではない。提案手法は、少数の代表パターンにのみ電力解析、IR ドロップ解析を行うことで、テストパターンごと、セルごとの IR ドロップ値の高速な見積もりを可能にする。これまでの IR ドロップ解析手法を大きく高速化する手法であり、LSI 設計およびテストに大きく貢献する結果である。

(3) 成果 3. 「SoC/NoC 診断」(代表者グループ、奈良先端大グループ、大分大グループ)

①内容

DART システムでは、組込み自己テスト(BIST)を利用した可変テストクロックによるフィールドテストを行うが、BIST は疑似ランダムパターンによるテストを行うため、テスト結果であるテスト応答に不定値が含まれる恐れがあり、この場合テストデータ削減のためにテスト応答圧縮を行うとテスト結果の解析が困難になる。圧縮されたテスト応答から不定値を除去する手法はいくつか提案されているが、フィールドテストに適用するには、回路劣化が広くチップ全体で発生するため、不定値除去のためのデータ量が多くなることが問題である。そこで、データ量制約の厳しいフィールドテストに適した圧縮されたテスト応答からの不定値除去手法の提案を行った。これにより、テスト品質を落とさずテストデータ量を削減できる見通しを得た。

②有用性

従来 BIST の適用は不定値対策の負荷が大きく、普及がなかなか進まない状況であったが、近年フィールドでの利用の重要性が認識されるとともに普及が進んできた。その重要なキーとなる不定値処理技術であるが、従来手法ではテストデータ量をそれほど意識していなかった。提案手法は、小規模なカウンタ回路の追加のみでデータ量削減を実現できることから実用性は高い。また、テスト品質とテストデータ量のトレードオフの自由度も高く、広い範囲での適用が期待できる。

③優位比較

従来のデータ量削減手法としては、複数のコントロールデータを共通にしてコード化する方法が提案されているが、この手法ではコントロールデータを用いるタイミング情報に関するデータ量の削減が困難である。提案手法は、コントロールデータをやや増やしつつタイミング情報のデータを不要にする方法であり、従来手法と組み合わせることでコントロールデータの全体量を削減することで、より大きな効果を発揮することができる。

(4) 成果 4. 「品質・コスト制御インテグレーション」(九工大グループ、大分大グループ)

①内容: テストデータ量、テスト実行時間、テスト時消費電力、故障検出率といったリソース制約の下で、テスト品質を最大化する手法を提案した。特に、論理 BIST におけるスキャンテスト時の低消費電力化の課題に対して、LFSR (線形フィードバックシフトレジスタ) が発生する疑似ランダムパターンのトグル率を制御することでテストパターンのスキャン入力時の消費電力を制御する手法を開発した [C-1]。更に、テスト応答のスキャン出力時のトグル率を低下させるための手法も開発し、スキャンインとスキャンアウトの双方で低消費電力化を達成することに成功した [C-2]。また、論理 BIST において高検出率のテストを可能にする

②有用性: 提案した手法は、単にスキャン BIST のテスト時消費電力を下げるだけでなく、消費電力を目標とするレベルに制御することが可能になった。出力パターンの変更を伴うため、故障検出率低下の懸念を伴うが、マルチキャプチャによる FF 値の途中観測手法を開発し、故障検出率低下の問題を解決した。また、提案手法では、FF 周辺に付加回路を必要とするが、その面積オーバーヘッドも評価し、実用的に問題ないことを確認している。論理 BIST が有するテストデータ量・テスト実行時間の優位性に加え、テスト時消費電力、故障検出率、付加回路面積の問題をクリアしており、有用性は高いと考えられる。

③優位比較: 消費電力は、高すぎることで誤テストを引き起こすことが問題視され、低消費電力化することが課題であるが、低下しすぎると故障の見逃しを生じさせるため、適切なレベルに制御することが望まれる。テスト時消費電力に関する研究は、単に低消費電力化だけを指向したものが多く、適切なレベルを設定してそのレベルに制御する研究は少ない。また論理 BIST の電力制御に関しても、メンターグラフィックス等から学会発表されているが、スキャン出力パターン制御を伴う手法はなく、消費電力制御の精度に限界がある。本研究は、出力パターン制御を伴うため、より精度の高い制御が可能となった。

(5) 成果5. 「DART-IP 化の推進と FPGA での実証」(奈良先端大グループ、代表者グループ)

①内容

DART 技術の実際の LSI への実装容易化を目的として、これまでに開発した要素技術に基づいた DART 技術の IP 化を進めた。DART-IP は DART 技術を実現するための構成要素で、ガイドライン、ソフトウェア IP(SW-IP)、ハードウェア IP(HW-IP)で構成される。図4に DART-IP の構成を示す。

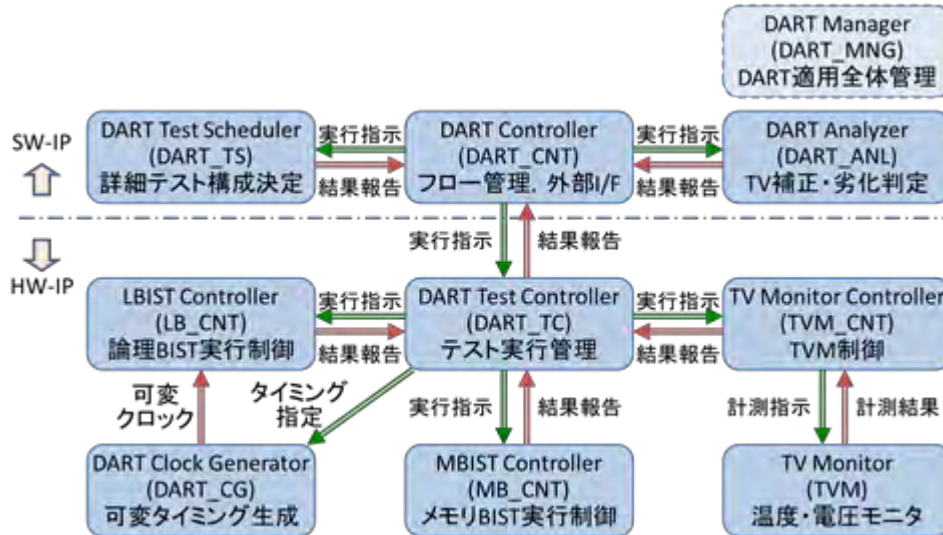


図4 DART-IP の構成

DART Manager(DART_MNG)は、DART 仕様の決定や DART 実装フロー管理などの DART 技術の適用全般を管理する IP で、ガイドラインとして提供予定である。フィールドでの DART 動作フローを管理するのが DART Controller(DART_CNT)で、ソフトウェア IP として提供予定である。DART_CNT は、DART テスト実行情報やテスト結果ログ情報を格納する外部不揮発メモリ及び内部作業用メモリ(DART メモリ)との情報の授受、詳細テスト構成決定処理実行の DART Test Scheduler(DART_TS)及び温度・電圧補正計算処理実行の DART Analyzer(DART_ANL)への指示を行うほか、DART Test Controller(DART_TC)に指示して DART テストを実行させる。DART のハードウェア IP 全体を取りまとめて DART テスト実行を管理するのが DART_TC であり、DART_CNT からの指示を受けて DART メモリに格納されたテスト実行情報に基づき DART テストを実行する。テスト対象がロジック部であれば、LBIST Controller(LB_CNT)を起動しロジック BIST を実行させる。この際、テスト対象部分の最大動作周波数を測定するため、DART Clock Generator(DART_CG)によりクロックタイミングを適宜変更する。一方、テスト対象がメモリ部であれば、MBIST Controller(MB_CNT)を起動しメモリ BIST を実行させる。いずれのテスト実行時も、その時の温度・電圧を推定するため TV Monitor Controller(TVM_CNT)を起動して温度電圧モニタ(TV Monitor(TVM))による計測を行わせる。また、テスト完了後は DART_TC がテスト結果をまとめて DART メモリに書き込むことにより、DART_CNT に情報を渡す。

これら DART-IP に関して、一部機能を先行開発し FPGA に実装して確認した。

②有用性

DART-IP 全体に関しては来年度に開発予定であるが、ソフトウェア IP に関しては C プログラムで、ハードウェア IP に関してはパラメタライズされた RTL で提供する予定である。これにより、ユーザ論理への DART 機能の実装を容易に実施できるようになる。

③優位比較

DART 技術は 1 章等に示しているとおり、LSI のフィールド高信頼化に関して優位性を持つ技術であり、DART-IP によりこれを実装容易にすることで、フィールドでの高信頼性に関して優位な LSI を実現できることになる。

3.2 上記3.1の成果うち、特筆すべきもの

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

上記の成果1を含むDART技術全体を、日立製作所との共同研究により評価したことは、特筆すべき成果で

ある。

(2) 当初計画で想定外であった重要・新規な展開

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

- [A-1] Yasuo Sato, Seiji Kajihara, Tomokazu Yoneda, Kazumi Hatayama, Michiko Inoue, Yukiya Miura, Satoshi Ohtake, Takumi Hasegawa, Motoyuki Sato, and Kotaro Shimamura, "DART: Dependable VLSI Test Architecture and Its Implementation," IEEE International Test Conference, Paper 15.2, Nov. 2012. DOI: 10.1109/TEST.2012.6401581
- [B-1] Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "A fast and accurate per-cell dynamic IR-drop estimation method for at-speed scan test pattern validation," International Test Conference, Paper 6.2, Nov. 2012. DOI: 10.1109/TEST.2012.6401549
- [B-2] Michiko Inoue, Akira Taketani, Tomokazu Yoneda and Hideo Fujiwara, "Test pattern ordering and selection for high quality test set under constraints," IEICE Trans. on Information and Systems, Vol. E95-D, No. 12, Dec. 2012. DOI: 10.1587/transinf.E95.D.3001
- [C-1] Yasuo Sato, Senling Wang, Takaaki Kato, Kohei Miyase, Seiji Kajihara, "Low Power BIST for Scan-Shift and Capture Power," IEEE Asian Test Symposium, Nov. 2012. DOI: 10.1109/ATS.2012.27
- [C-2] Senling Wang, Yasuo Sato, Kohei Miyase, Seiji. Kajihara, "A Scan-Out Power Reduction Method for Multi-Cycle BIST," IEEE Asian Test Symposium, Nov. 2012. DOI: 10.1109/ATS.2012.50
- [D-1] Takanori Moriyasu, Satoshi Ohtake, "A method of LFSR seed generation for scan-based BIST using constrained ATPG," Fifth International Workshop on Virtual Environment and Network-Oriented Applications, July 2013 (To appear).

(4-2)知財出願

- ① 平成24年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 8 件)