

「次世代エレクトロニクスデバイスの創出に資する  
革新材料・プロセス研究」  
平成21年度採択研究代表者

H23 年度 実績報告
----------------

森 伸也

大阪大学大学院工学研究科・准教授

原子論から始まる統合シミュレータの開発

## §1. 研究実施体制

### (1) 「森」グループ

- ① 研究代表者: 森 伸也 (大阪大学大学院工学研究科, 准教授)
- ② 研究項目
  - ・ 原子論から始まる統合シミュレータの開発
  - ・ 電気伝導—フォノン輸送統合シミュレータの開発

### (2) 「土屋」グループ

- ① 主たる共同研究者: 土屋 英昭 (神戸大学大学院工学研究科, 准教授)
- ② 研究項目
  - ・ 連続体・粒子モデルに基づく量子輸送シミュレータの開発

### (3) 「宇野」グループ

- ① 主たる共同研究者: 宇野 重康 (立命館大学理工学部, 准教授)
- ② 研究項目
  - ・ 弾道および準弾道輸送コンパクトモデル開発
  - ・ 電子フォノン散乱およびフォノン輸送モデリング

### (4) 「伊藤」グループ

- ① 主たる共同研究者: 伊藤 公平 (慶應義塾大学理工学部, 教授)  
植松 真司 (慶應義塾大学大学院理工学研究科, 特任教授)
- ② 研究項目
  - ・ ナノワイヤ CMOS プロセスシミュレーション開発
  - ・ 量子輸送モデル等の汎用 TCAD への移行

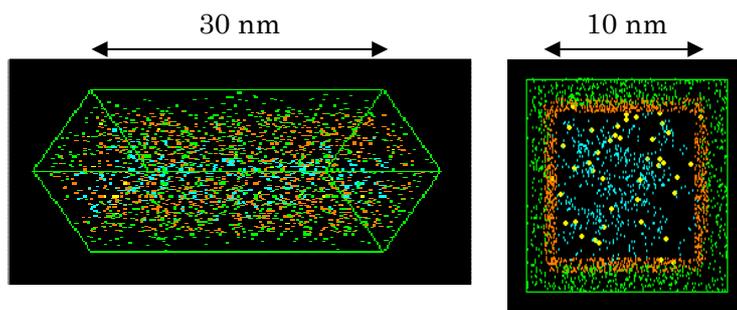
## § 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

### ナノワイヤ CMOS プロセスシミュレーション開発

本研究項目では、プロセスシミュレータによって構築した現実的なデバイス構造を用いて量子輸送シミュレーションを行えるようにすることを目的とし、そのためのナノワイヤ CMOS プロセスシミュレーションを開発する。本年度は、不純物挙動を予測するために最適なモンテカルロプログラムを確立した。まず伊藤グループですでに稼働可能な状態にあった UVAS (University of Valladolid Atomistic Simulator) を使用した。シリコンバルクの実験結果や伊藤グループで構築した厳密モデル (Uematsu モデル) による計算結果と比較してパラメータの精度向上を行い、シリコンナノワイヤにイオン注入したボロンのアニール後の分布を調べた (図 1)。その結果、多くのボロン原子はワイヤ周囲の酸化膜やその酸化膜とシリコンとの界面に偏析し、不活性化することが分かった。そのボロン活性化率はワイヤのサイズが小さくなるほど低下し、10 nm 角のワイヤでは活性化率は 10 %程度であった。さらに、特にヒ素原子についての高精度化と出力ファイルの汎用性を鑑み、Sentaurus (シノプシス社) も用いた。これにより、シリコンバルク中のヒ素拡散の予測精度が大幅に向上し、ボロン拡散についてもさらなる向上を確認した。さらに、計算したナノワイヤ中の離散的な原子配置の 3 次元座標をテキスト形式で出力するようにプログラムを作成した。そして、Sentaurus を用いて、3 nm シリコンナノワイヤ中のヒ素の原子配置を計算し、その結果を量子輸送シミュレーションに導入した。今後は、Sentaurus のパラメータ精度を向上させ、より現実的な原子配置の計算結果を量子輸送シミュレーションに繋げて行く。

図 1 モンテカルロ法で計算した 10 nm 角 (30 nm 長) シリコンナノワイヤ中のボロン原子分布：全体図 (左) と断面図 (右)。黄色の点が活性ボロン原子。



### 原子論から始まる統合シミュレータの開発

本年度は R 行列非平衡グリーン関数法シミュレータ[原著論文 1]を用いて、シリコン/酸化膜界面付近に存在する原子配置の乱れが、ナノワイヤトランジスタの電流駆動力に与える影響[国際学会口頭講演 1, 2], トンネルトランジスタにおける歪みの効果[国際学会ポスター発表 1]および空間電荷の簡易モデルの構成[国際学会ポスター発表 8]を行った。さらに、散乱の導入を目指した原子論的シミュレータ高速化を目指した原子論モデルに対する等価モデル[原著論文 6]において界面ラフネスを導入可能なランダムハミルトンモデルを構築した。

シリコン原子と酸素原子の混合系に対して調整された、半経験的原子間ポテンシャル関数を用いて、現実的な酸化シリコンナノワイヤのモデルを構築した（早稲田大学・渡邊孝信グループ提供）。その後、半経験的  $sp^3d^5s^*$  強結合近似法を用いて電子状態計算を行い、注入速度  $v_{inj}$  とドレイン電流  $I_D$  を計算した。直径 8 nm のシリコンナノワイヤの表面を、幅  $w = 2.7$  nm のシリコンコアが残るまで、14 層酸化した。この条件では、界面付近の酸化膜層に大きな歪みが発生し、自己抑制酸化機構により酸化が停止する。酸化が終了した構造において、酸素原子を取り除くことにより、輸送計算のためのシリコン原子配置モデルを構築した。その際、すべての不對結合を水素原子で終端した。図 2 に構築した現実的なナノワイヤモデルを示す。現実的なナノワイヤモデルにおける分散関係を強結合近似法により計算した。原子配置の乱れは、価電子帯と伝導帯どちらにも、大きな影響を及ぼすことがわかった。伝導帯において、非常に分散の小さいバンドが現れることもわかった。バンド構造の変化がトランジスタ性能に与える影響を調べるため、散乱を無視した弾道輸送条件のもとでドレイン電流を計算した（図 3）。n 型デバイスにおいて、原子配置の乱れにより、ドレイン電流が半分程度に減少することがわかった。幅の広い  $w = 3.5$  nm の n 型ナノワイヤでも計算を行い、この範囲では、ドレイン電流の減少は、 $w$  にほとんど依らないことがわかった。一方、p 型デバイスでは、細いナノワイヤでは、n 型デバイスと同様に、原子配置乱れが大きな影響を及ぼすが、太いナノワイヤでは、影響が小さいことがわかった。

ナノワイヤ CMOS プロセスシミュレーションとの接続に関して、運動学的モンテカルロ法（KMC 法）を用いて得られた離散不純物原子位置を用いた量子輸送シミュレーションに着手した。3nm×3nm ナノワイヤトランジスタ（ゲート長 10nm）における離散不純物原子位置と対応する電子密度分布の計算例を図 4 に示す。比較のために平均密度を揃えた連続体モデルを用いた計算結果も示した。ソース、ドレイン領域を独立に扱った KMC 法により 100 種類のサンプルを用意して、電流電圧特性のばらつきを調べた（図 5）。平均ドレイン電流は、連続ドープと比べて 80% 程度低下することがわかった。今後は、系全体を同時に扱った KMC 法を実行し、より現実的な不純物配置を用いた計算を行う。そして、不純物ばらつきがデバイス特性に与える影響を解明し、そのモデル化を行う。

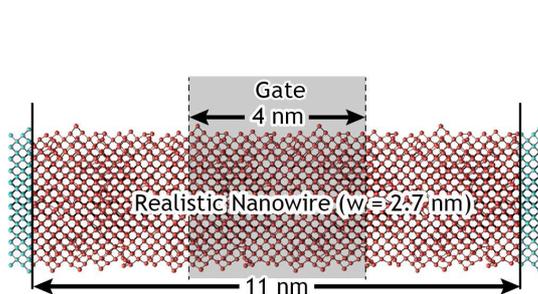


図 2 シリコンナノワイヤトランジスタ構造。分子動力学熱酸化シミュレーションにより得られたシリコン原子の配置を用いて構成。

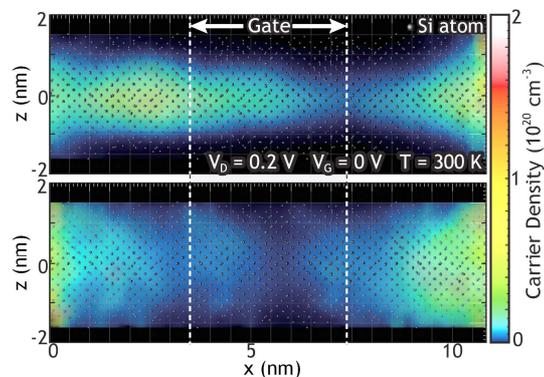


図 3 n 型ナノワイヤ(上図)および p 型ナノワイヤ(下図)におけるキャリア密度分布。

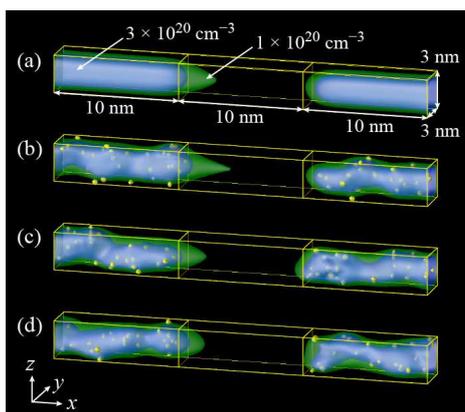


図 4 不純物原子位置(黄色)と等電子密度面(青および緑色). (a)連続体モデル, (b)高電流, (c)平均電流, (d)低電流デバイス.

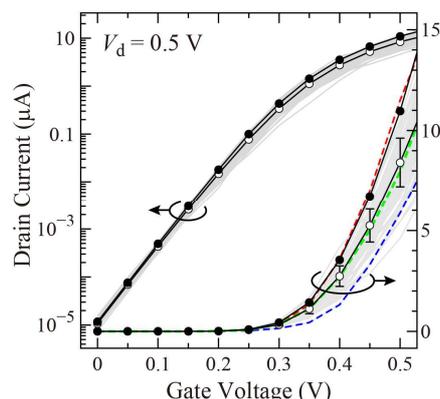


図 5 電流電圧特性. 灰色線は 100 種類のデバイスの結果. ●は連続体モデル, ○は 100 種類の平均, 赤, 緑, 青線は, それぞれ, 高電流, 平均電流, 低電流デバイス.

### 連続体・粒子モデルに基づく量子輸送シミュレータの開発

本年度は, 2 次元ウィグナー・モンテカルロシミュレータの計算精度の向上と高速化に取り組んだ[国際会議口頭講演 9]. さらに, III-V チャネル MOSFET への適用にも着手した[原著論文 4, 5]. 前者では, 反転層キャリアの量子化を考慮したフォノン散乱, 界面ラフネス散乱および不純物散乱確率の定式化を完了した. 現在, 2次元ウィグナー・モンテカルロシミュレータへの導入を行っている段階であり, 間もなく完成する予定である. また, アルゴリズムを改善することによって, 計算時間を約 5 分の 1 にまで減少させることに成功した. 図 6 はゲート長 6 nm ダブルゲート MOSFET の  $I_D - V_G$  特性の計算結果を示す. 図 7 は  $V_G = 0.1$  V でのウィグナー分布関数である. これらの結果より, ウィグナー・モンテカルロシミュレータでは, ソースドレイン間トンネリングによるサブスレッショルド特性の劣化を精度よく解析できることを実証した. III-V MOSFET 並びに Si ナノワイヤ MOSFET への適用にも見通しを得ており, 次年度以降の原子論モデル/コンパクトモデルとの統合に向けた研究に弾みがつくと考えている.

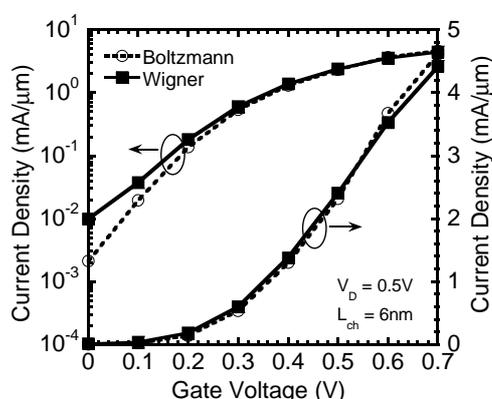


図 6 ゲート長 6 nm ダブルゲート MOSFET の  $I_D - V_G$  特性. 実線と波線はそれぞれ, ウィグナーモンテカルロ法及び古典的モンテカルロ法の結果を表わす.

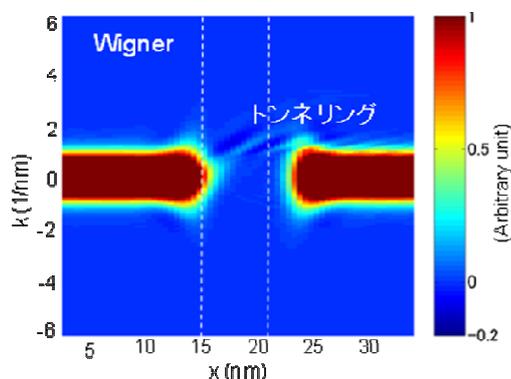


図 7  $V_G = 0.1$  V でのウィグナー分布関数.  $x = 15 - 21$  nm がチャネル領域に相当する.

## 弾道・準弾道輸送コンパクトモデル開発

今年度は主に、断面が四角形および円形の Gate All Around (GAA) MOSFET における電流電圧特性の明示的解析式コンパクトモデルの改善と回路シミュレータへの組み込みを中心に研究を行った[国内学会口頭講演 24] [国際学会口頭講演 3]. 昨年度まで、断面が四角形および円形の GAAMOSFET における電流電圧特性を明示的解析式で表現する手法を開発してきたが、①電子エネルギー準位の近似手法が複雑であり、一般的に用いられている摂動法との優劣が不明である、②様々な断面積の GAAMOSFET でのモデル精度検討が不十分である、③p型 GAAMOSFET への適用が未完のため CMOS シミュレーションに至っていない、などの問題点が残されていた。今年度はこれらの問題解決に着手し、①従来我々が用いてきた近似手法と一般的な摂動法は、デバイスの実用動作範囲内ではほぼ同程度の精度を示すことが明らかになった。②正方形および長方形断面 GAAMOSFET において、一辺が2-5 nm の範囲で良好な精度が保たれることが明らかになった。③p型 GAAMOSFET においても我々が開発してきた数値コンパクトモデルや解析式コンパクトモデル手法が有効であることが示唆された。また、④解析式コンパクトモデルにおいて励起サブバンドを含めた公式の開発に着手した。上記①の知見から、電子エネルギー準位の近似手法として一般的な摂動法を採用し(図8)、このような解析式コンパクトモデルを用いた n 型 GAAMOSFET によるインバータ回路の静特性シミュレーションが可能となった(図9)[国際学会口頭発表 3]. 上記②の知見からは、我々の解析式コンパクトモデルが断面 5 nm × 5 nm 以細の GAAMOSFET において適用可能であることが明らかとなった。また上記③の知見により、我々のコンパクトモデル開発手法を用いることで CMOS 回路シミュレーションが可能となることが期待される。そして上記④により解析式コンパクトモデルの適用範囲が更に広がることが期待される。

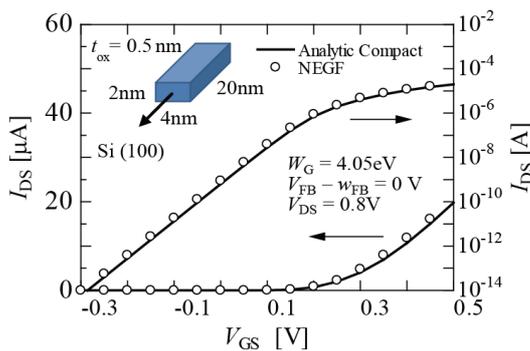


図8 断面 2 nm × 4 nm, チャンネル長 20 nm の n 型シリコン GAAMOSFET における電流電圧特性の解析式コンパクトモデル(実線)と NEGF 数値計算(白丸)の比較。

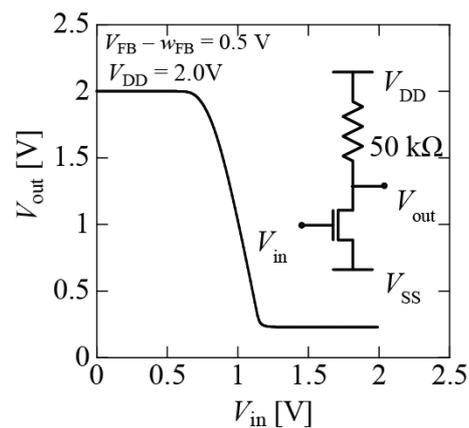


図9 図8の GAAMOSFET を用いたインバータ回路入出力特性シミュレーション。解析式コンパクトモデルを Verilog-A により記述し、HSPICE へ実装して行った。

## 電気伝導—フォノン輸送統合シミュレータの開発

微細半導体構造中の熱伝導を解析するためのフォノン輸送モンテカルロシミュレータを開発し、バルク Si および薄膜 Si 中の熱伝導に対する基本特性を詳しく調べた。本手法では、フォノンを粒子として表現し、それら集団の弾道的走行と散乱を繰り返し追跡することによって熱伝導を模擬する。今回のシミュレータの一番の特徴は、フォノン分散関係の記述にバンド計算によって得られた現実的データを反映した点である。熱拡散係数はフォノンの速度と散乱緩和時間に依存するが、新たにフルバンド構造を導入することで、フォノン速度に関わるモデルの任意性を排除することができた。考慮した散乱過程は、①フォノン—フォノン散乱、②フォノン—欠陥散乱、および③フォノン—境界散乱である。①、②については格子動力学より得られる緩和時間モデルを仮定し、バルク Si の熱伝導率の測定値(30 K—1,000 K)を再現するようパラメータを調整した。一方、③の過程は、シミュレーション粒子が実際に界面との衝突した際の反射のランダム性により表現した。以上の仮定の下、室温における薄膜 Si の熱伝導率を求めたところ、膜厚 100 nm 以上の領域において実験値を良好に再現することを確認した。また、その際、界面散乱のモデルとして完全な拡散的反射を仮定する必要があることが分かった。一方、100 nm 以下の領域では、最も強い界面散乱強度を仮定しても、なおシミュレーションが実験値を超える値を示した。早稲田大学・渡邊孝信グループの分子動力学に基づく超薄膜(< 5 nm)領域のデータとの比較においても同様である。フォノン閉じ込めによる分散関係の変調や Si/SiO<sub>2</sub> 界面の格子ひずみ等が熱伝導に与える影響などが要因として考えられる。

このほか、デバイス動作中の発熱による電気特性の変化、いわゆる自己発熱効果についてコンパクトモデリングを行った。対象としたデバイスは poly-Si 薄膜トランジスタである。素子構造中に存在する粒界、異種物質界面、ガラス基板などが熱時定数に広い分布を与えるため、素子電流が非常に長い時間スケール(> 1 s)に渡って過渡的な振る舞いを示すことを明らかにするとともに、その等価熱回路表現方式の提案を行った[国際会議口頭講演 6, 7]。

## 電子フォノン散乱およびフォノン輸送モデリング

今年度は、固体中(材料 A)に埋め込まれた円筒形半導体ナノワイヤ(材料 B)での電子・変調音響フォノン相互作用について詳細な解析を行った。昨年度までの研究により、①ナノワイヤ界面(材料 A と材料 B の界面)での音響フォノンモードの変調により電子・変調音響フォノン相互作用の強度が変わること、②その強度変化には材料の弾性体としての性質を表す Lamé 定数や質量密度の違いが関係していること、などが明らかになっていった[原著論文 3]。しかしながら、その強度変化が定量的にどのように Lamé 定数や質量密度の関数として表現できるかについては明らかになっていなかった。そこで今年度は、材料 A と材料 B の Lamé 定数や質量密度の比を様々に変えることで、電子・変調音響フォノン相互作用の強度指標となる形状因子がどのように変化するかを数値計算により網羅的に解析した。その結果、軸方向フォノン波数がゼロのときの形状因子変化を、ワイヤ半径と Lamé 定数を含む簡易な解析式によって表現した。これにより、固体中に埋め込まれた円筒形半

導体ナノワイヤでの電子・変調音響フォノン相互作用の強度を簡易な式によって容易に予測することが可能になった。

### 量子輸送モデル等の汎用 TCAD への移行

本課題で開発される量子輸送シミュレータが、実際に多くのユーザーによって次世代ナノデバイスの性能予測に活用されるように、量子輸送モデルを HyENEXSS へ移行することを目的とする。本年度は、HyENEXSS の開発担当者との打ち合わせを通じて、HyENEXSS においてシリコンナノワイヤを構築するプロセスのプログラムを立ち上げた。構築したナノワイヤ(図 10(a))を用いて HyENEXSS でデバイスシミュレーションを行い、量子輸送シミュレーションの結果と比較した(図 10(b))。量子輸送計算では、量子閉じ込め効果によるしきい値電圧の上昇が顕著に見られる。今後は、HyENEXSS で作成したナノワイヤ構造を用いてシームレスに量子輸送計算ができるようプログラムを構築していく。

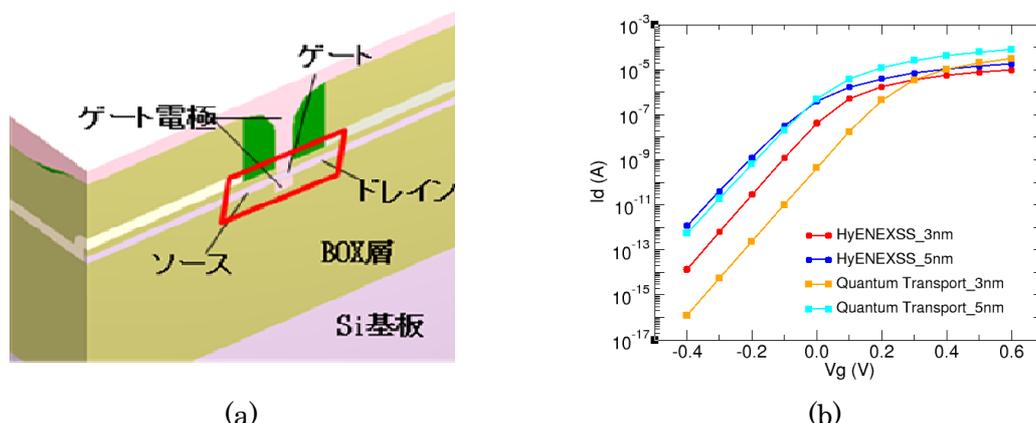


図 10 (a) HyENEXSS で構築したシリコンナノワイヤ構造 (赤枠の部分), (b) 3 nm と 5 nm 角 (ゲート長 10 nm) ワイヤの  $I-V$  特性 ( $V_d = 0.5$  V) と量子輸送計算との比較。

### まとめと今後の予定

上記に記載した通り、各階層は概ね完成しつつある。特に、原子論に基づく 3 次元 R 行列非平衡グリーン関数法シミュレータは、配布可能な形式としてのパッケージ化を行い、すでにいくつかの研究グループに配布し、試用してもらっている。これにより事例集が増え、多くのアプリケーションが出てくることが期待される。

平成 24 年度以降は、各階層を完成させると同時に、各階層をつなぐ作業に着手する。ナノワイヤなどのナノ構造中では、有効質量などの物性値が、バルク値と異なることが知られている。この物性値変化が回路性能に及ぼす影響や、プロセスばらつきがデバイス特性に与える影響などを予測するためには、各階層をシームレスに接続することが重要である。そこで、今後は、チーム内の連携を強化し、各階層 (慶応義塾大学 Gr・ナノ CMOS プロセス, 大阪大学 Gr・原子論, 神戸大学 Gr・散乱, 立命館大学 Gr・回路, 汎用 TCAD・HyENEXSS) の間を繋ぐインターフェースの開発も合わせて行う。

### §3. 成果発表等

#### (3-1) 原著論文発表

##### ●論文詳細情報

1. N. Mori, H. Minari, S. Uno, and J. Hattori, “Ellipsoidal band structure effects on maximum ballistic current in silicon nanowires,” *Japanese Journal of Applied Physics*, Vol. 50, No. 4, pp. 04DN09 (1-3), April 2011. (DOI: 10.1143/JJAP.50.04DN09)
2. G. Mil'nikov, N. Mori, and Y. Kamakura, “Application of the R-matrix method in quantum transport simulations: Continuous model,” *Journal of Computational Electronics*, Vol. 10, No. 1-2, pp. 51-64, June 2011. (DOI: 10.1007/s10825-011-0345-z); Erratum, Vol. 10, No. 1-2, p. 268, June 2011. (DOI: 10.1007/s10825-011-0363-x)
3. S. Uno, J. Hattori, K. Nakazato, and N. Mori, “Acoustic phonon modulation and electron-phonon interaction in semiconductor slabs and nanowires,” *Journal of Computational Electronics*, Vol. 10, No. 1-2, pp. 104-120, June 2011. (DOI: 10.1007/s10825-010-0343-6)
4. Y. Maegawa, S. Koba, H. Tsuchiya, and M. Ogawa, “Influence of Source/Drain Parasitic Resistance on Device Performance of Ultrathin Body III-V Channel Metal-Oxide-Semiconductor Field-Effect Transistors,” *Applied Physics Express*, Vol. 4, p. 084301, Aug. 2011. (DOI: 10.1143/APEX.4.084301)
5. N. Takiguchi, S. Koba, H. Tsuchiya, and M. Ogawa, “Comparisons of Performance Potentials of Si and InAs Nanowire MOSFETs under Ballistic Transport,” *IEEE Trans. on Electron Devices*, Vol. 59, No. 1, pp. 206-211, Jan. 2012. (DOI: 10.1109/TED.2011.2172615)
6. G. Mil'nikov, N. Mori, and Y. Kamakura, “Equivalent transport models in atomistic quantum wires,” *Physical Review B*, Vol. 85, pp. 035317 (1-11), Jan. 2012. (DOI: 10.1103/PhysRevB.85.035317)
7. Y. Yamada, H. Tsuchiya, and M. Ogawa, “Atomistic modeling of electron-phonon interaction and electron mobility in Si nanowires,” *Journal of Applied Physics*, Vol. 111, No. 6, pp. 063720 (1-11), Mar. 2012. (DOI: 10.1063/1.3695999)
8. Y. Kamakura, T. Himukashi, H. Tsuji, and K. Taniguchi, “Characteristics of Hot Hole Injection, Trapping, and Detrapping in Gate Oxide of Polycrystalline Silicon Thin-Film Transistors,” *Japanese Journal of Applied Physics*, Vol. 51, No. 2, pp. 02BC05 (1-4), Feb. 2012. (DOI: 10.1143/JJAP.51.02BC05)