

「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」
平成20年度採択研究代表者

鳥海 明

東京大学大学院・工学系研究科・教授

Ge High-k CMOS に向けた固相界面の理解と制御技術の開発

§1. 研究実施体制

(1) 「鳥海」グループ(東京大学)

① 研究代表者: 鳥海 明 (東京大学大学院工学系研究科、教授)

② 研究項目

1. Ge/GeO₂ 界面の研究
2. Ge/High-k 界面の研究
3. Ge/Metal 界面の研究
4. Ge MISFET のモビリティの研究

§ 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

ゲートスタック界面の研究開発をすすめ、その理解に基づいて高性能 Ge CMOS の実証を目指している。H23 年度は、特に Ge 界面凹凸あるいは Ge 界面準位と FET 移動度の関係を実験的に調べ、さらに各種 GeOI FET の動作実証を行った。また Ge 上絶縁膜形成として、Ge CMOS の微細化を考えた新しい High-k 膜の探索、さらに酸素ラジカルを用いた GeO₂ 膜形成という新しい手法を適用して興味ある結果を得た。

1. Ge/GeO₂ 界面の研究

Ge 基板上の GeO₂ 形成に関しては、高压酸化法を用いて圧倒的に良好な界面を実現してきたが、微細化に向けた薄膜化が難しい。そこで酸素濃度をあげるのではなく酸化反応効率をあげることによって薄膜で良質な界面およびバルク GeO₂ 膜を形成するべくマイクロ波プラズマを用いたラジカル酸化を検討した。H23 年度は酸化機構の検討を行ない、活性化エネルギーはおおよそ 50meV というきわめて低い値を持つラジカル酸化の効果が確認された(3-3-(8))。ラジカル酸化だけで Ge ゲートスタックの薄膜化が実現できるとは考えていないが、下記の High-k 膜の制御に関しても効果が発揮できると考えており、酸化機構、酸化膜質のラジカル酸化による効果のさらなる解明を目指す。

2. Ge/High-k 界面の研究

Ge に Scalable な High-k 膜として何を選択し、どのように形成するかを再考し、Al 系絶縁膜の検討をすすめた。絶縁膜として Al₂O₃ と AlN を検討している。サブナノ膜を実現する上で界面層形成をいかに防ぐかがきわめて重要な点であり、Al 系絶縁膜の原子拡散耐性が大変高いことは大きなメリットである。つまり、界面層として GeO₂ 膜を用いて、その上に High-k 膜という Si で構築されてきた図式が Ge 上では成り立たないかもしれない。これは Ge では初めからサブナノ EOT が要求されているからである。そこで、GeO₂ 層を用いないでゲートスタックを構築できれば、必ずしも High-k 膜ではなく Medium-k 膜の方が適している可能性もある。実際 Al₂O₃ においても EOT=1nm を切るところまでは十分可能である(3-1-(7))。一方で、Ge 上の Al₂O₃ 膜形成の場合には酸素を導入することで、わずかなりとも界面に GeO_x 膜が形成される可能性が高く、それによって界面における酸素空孔の動きが界面劣化を導いてしまうことが懸念され、次のステップとして AlN 膜の検討を開始した(3-3-(7))。

3. Ge/Metal 界面の研究

Schottky 界面の制御に対して S 終端は化合物半導体においてもよく試される。硫化アンモニウム蒸気に晒すことで表面硫化を施すことが多いが再現性ある結果を得ることが難しい。そこで、Ge 基板の S 蒸気による硫化を封止アンブル内で行ない、界面における Fermi level Pinning (FLP)

特性の評価を行った。この手法では GeS_2 膜厚は温度(飽和蒸気圧)によってのみ決まることがわかっている。 GeS_2 は 3.5eV 程度のギャップがあり、厚い膜を形成すれば界面特性もかなり制御された正常な CV 特性が得られる。一方、薄膜 GeS_2 を Schottky 界面に挿入した場合の特性を調べた。すでに報告しているように極薄絶縁膜の挿入によって FLP 特性が弱くなることがわかっている。ところが GeS_2 の場合にはまったくそのような傾向は見られなかった。このことは界面準位の低下が必ずしも FLP を緩和することを意味していない。このことから、MOS 界面で計測される界面準位によって Schottky 界面における FLP が起きているわけではなく、また絶縁膜挿入効果は単純な意味での MIGS の抑制や界面準位低減だけでない効果の存在を示唆している(3-1-(6))。

4. Ge MISFET のモビリティの研究

Ge FET のピークモビリティの向上に関しては、すでにバルクの半分の値を実現しており、H23 年度は次の二つの点に焦点をあてて調べた。(i)高キャリア密度の下でのモビリティの劣化、(ii)ゲート絶縁膜薄膜化によるモビリティの劣化、である。(i)に関しては、Ge の面方位、各種ピーク移動度、などのサンプルに関して、いずれの場合も高キャリア密度領域ではほぼ同じ値に収束していく。Si MOSFET においては、界面の凹凸による散乱が高キャリア密度のもとでの主要な散乱機構と理解されており、今年度は意図的に界面凹凸を変化させた Ge MOSFET を作製し、そのモビリティを調べた。凹凸の指標として AFM で計測した RMS を用いて考えると、図 1 に示すように、この RMS 値を数倍変化させても、高キャリア数領域におけるモビリティはほとんど変化しない。このことは単純な凹凸散乱によってモビリティが支配されるという考え方では理解が難しいことを示唆する(3-1-(19))。一方、ピークモビリティに関しては界面準位のクーロン散乱によって支配されていることがわかった。以上のような観点から考えると、Ge FET、特に電子のモビリティに関して Si-MOSFET と同様の考え方では理解できていない。一方、(ii)に関してはモビリティを高い値のままどこまで薄膜化ができるかが焦点になる。我々が用いてきた高圧酸化で 1nm 領域を実現するのは大変難しいが、正常な絶縁膜を形成できている範囲ではモビリティの著しい劣化は観測されない。その意味で界面欠陥というだけでなく絶縁膜全体の欠陥制御を考えなくてはならない(3-1-(11))。

さらに GeOI 上の FET に関するモビリティに関しては、ほぼ 10nm 厚の絶縁膜上の極薄 Ge を用いた ET-GeOI FET(3-3-(19))、Junctionless FET(3-1-(3))に関して、正常な FET 動作確認をした。特に JL-FET においてはバルクモビリティの値が達成されただけでなく、バイアス印加のもとで興味深いラマン測定結果を得ることができた(3-3-(12))。

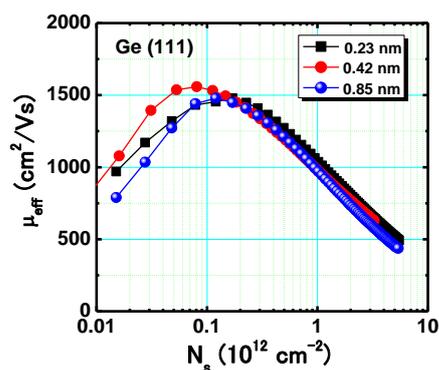


図 1 . N-channel Ge MOSFET における反転層モビリティと Ge の表面ラフネスとの関係。(3-1-(11))

§3. 成果発表等

(3-1) 原著論文発表

●論文詳細情報

- (1) S. K. Wang, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Isotope tracing study of GeO desorption mechanism from GeO₂/Ge stack using ⁷³Ge and ¹⁸O", Japanese Journal of Applied Physics, **50** (2011) 04DA01. (DOI: 10.1143/JJAP.50.04DA01).
- (2) C. H. Lee, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "High-Electron-Mobility Ge/GeO₂ n-MOSFETs With Two-Step Oxidation", IEEE Tran. Electron Devices, vol. **58**, no. 5, pp. 1295-1301, May 2011. (DOI: 10.1109/TED.2011.2111373).
- (3) D. D. Zhao, T. Nishimura, C. H. Lee, R. Ifuku, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless Ge MOSFETs Fabricated on 10 nm-Thick GeOI Substrate", ECS Transactions **35**(3), pp. 457-464, May 2011. DOI: 10.1149/1.3569937.
- (4) A. Toriumi, C.H. Lee, T. Nishimura, S.K. Wang, K. Kita, and K. Nagashio, "Recent progress of Ge technology for a post-Si CMOS", ECS Transactions **35**(3), 443-456, May 2011 (DOI: 10.1149/1.3569936).
- (5) T. Nishimura, C.H. Lee, T. Tabata, S.K. Wang, K. Nagashio, K. Kita and A. Toriumi, "High-Electron-Mobility Ge n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors with High-Pressure Oxidized Y₂O₃", Applied Physics Express, **4** (2011) 064201, (DOI: 10.1143/APEX.4.064201).
- (6) T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "A Study of Fermi-level Pinning in Ge Schottky and MIS Tunnel Junctions", Ext. Abst. 2011 International Conference on Solid State Devices and Materials (SSDM), pp. 913-914 (Sep.29, 2011, Nagoya).
- (7) T. Tabata, C. H. Lee, T. Nishimura, S. K. Wang, K. Kita and A. Toriumi, "1.2 nm-EOT Al₂O₃ /Ge Gate Stack with GeO X-free Interface", Ext. Abst. 2011 International Conference on Solid State Devices and Materials (SSDM), pp. 883-884 (Sep.28, 2011, Nagoya).
- (8) D. D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio and A. Toriumi, "Dual Gated Germanium Junctionless p-MOSFETs", Ext. Abst. 2011 International Conference on Solid State Devices and Materials (SSDM), pp. 923-924 (Sep.30, 2011, Nagoya).

- (9) C. H. Lee, T. Nishimura, T. Tabata, M. Yoshida, K. Nagashio, K. Kita and A. Toriumi, "Control of Surface Roughness on Ge by Wet Chemical Treatments and Its Effects on Electron Mobility in n-FETs", Ext. Abst. 2011 International Conference Solid State Devices and Materials (SSDM), pp. 925-926 (Sep.30, 2011, Nagoya).
- (10) S. K. Wang, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi, "Kinetic Effects of O-Vacancy Generated by GeO₂/Ge Interfacial Reaction" Japanese Journal of Applied Physics, **50** (2011) 10PE04-1, DOI: 0.1143/JJAP.50.10PE04.
- (11) A. Toriumi, C. H. Lee, S. K. Wang, T. Tabata, M. Yoshida, D. D. Zhao, T. Nishimura, K. Kita, and K. Nagashio, "Material Potential and Scalability Challenges of Germanium CMOS", 2011 IEEE International Electron Device Meeting (IEDM2011), pp.646-649 (Dec. 7, 2011, Washington DC) (DOI: 10.1109/IEDM.2011.6131631).
- (12) D. D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio, G. A. Cheng, and A. Toriumi, "Experimental and Analytical Characterization of Dual- Gated Germanium Junctionless p-Channel Metal-Oxide- Semiconductor Field-Effect Transistors," Jpn. J. Appl. Phys. (in press).