

「次世代エレクトロニクスデバイスの創出に資する
革新材料・プロセス研究」
平成20年度採択研究代表者

H23 年度 実績報告

遠藤 哲郎

東北大学 学際科学国際高等研究センター・教授

縦型ボディーチャンネルMOSFETとその集積プロセスの開発

§1. 研究実施体制

(1)「東北大学 遠藤」グループ

①研究代表者:遠藤 哲郎 (東北大学 学際科学国際高等研究センター、教授)

②研究項目

- ・縦型ボディーチャンネル MOSFET のデバイス技術の構築
- ・縦型ボディーチャンネル MOSFET に基づく回路技術と設計技術の構築
- ・縦型ボディーチャンネル MOSFET による CMOS 集積回路の集積プロセス技術の構築

(2)「東北大学 小池」グループ

①主たる共同研究者:小池 淳一 (東北大学工学研究科、教授)

②研究項目

- ・縦型ボディーチャンネルMOSFETのメタル拡散層形成技術の開発

(3)「東京エレクトロン株式会社 塚本」グループ

①主たる共同研究者:小池 淳一 (東京エレクトロン株式会社開発企画室、室長)

②研究項目

- ・縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

§ 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディ領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体LSIにおける新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題から構成される。

- ① 縦型ボディチャンネル MOSFET のデバイス技術の構築
- ② 縦型ボディチャンネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

なお、昨年度末の3月11日の発生した東日本大震災により、中核研究機関である東北大学、及び、試作ラインが大きく被災しその復旧に多くの時間を要したが、JST-CREST を始めとする国内外の皆様の支援により研究進捗の遅延を最小化にできたことに感謝申し上げます。

① 縦型ボディチャンネル MOSFET のデバイス技術の構築

縦型ボディチャンネル MOSFET のデバイス技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。今年度は、昨年度までに構築してきたデバイス設計理論に加えて、縦型ボディチャンネル MOSFET の最小 25nm 世代のプロセス技術と 40nm 世代の試作環境を活用した実験的手法と、32nm 世代以降の微細デバイスに対するデバイスシミュレーションによる理論的解析手法を組み合わせることで、hp32nm 世代以降における縦型ボディチャンネル MOSFET のデバイス技術の確立に向けた取り組みを開始した。

平成23年度は、試作した縦型ボディチャンネル MOSFET のデバイス特性の評価結果を踏まえて、昨年までに確立してきたチャンネル構造設計の知見の上に立ち、当該デバイスの拡散層構造設計の高精度化を行い、カットオフ特性を向上させつつ、効率よく駆動電流をピラー中央に流すようにできる拡散層構造を提案した(原著論文:14、国際学会:5(招待)、7、21(招待))。加えて、図1に示すように、拡散層とチャンネルの接合部に静電レンズ構造を導入することで効率よく駆動電流をピラー中央に流すようにできるという新しい動作原理を見出し提案した(原著論文:5、国際学会:8)。さらに、図2に示すように、縦型 MOSFET をボディチャンネル動作させることで、ゲートリーク電流を抑制できる新しい原理を提案し確認に成功した(原著論文:1件採択、国際学会:9)。その他、(1)初年度に見出した縦型ボディチャンネル MOSFET の高い放熱性能に対するサイズ効果の解明、(2)駆動電流・移動度・しきい値電圧の温度依存性と $1/f$ ノイズの温度依存性の評価から、High-k/Metal ゲートプロセスがデバイスに与える影響の解明、(3)IMOS など 60mv/dec 以下の SS を実現する検討も実施した(原著論文:4、6、国際学会:6、14)。

上記の MOSFET に対する知見を DRAM セルへと展開した。縦型ボディチャンネル MOSFET を 1Tr-DRAM セルに適用しボディチャンネル動作固有の新しい動作法とそれを実現するセル

アレイ法を提案し、1Tr-DRAM セルの最大課題であったリテンション時間の1000倍以上の改善に成功した(原著論文:3、16、投稿中2件、国際学会:12、19(招待)、20(招待))。加えて、研究代表自身が2001年に提案した縦型積層型 NAND (3D-NAND) をベースに、高い信頼性の確保を可能にする浮遊ゲート構造に基づく新しいセル構造を提案し、その優れた性能を確認するなど各種縦型メモリセル研究への展開を進めた(原著論文:1、2、7、8(招待論文)、9、11、15、国際学会:1、3、4(招待)、6、11、17、18(招待)、24)。

② 縦型ボディーチャンネルデバイスに基づく回路技術とその設計技術の構築

縦型ボディーチャンネルデバイスに基づく回路技術とその設計技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。

平成23年度は、これまでに構築してきた縦型ボディーチャンネル MOSFET による集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成技術を実際の中規模集積回路の設計に適用し、縦型ボディーチャンネル MOSFET ベース集積回路の設計の効率化・高度化を図った。

さらに、縦型 MOSFET 固有の特徴を生かした新しい SRAM セルを提案し、提案した SRAM セルの優位性をそのセルアレイ特性を評価することで示した。具体的には、リードディスターブ耐性、及び、ハーフセレクトディスターブ耐性が約30%向上することを示した(原著論文:10、国際学会:2、16)。また、図3に示す新しい縦型ボディーチャンネル MOSFET によるシュミットリガー型 SRAM を提案し、セルサイズを維持しながら現在の SRAM の課題である SNM(スタティックノイズマージン)を65%向上できることを示した(原著論文:13、国際学会:13)。

加えて、画像処理チップのコアデジタル回路であるベクトルマッチング回路や、昇圧回路や定電圧供給回路などの現在の集積回路に不可欠な電源回路と GHz 帯域の高速動作回路などのアナログ回路への縦型ボディーチャンネル MOSFET の展開も進めた(原著論文:12、国際学会:10、15、22、23)。

③ 縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築に関しては、研究分担者の小池淳一(東北大学)と塚本雄二(東京エレクトロン(株))と研究代表者の遠藤哲郎(東北大学)が実施した。東日本大震災の被災をまぬがれた米国 Albany、山梨県韮崎、及び、広島県の試作拠点を最大限に活用しつつ、今年度後半に復旧した試作拠点を使用して、hp32nm 世代以降における単体の CMOS 縦型ボディーチャンネル MOSFET の製造に必要な基本ユニットプロセス技術の開発を行うと共に、プロセスインテグレーション技術の開発を進めた。

平成23年度は、塚本 Gr は、遠藤 Gr と連携して、昨年までに構築した米国 Albany に拠点を置く TEL テクノロジーセンターアメリカでの新しい試作環境を活用して、極微細シリコンピラーの側面への High-k/メタル電極プロセス技術の開発を行なった。具体的には、TEL 米国拠点

にある原子層成長 (ALD: Atomic Layer Deposition) 装置を用いて工業的に実績のある高誘電率・酸化ハフニウム (HfO₂) 膜のプロセス技術を開発した。その結果、シリコンピラー直径 65nm・ピラー高さ 230nm のシリコンピラー側面に物理膜厚 2.0nm のインターレイヤ酸化膜・酸化ハフニウム (HfO₂) 膜の積層膜の均一な成膜に成功した。

また、東北大学小池 Gr. では、これまでの研究において、3次元トランジスタに配線を形成する際の拡散バリア層形成方法として、化学気相成長法 (CVD) による Mn 酸化物の形成が有効であることを示してきた。今年度は、バリア層 (MnSi_xO_y: Mn シリケート) の形成される位置が下層の絶縁層の内部なのか、表面上なのかを調査した。その結果、Mn シリケートの場合は SiOC 膜内に形成され、結晶性の MnO の場合は表面の物理吸着水との反応であるため SiOC 上に堆積することを解明した (原著論文: 17, 18、国際学会: 25, 26 (招待)、27)。

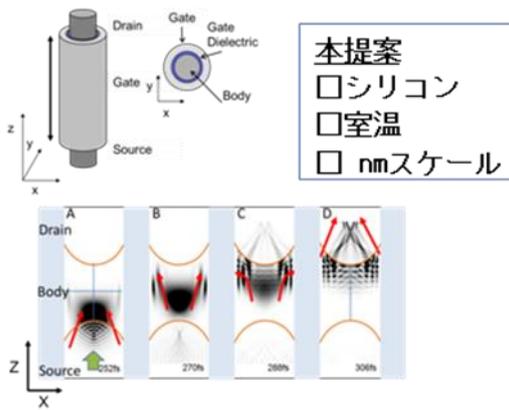


図 1

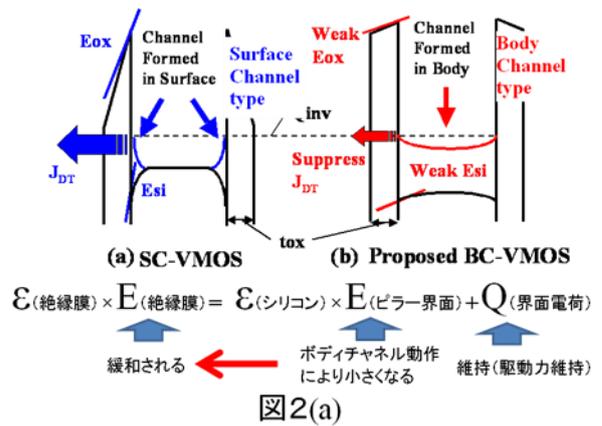
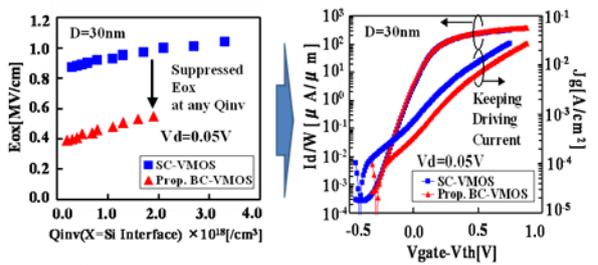


図 2(a)



縦型ボディチャネルMOSFETにより、ゲート絶縁膜に印加される電界の緩和に成功。

表面チャネル方式と比較して、駆動電流を維持したまま、ゲートリーク電流を50%以上の抑制を達成。

図 2(b)

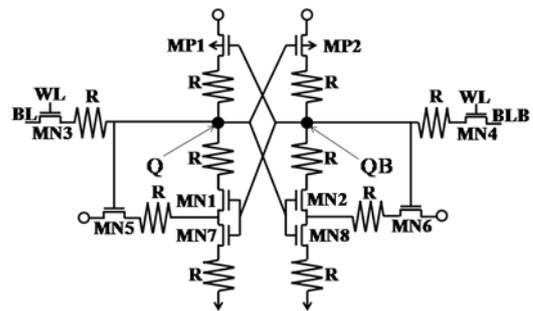


図 3

§3. 成果発表等

(3-1) 原著論文発表

●論文詳細情報

<東北大学 遠藤 Gr>

1. M. Muraguchi, Y. Sakurai, Y. Takada, Y. Shigeta, M. Ikeda, K. Makihara, S.Miyazaki, S. Nomura, K. Shiraishi, and T. Endoh, “Collective Tunneling Model in Charge Trap Type NVM Cell”, Japanese Journal of Applied Physics, Vol. 50, No. 04DD04-1~4, April, 2011. (DOI: 10.1143/JJAP. 50. 04DD04)
2. Moon-Sik SEO and Tetsuo ENDOH, “The Optimum Physical Targets of the 3-Dimensional Vertical FG NAND Flash Memory Cell Arrays with the Extended Sidewall Control Gate (ESCG) Structure” IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.686-692, May, 2011. (DOI: 10.1587/transele.E94.C.686)
3. Yuto NORIFUSA and Tetsuo ENDOH, “Impact of Floating Body Type DRAM with the Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.705-711, May, 2011. (DOI: 10.1587/transele.E94.C.705)
4. Takuya Imamoto, Takeshi Sasaki, Tetsuo Endoh, “Evaluation of 1/f Noise Characteristics in High-k/Metal Gate and SiON/Poly-Si Gate MOSFET, IEICE TRANSACTIONS on Electronics,” Vol. E94-C No. 5, pp. 724-729, May, 2011. (DOI: 10.1587/transele.E94.C.724)
5. Masakazu MURAGUCHI and Tetsuo ENDOH, “Study on Impurity Distribution Dependence of Electron-Dynamics in Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E94-C, No.5, pp.737-742, May, 2011. (DOI: 10.1587/ transele. E94. C.737)
6. Takeshi Sasaki, Takuya Imamoto, Tetsuo Endoh, “Temperature Dependency of Driving Current in High-k/Metal Gate MOSFET and Its Influence on CMOS Inverter Circuits”, IEICE TRANSACTION on Electronics, Vol. E94-C, No. 5, pp. 751-759, May, 2011. (DOI: 10.1587/transele.E94.C.751)
7. Moon-Sik Seo, Sung-Kye Park and Tetsuo Endoh, “3-D Vertical FG NAND Flash Memory With a Novel Electrical S/D Technique Using the Extended Sidewall

- Control Gate” IEEE Transactions on Electron Devices, Vol.58 No.9, pp.2966-2973, September 2011. (DOI: 10.1109/TED.2011.2160642)
8. T. Endoh, “Restructuring of Memory Layer in Electrical System and Its Novel Evolution with Nonvolatile Logic” (招待論文), ECS Transactions, Vol. 41, Issue 7, ULSI Process Integration 7, Chapter 2, Memory Technologies, pp. 59-71, September, 2011.
 9. M. Muraguchi, Y. Sakurai, Y. Takada, S. Nomura, K. Shiraishi, K. Makihara, M. Ikeda, S. Miyazaki, Y. Shigeta, and T. Endoh, ”Collective Tunneling Model between Two-Dimensional Electron Gas to Si-Nano Dot”, AIP Conference Proceedings, vol. 1399, pp. 295-296, December, 2011. (DOI: 10.1063/1.3666370)
 10. H. Na and T. Endoh, “A Compact Half Select Disturb Free SRAM Cell with Stacked Vertical MOSFET”, Japanese Journal of Applied Physics, Vol. 51, No. 2, pp.02BD03-1~8, February, 2012. (DOI: 10.1143/JJAP.51.02BD03)
 11. Moon-Sik Seo and Tetsuo Endoh, “Disturb-Free Three-Dimensional Vertical Floating Gate NAND with Separated-Sidewall Control Gate” Japanese Journal of Applied Physics, Vol. 51, No. 2, pp. 02BD4-1~7, February, 2012. (DOI: 10.1143/JJAP.51.02BD04)
 12. Satoru Tanoi and Tetsuo Endoh, “A Wide-Range Tunable Level-Keeper using Vertical Metal-Oxide-Semiconductor Field-Effect Transistors for Current-Reuse Systems”, Japanese Journal of Applied Physics, Vol. 51, No. 4, April, 2012. (in press)
 13. Hyoungjun NA and Tetsuo ENDOH, “A Schmitt Trigger Based SRAM with Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, May, 2012. (in press)
 14. Takuya IMAMOTO and Tetsuo ENDOH, “Source/Drain Engineering for High Performance Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, May, 2012. (in press)
 15. Moon-Sik SEO and Tetsuo ENDOH, “FG Width Scalability of the 3-D vertical FG

NAND Using the Sidewall Control Gate (SCG)", IEICE TRANSACTIONS on Electronics, Vol. E95-C, May, 2012. (in press)

16. Yuto NORIFUSA and Tetsuo ENDOH, "Evaluation of Performance in Vertical 1T-DRAM and Planar 1T-DRAM", IEICE TRANSACTIONS on Electronics, Vol. E95-C, May, 2012. (in press)

<東北大学 小池 Gr>

17. N. M. Phuong, K. Neishi, Y. Sutou and J. Koike, "Effects of adsorbed moisture in SiO₂ substrates on the formation of a Mn oxide layer by chemical vapor deposition", J. Physical Chemistry C, vol. 115, pp.16731-16736, 2011. (DOI:10.1021)

18. V. K. Dixit, K. Neishi, N. Akao and J. Koike, "Structural and electronic properties of a Mn oxide diffusion barrier layer formed by chemical vapor deposition", IEEE Trans. Device and Materials Reliability, vol. 11, pp.295-302, 2011. (DOI:10.1109)

(3-2) 知財出願

① 平成 23 年度特許出願件数(国内 0 件)

② CREST 研究期間累積件数(国内 9 件)