

竹内 健

東京大学 大学院工学系研究科・准教授

ディペンダブル ワイヤレス ソリッド・ステート・ドライブ

§1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモ리카ードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。またメモ리카ードのコネクタはゴミの付着や汚染、メモ리카ードとホスト機器の頻繁な着脱によるコネクタの摩耗が接触不良や速度劣化を引き起こす。更に、有線通信のメモ리카ードの高速化実現には、コネクタの容量を減らす必要がある。その結果、ギガ bps 以上の高速通信ではメモ리카ードとして必要な ESD 保護素子を搭載することが困難になり、人体との接触による静電気破壊に脅かされる。

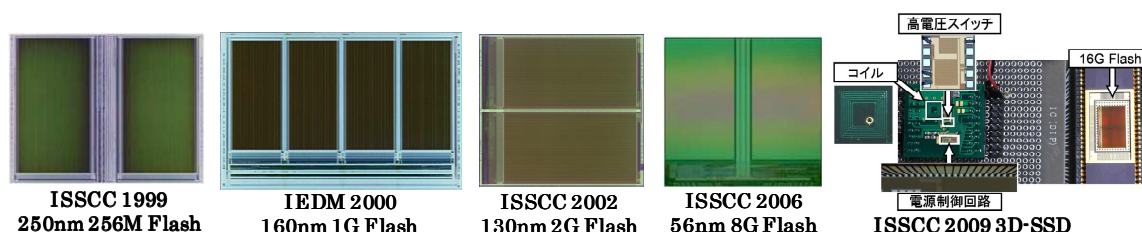
②本研究チームの達成目標。

本研究ではフラッシュメモリを用いたテラバイト容量のワイヤレス SSD (メモ리카ード) 及びホストシステムの研究を行う。書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触(人的エラー)、人体との接触による静電気破壊(ESD)などのエラー要因にディペンダブルな回路システムの開発を目標とする。1mm 程度の通信距離の短距離無線通信・給電により有線通信(SATA・PCIe)並みの 10~50Gbps の実現を目指す。

③本研究のアプローチ

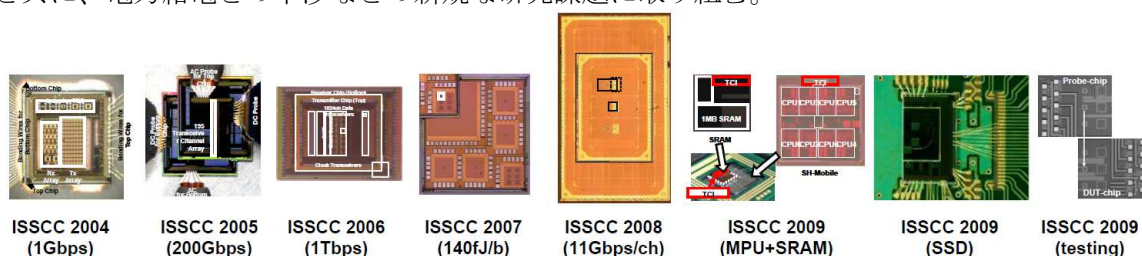
本研究では、本研究を遂行する上で必須の関連技術を世界に先駆けて開発し、当該分野で世界をリードした産学の力を結集する。また大学の研究メンバー全員が企業での豊富な研究経験を有し、出口企業(メモリシステム：東芝、SSD/ホストシステム：パナソニック)との連携、メモリ・通信・給電の異なる分野の間での協力など、実用化を強く意識した問題意識や研究スタイルを共有している。以下で各メンバーについて説明する。

竹内は 1993 年から 2007 年まで東芝のフラッシュメモリ回路設計チームを率い、6 世代にわたり世界最大容量製品の商品化に成功。ECC（誤り訂正符号）、バッドブロック管理、ウェアレベリング、SSD 向けファイルシステムなど、メモリと SSD のディペンダビリティを向上する回路システム技術を実用化し、150 件の特許を取得。2007 年から東京大学にて SSD 用メモリコントローラ (Syposium on VLSI Circuits 2008)、3 次元積層 SSD の電源回路 (ISSCC 2009)、データセンタ用 SSD の高信頼データ退避システム

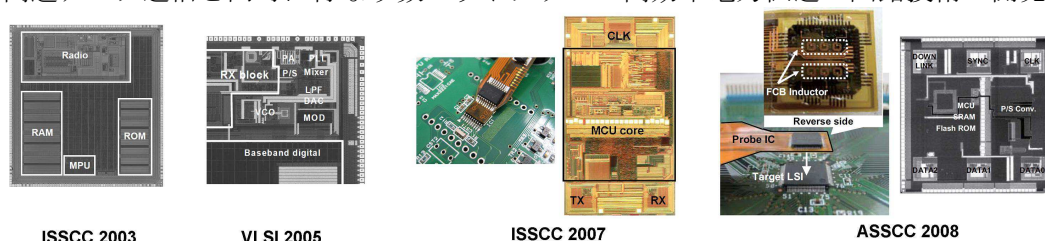


(Syposium on VLSI Circuits 2009) を開発し、高いディペンダビリティを有するワイヤレス SSD 及びホストシステムを実現するための足がかりを固めつつある。また 2003 年にスタンフォード大学で MBA を取得して以来、東芝では数百人に及ぶメモリ製造・プロセス・デバイス・回路、SSD システム、ソフトウェアの開発部隊のマネージメントや、マイクロソフト社と共同の SSD 向け OS (Windows7) の開発など、プロジェクト・マネージメントの豊富な経験があり、研究代表として本研究を管理・運営する準備ができています。

黒田は 2002 年から誘導結合通信の研究に取り組み、2004 年から 6 年連続して ISSCC の将来技術に関するセッション (Technology Direction Session) で発表してきた。これまでは SiP で積層されたチップ間の通信が研究対象であった。また、LSI パッケージ越しにチップ内のバスをモニタする研究でも実績を上げている (CICC 2007)。本研究ではメモリカードや SSD に応用するために、通信距離を更に伸ばすと共に、電力給電との干渉などの新規な研究課題に取り組む。



石黒は 1999 年から 2006 年まで、東芝にてワイヤレス通信用トランシーバ回路の設計に携わり、その中で送受信機回路の設計とともに、ワンチップトランシーバで外部部品点数を減らすために重要となるオンチップレギュレータの設計に携わった。また、2006 年から現在まで磁界結合をもちいた高速非接触通信インタフェースの研究を進め、現在ワイヤレス電力伝送の検討および基本設計を進めている。本研究では、高速データ通信と同時に進行する数ワットクラスの高効率電力伝送の回路技術の開発を行なう。



④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究では、メモリシステム(竹内)、無線通信回路(黒田)、無線給電回路(石黒)を専門とする 3 名の研究者で構成される垂直統合型の研究チームを編成し、緊密な連携を保ちつつ、「高信頼メモリホストシステム」、

「適応制御ワイヤレス給電・通信」、「高 QoS(Quality of Service)メモリ・通信統合システム」の研究を行う。東芝中井、パナソニック関部はそれぞれメモリシステム、ホストシステムに関するアドバイザーに就任し、既存技術の問題点・研究の方向性・開発技術の有効性や実用性の助言を行う。

2) 領域外部の企業等との連携

本研究の成果を産業界に技術移転し次世代高信頼フラッシュメモリ・SSD 及びホスト機器として迅速に実用化するため、メモリシステムでは東芝(フラッシュメモリの世界シェア 2 位)、SSD/ホスト機器ではパナソニック(SD カードの世界シェア 2 位)、信号処理技術に強みを持ち SSD コントローラー開発を行うシグリードを出口企業と想定し、アドバイザーに就任して頂く。アドバイザー企業は既存技術の問題点・研究の方向性・開発技術の有効性や実用性の助言を行う。

3) 領域内他研究チームとの連携関係

ディペンダビリティの評価や指標の策定など、領域内他研究チームと情報交換を行いながら、領域全体でディペンダビリティに関する知見を共有しながら、強力に研究を推進する。

2. 研究グループの研究の概要

(1)「竹内」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 1「高信頼メモリシステム」でメモリシステムのエラーを抑制する高信頼誤り訂正・データ変調システムの研究を行う。また研究 2「適応制御ワイヤレス給電・通信システム」、研究 3「高 QoS メモリ・通信システム」では石黒・黒田と協力し、適応制御型の電力制御システム等の高いディペンダビリティを有するシステムの研究を行う。

②本研究グループの達成目標。

本研究テーマでは、高信頼なワイヤレス SSD を実現するため、メモリシステムの高信頼性化技術を開発する。特に、書き換え回数の増加やデータ保持時間の増加に伴うメモリの信頼性劣化や、隣接のメモリセルからの容量結合ノイズによる信頼性の劣化を回復する信号処理システムを開発する。

③研究のアプローチ

最適な誤り訂正回路の実現のためには、メモリ・通信等、エラーを発生するチャネルのエラーパターンをモデリング・解析することが鍵になる。本年度は、平成 21 年度に開発したメモリチャネル不良パターンのモデリングを行うための解析システムを用いる。また、平成 22 年度に測定を行った、40nm、30nm 世代のメモリの不良パターンの測定データを最大限活用し、エラーを抑制するシステムを開発する。ディペンダビリティを高める手法としては、誤り訂正回路(ECC)のみならず、メモリに記憶するデータに変調を掛けるなど、様々な信号処理技術を検討する。

④研究実施方法(研究チーム内外の連携関係など)

デバイス・回路・システムの全体最適化を図るには、デバイスからシステムまでの大変広範囲の分野の研究を行う必要がある。そのため、東京大学・慶應大学のみならず、アドバイザー企業である東芝(メモリ)・パナソニック(SSD システム)・シグリード(ECC、信号処理)と密接に連携を取り、日本の産学の周知を結集する。

(2)「黒田」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 2「適応制御ワイヤレス給電・通信システム」では、近接場通信を用いたデータ通信を研究する。データ転送速度の向上を見越して、将来の様々な規格にも対応できるよう超広帯域の伝送方式を研究する。また、本アプリケーションでは、ワイヤレス通信とワイヤレス給電を同時に行う必要があるため、石黒と協力して電力伝送チャネルからの干渉を低減するための研究を行う。研究 3「高 QoS メモリ・通信システム」では、竹内・石黒と協力

して電源をカード側とホスト側で適応制御して精緻にするシステムの研究を行う

②本研究グループの達成目標。

ワイヤレスデータ伝送のテーマでは、伝送線路型の結合器を用いることで USB3.0, SATA3.0 等をサポートできる 10Gbps のワイヤレスデータ伝送システムを確立し、さらなるデータレート拡張のための手法を考案する。電力チャネルからの干渉を受けにくいチャネル形状および符号化を考案することで、ワイヤレス電力伝送と同時にデータ伝送を行う場合でも、信頼性を損なわないディペンダブルな通信方式を確立する。

高 QoS メモリ・通信システムでは、ホスト側の持つ動作状態の情報を使って、最適な伝送電力を送信する技術を確立する。

③研究のアプローチ

チャネルの超広帯域化では、H22 年度に特性インピーダンスが制御された伝送線路型の結合器を開発し単一チャネルで 10Gbps を超える通信を行えることを確認した。この成果をもとに、今年度はメモリ容量の増大に対応できるよう、多数のメモリモジュールを接続できるようなマルチドロップ型の非接触 I/F のプロトタイプを開発した。メモリモジュール毎に結合器間の距離を調整することで、全てのモジュールに均等な信号パワーを伝送する方式を開発し、必要最小の消費電力での信頼性の高いデータ伝送を可能にした。電力チャネルからの干渉回避技術に関しては、H22 年度に開発した差動コイルを用いたデータ伝送技術をさらに発展させて、今年度は周回するように配置した 3 つの差動型コイルを用いてデータとクロックを完全に同一チャネルで伝送する方式を考案した。送信データの”0”, ”1”に応じて、3 つの差動コイルを使う順番（回転の向き）を変えるロータリー符号化を考案した。完璧なソース・シンクロナス動作が実現され、電力チャネル等外部からのノイズが存在する状況でのクロック・データ再生の信頼性を大幅に向上した。

④研究実施方法

研究 2「適応制御ワイヤレス給電・通信システム」では石黒と連携して、ワイヤレスデータ伝送と給電を同時に行う際に必要となる対干渉性の高いデータ伝送技術の開発を行う。また、研究 3「高 QoS メモリ・通信システム」では、竹内・石黒と連携してホストの持つ動作状態の情報を活用することで、最適な電力伝送を行う技術を開発する。同時に高い通信信頼性を確保するためのエラー訂正技術を竹内と連携して開発する。パナソニックおよび大手コネクタメーカーと連携して、非接触インタフェースの仕様策定やシステムの実用化を目指す。

(3)「石黒」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

研究 2「適応制御ワイヤレス給電・通信システム」では主に給電システムを担当する。メモリカードという限られたサイズの中で、非接触でワットクラスの電力を伝送するためのコンパクトで高効率な伝送技術を開発する。また、データ・電力同時伝送時における通信の信頼性を確保するために、黒田と協力して電力チャネルからデータチャネルへの干渉を減らすための技術を研究する。研究 3「高 QoS メモリ・通信システム」では、竹内・黒田と協力して機器内外の回路の誤動作を防ぐための EMI を抑制するための電力伝送技術を開発する。

②本研究グループの達成目標

ワイヤレス給電のテーマでは、2cm 角程度のサイズに収めることができる、伝送電力 1.5W、効率 70%の給電システムを開発する。給電と同時にフラッシュメモリのデータ書き換えに必要な昇圧も同時に行う方法を確立する。バッテリーを搭載しない状態でも、高速に変動する負荷状態に追従できるようなシステムを実現する。

大電力の伝送においては、機器内外の電子回路動作のディペンダビリティを確保するために電磁干渉(EMI)を抑えることが必須である。通信の高 QoS 化のみならず他の機器への妨害を防ぐための、電力伝送におけるスイッチング方式、変調方式を開発する。

③研究のアプローチ

本研究のターゲットアプリであるワイヤレス SSD は、ミリ秒、場合によってはマイクロ秒オーダーでカード側の負荷が大きく変動するが、その変動を吸収する大容量バッテリーを搭載することはカードのサイズを考えると現実的ではない。従って、最近策定された規格「Qi」のようなスマートフォンのバッテリー充電用の非接触給電方式は応答速度の観点から適用できない。本研究では、電力伝送でよく用いられる数 100kHz よりも高い周波数(数 MHz～数 10MHz)を電力伝送のスイッチング回路に用いることで高速応答に可能にする。高いスイッチング周波数はコンパクトな伝送システムを実現にも適している。ただし、MHz 帯は電波法規上使える周波数が厳しく制限され、「Qi」で使われている周波数変調等による電力制御は不可能である。本研究では、電力送信機を並列に動作させ、それぞれのスイッチング信号の位相を調整することで、周波数固定のまま高速に送信電力を制御する方式を開発した。さらに、共振周波数と分数調波を切り替えることで、効率を一定に保ったまま幅広い範囲で電力を制御する技術を開発した。また、切り替え信号として $\Delta \Sigma$ 変調を行うことで、EMI の発生を抑える手法を開発した。

④研究実施方法

研究 2「適応制御ワイヤレス給電・通信システム」では黒田と連携して、ワイヤレスデータ給電がデータ伝送に与える影響を評価し、それを抑制するための技術を開発する。研究 3「高 QoS メモリ・通信システム」では、竹内・黒田と連携して、送信電力の適応制御をすることで過度な電圧ストレスの発生や EMI の発生を防ぐ手法を開発する。また、パナソニックおよび大手コネクタメーカーと連携して、非接触インタフェースの仕様策定やシステムの実用化を目指す。

§2. 研究実施体制

(1) 東京大学グループ

① 研究参加者名: 竹内 健(東京大学 工学系研究科 准教授)(研究代表者)

② 研究項目

メモリシステム

(2) 慶應大学・黒田グループ

① 研究参加者名: 黒田 忠広(慶應義塾大学大学院 理工学研究科 教授)(主たる共同研究者)

② 研究項目

通信システム

(3) 慶應大学・石黒グループ

① 研究参加者名: 石黒 仁揮(慶應義塾大学大学院 理工学研究科 准教授)(主たる共同研究者)

② 研究項目

給電システム

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1) 研究の成果と自己評価

(1) 成果1.「SSD の寿命を10倍に伸ばす誤り予測 LDPC アーキテクチャ」(代表者グループ)

① 内容

竹内グループではメモリシステムの不良を救済する、高信頼メモリシステムの研究を行った。最適な誤り訂正回路の実現のためには、メモリをチャネルに見立て、エラーパターンをモデリング・解析することが鍵になる。本年度は、メモリの寿命を 10 倍伸ばすことができる誤り訂正回路を、世界で初めて開発した。

図1に ECC 方式の比較を示す。微細化が進みメモリセルの大きさが20ナノメートル以下になると、メモリセルの間の容量結合に起因する干渉が大きくなり、従来の BCH ECC (図1 (a)) では誤りを訂正できなくなる。一方、従来のLDPC ECC (図1 (b)) では高い誤り訂正能力がある一方、読み出しが7-9倍増加遅くなる問題がある。

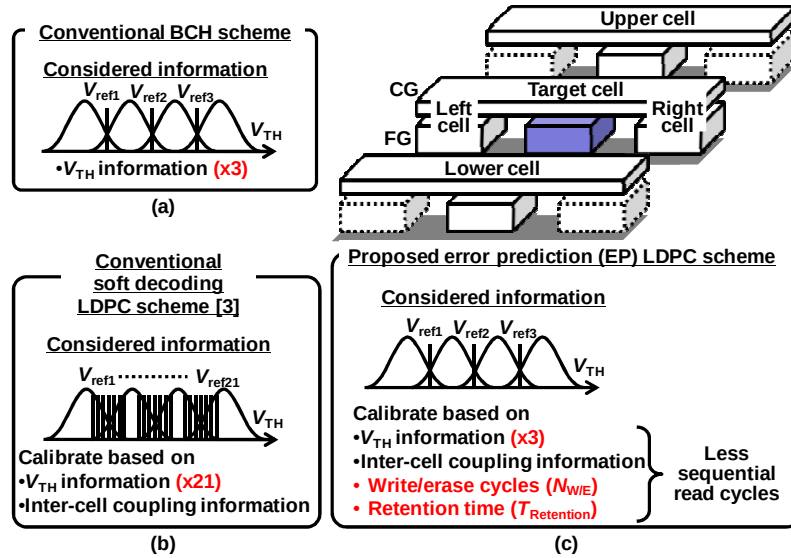


図1. (a)従来の BCH ECC、(b)従来の LDPC ECC、(c)提案するエラー予測 LDPC

高速なアクセスと高い信頼性を両立するため、本研究では、周囲のメモリセルのデータからメモリセル間の干渉を予測して、補正を行うエラー予測LDPC (図1 (c)) を提案した。図2に本研究が提案するLDPCアーキテクチャを示す。合わせて、エラー予測を行うためのデータ保持時間を推測するシステムも開発した。書き換え回数とデータ保持時間から、メモリの不良のパターンを予測することで、従来では救済不可能な誤りを訂正することを可能にした。

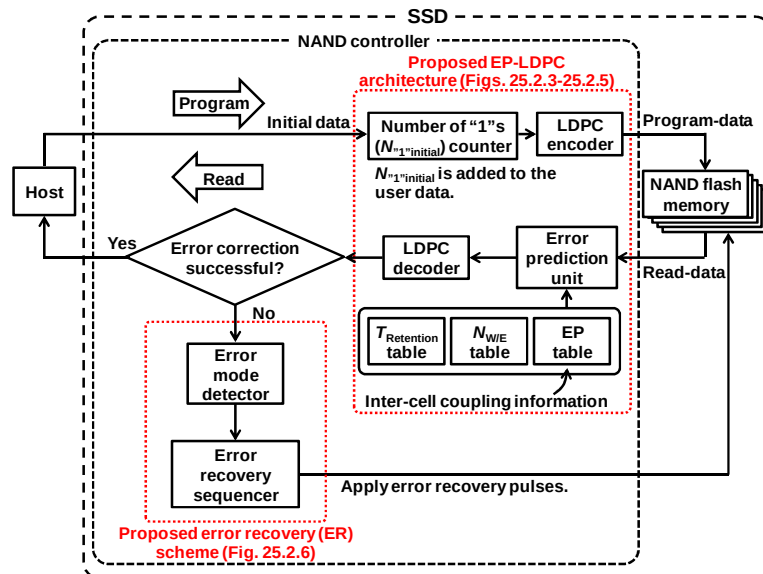


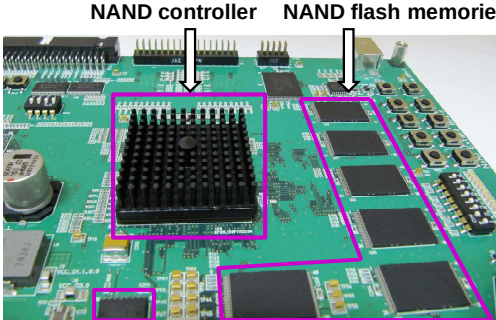
図2. 提案するエラー予測 LDPC とエラーリカバリー方式の構成

更に、書き換え回数が増加するに従って、メモリセルのゲート酸化膜や、フローティングゲートとゲートの間の層間膜で電子がトラップ・デトラップされ、しきい値がシフトする問題に対して、一時的にエラーを回復するエラーリカバリー方式も開発した。ゲートに 5V 程度のストレスを印加することで、ゲート酸化膜や層間膜中にトラップされた電子を除去し、不良となったメモリセルを一時的に回復させる。回復後に、メモリのデータをコントローラに読み出し、高い信頼性のメモリ領域にデータを退避することで、システムレベルでメモリエラーの回復をはかる。

以上の提案したアーキテクチャの有効性を 30 ナノメートル世代の NAND フラッシュメモリを搭載した SSD を用いて実証した。図3に提案手法と従来手法の比較を示す。エラー予測 LDPC により、従来に比べて 10 倍寿命が長い高い信頼性と高速なアクセスを実現した。また、エラーリカバリー方式

により、書き込みディスタ urbのエラーを76%、データ保持のエラーを56%回復することに成功した。

	Conventional BCH	Conventional LDPC (Soft decoding)	Proposed EP-LDPC
Considered information	V_{TH}	V_{TH} Inter-cell coupling [4]	V_{TH} Inter-cell coupling W/E cycles Retention time
Read reference voltage number	3	21 [3]	3
Sequential read cycles	x1	x7	x1
Gate count of ECC circuits in the controller	x1	x2 [7]	x2
SSD lifetime @ 85 degC (W/E cycles: 8k)	4 days	-	45 days (>x10)
Acceptable BER	1.3%	-	4.8% (x3.7)
Acceptable W/E cycles	5k	-	8k (x1.6)



	Conventional SSD	Proposed SSD
Program disturb error recovery	None	PDRP (-76%)
Data retention error recovery	None	DRRP (-56%)

図3. 提案するエラー予測 LDPC とエラーリカバリー方式の特性

本研究成果を纏めた論文("Over-10x-Extended-Lifetime 76%-Reduced-Error Solid-State Drives (SSDs) With Error-Prediction LDPC Architecture and Error-Recovery Scheme" S. Tanakamaru, Y. Yanagihara, K. Takeuchi; University of Tokyo, Tokyo, Japan)を ISSCC 2012 にて発表を行った。

②有用性

本研究の成果はSSDの実機で、従来技術に比べて10倍寿命が長い高い信頼性と高速なアクセスを実証した。

③優位比較

現在の SSD では、ECC(誤り訂正符号)を強化することでメモリの信頼性向上を図っている。ECC の符号としては BCH 符号から LDPC 符号と強力な訂正能力がある符号が使われるようになってきている。従来の LDPC は高い信頼性という利点はあるものの、アクセス時間が7-9倍遅くなるという問題がある。本提案のエラー予測 LDPC 方式は、従来の BCH ECC と同様の高速アクセス時間と、極めて高いディペンダビリティを両立する唯一の技術である。

(2) 成果2.「高信頼超高速ワイヤレスデータ伝送システム」(黒田グループ)

①内容

黒田グループは、伝送線路型結合器を用いた超広帯域ワイヤレスデータ伝送システムのマルチドロップバスへの適用を可能とする技術を開発した。

メモリモジュールは、複数の DRAM を装備・配線して接続端子を設けた基板で、電子機器の主要部品である。マザーボードのメモリソケットに差し込んでマイクロプロセッサのバスに接続できる。メモリモジュールのデータ転送速度が電子機器の性能を決めることが多く、高速化の要求が強い。現在主流の DDR3 規格では、最大転送速度は毎秒 1.9 ギガビットであり、2015 年頃から PC への採用が予想される DDR4 規格では最大毎秒 4.3 ギガビットである。しかし、信号がバスで分岐したりソケットを通過するたびに、反射やひずみが起こり、転送速度を5Gbps 以上にするとディペンダビリティを損なうという深刻な問題があった。

本研究では、信号の反射やひずみが起こりにくい方向性結合器を用いて信号を分岐した。図 4 に示すようにマザーボードとメモリモジュールの伝送線路を組み合わせることで方向性結合器を構成することで、従来のソケットをなくした。モジュール側の結合器の一端はトランシーバチップ内部でインピーダンス整合された抵抗で終端され、他端はモジュール上の抵抗器で終端されている。また、マザーボード上の伝送線路に関しても、一端は送信機でインピーダンス整合され、他端は抵抗器で終端されている。各モジュールでインピーダンスが整合されており、反射が抑制される。更に、結合器の結合度を調整することで、各メモリモジュールに伝送す

る信号エネルギーを等しくし、通信電力を削減した(図 5)。その結果、ビット誤りを起こさずにチャンネルあたり毎秒7ギガビットという世界最高速の通信に世界で初めて成功した(図 6)。8 チャンネル並列に配置されており、バスの帯域としては、56Gbps を実現できる。

本研究成果を纏めた論文(“A 7Gb/s/Link Non-Contact Memory Module for Multi-Drop Bus System Using Energy-Equipartitioned Coupled Transmission Line,” W-J. Yun, S. Nakano, W. Mizuhara, A. Kosuge, N. Miura, H. Ishikuro, T. Kuroda, Keio University, Yokohama, Japan)を ISSCC 2012 にて発表した。

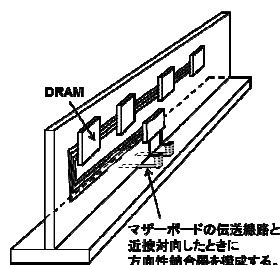


図4. 非接触メモリモジュール

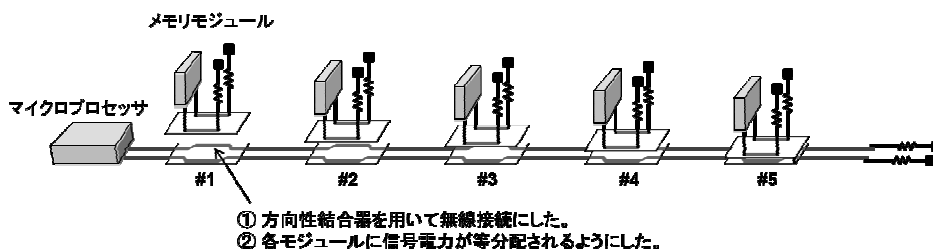
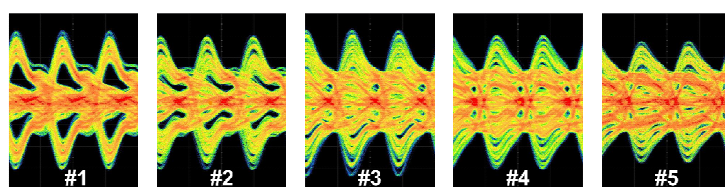
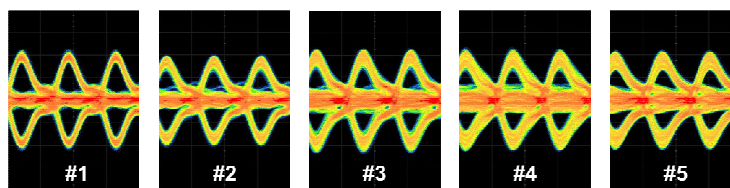


図5. エネルギー等分配メモリバス



従来技術: 波形が潰れて信頼性が低い



新技術: 波形が整い信頼性が高い

図6. 世界最高速度の毎秒7ギガビット通信 (実測波形)

① 有用性

メモリモジュールの世界市場は1兆円規模であり、大きな経済効果が期待できる。また、スマートフォンやパソコンでプロセッサとメモリのデータ転送を2倍高速にできるので、機器の高性能化に寄与する。また、ディペンダビリティの確保に求められる電力の増大を回避できるので、電子機器の節電に寄与する(およそ100万kWの電力削減が期待できる)。

② 優位比較

現在の接触型コネクタによるマルチドロップバスでは、接触部による特性インピーダンスの乱れが伝送信号の品質を劣化させ、データレートの上限が5Gbps程度に制限されていた。本研究で開発したインピーダンス整合された伝送線路型の結合器を用いることで、信号反射を防ぐことができ接触型のコネクタでは実現不可能なデータレートを達成した。

(3) 成果3. 「高速負荷変動に追従できる低EMIワイヤレス電力伝送システム」(石黒グループ)

① 内容

石黒グループでは、バッテリーレスのアプリケーションで必要となる負荷変動に対する高速応答システムおよび不要輻射(EMI)を削減した非接触給電システムを開発した。

近年、非接触給電技術の分野では「Qi(チー)」のような標準規格も策定され、その応用範囲が広がってい

る。これまでの非接触給電は、Qi のようにスマートフォン等のバッテリーに充電する用途、あるいは Suica 等 RFID 向けの非常に微小な電力(数 10 ミリワット程度)を供給する用途に限られていた。バッテリー充電用途ではワットクラスの電力を伝送するが、受電側の電力変動は遅く、高速な送信電力制御は不要であった。RFID 用途では伝送電力が小さいため、レギュレータを受電側に搭載することで、効率を犠牲にして受電側の電圧変動を抑えている。

本研究では、将来の大容量メモ리카ードのようにワットクラスの電力が必要であるが小型でバッテリーを搭載できない用途に向けた高効率非接触給電システムを開発した(図 7)。受電側の電圧を一定に保つために、カードの動作状態(読み出し/書き込み)に応じて、高速に大きく変動するカード側消費電力に追従して送信電力を高速に制御する必要がある。高速電力制御のためには、バッテリー充電の用途で通常よく使われる数 100kHz より高い周波数(数 MHz~10 数 MHz)でのスイッチングが適しているが、その場合、使用可能な周波数が厳しく制限される。電力伝送チャネルを複数使用して、それぞれのスイッチング信号の位相を調整することで磁場をベクトル的に合成し、固定周波数において電力制御することを可能とした(図 8)。また、スイッチング周波数を共振周波数およびその分数調波の間で変調することで、高効率を維持しながら高速かつ不要輻射の少ない電力制御を可能とした(図 9)。図 10 のように、カード側の消費電力が数マイクロ秒以内に 1 桁変動した場合においても、受電側の最大電圧降下は 2% 程度に抑えられる(従来技術に対して 2 桁以上の高速化)。

本研究成果の一部を纏めた論文(“Voltage-Boosting Wireless Power Delivery System With Fast Load Tracker by $\Delta\Sigma$ -Modulated Sub-Harmonic Resonant Switching,” R. Shinoda, K. Tomita, Y. Hasegawa, H. Ishikuro Keio University, Yokohama, Japan)を ISSCC 2012 にて発表し、またデモシステムを開発して同会議における Academic Demonstration Session にて実演を行った。

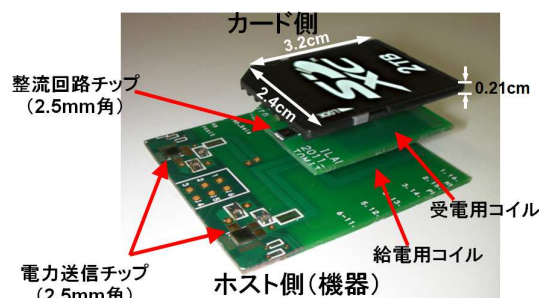


図 7 ワイヤレス SSD 用の非接触電力伝送システム

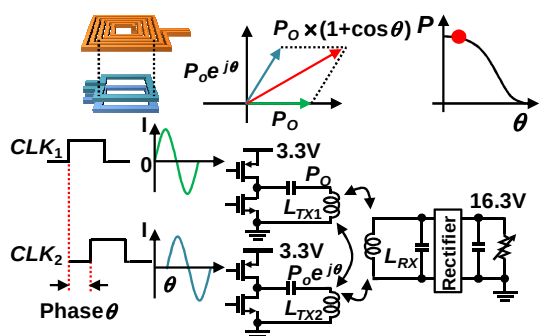


図8. 2ch.でのベクトル合成による送信電力制御

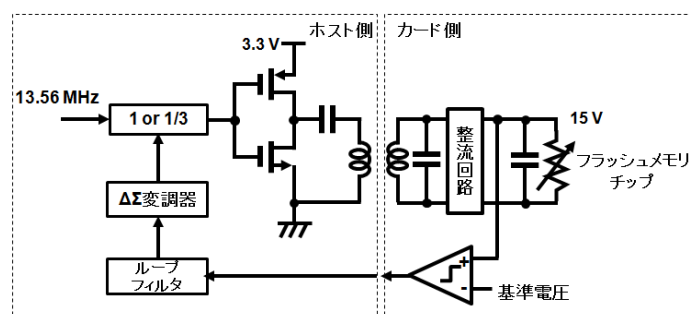


図9. 分数調波スイッチングを用いた低EMI電力伝送

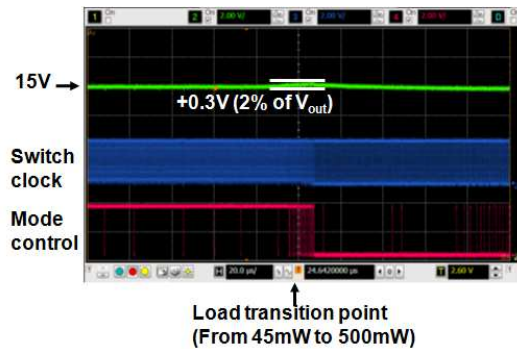


図10. 消費電力変動時におけるカード側電圧変動

②有用性

本技術を用いることで、大容量メモリカードを利用する機器から金属端子を排除することができ、水周り等様々な環境でも高い信頼性を確保することができる。また、高効率かつ高速な電力制御により、不要な熱発生や電圧ストレスによるカード内部のデバイス信頼性の低下を防ぐことができる。さらに、不要輻射が抑えられるため、例えばデータ通信等における機器の誤動作を防ぐことができる。

③優位比較

本研究で開発中の電力伝送システムは、メモリカード等のバッテリーを搭載できない小型システムに対して、マイクロ秒オーダーという従来に比べて 2 桁以上高速にかつ大きく変動する負荷に追従してワットクラスの電力を伝送できる、これまでに例を見ない電力伝送インタフェースである。また、機器の動作に悪影響を与える EMI を抑えるスイッチング手法を取り入れている。

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

フラッシュメモリのメモリセルでは、微細化が進むにつれてメモリセルの間の容量結合が増加し、20 ナノメートル程度で微細化の限界を迎えると予想されていた。本研究で提案するような、周囲のメモリセルの情報を積極的に用いて、容量結合を補正することにより、この干渉の問題を克服することが可能になった。その結果、10 ナノメートルなどより微細なサイズにスケールアップすることが可能になった。

(2) 当初計画で想定外であった重要・新規な展開

データ伝送における伝送線路型結合器は、非常に広い帯域を実現できる(潜在能力として 20Gbps も可能)と同時に結合係数を適切に設計すると信号反射も抑えることが可能であることが分かった。本性質はメモリモジュールを多数接続するようなマルチドロップバスに適している。当初はワイヤレス SSD のように一つのチャンネルに一つのメモリモジュールという使い方を想定していたが、応用範囲を大幅に広げることが可能なマルチドロップバスの開発も新規にスタートして、プロトタイプの評価システムにより、5 つのモジュールを接続できることを実証した。

§4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

1. Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "1.8V Low-Transient-Energy Adaptive Program-Voltage Generator Based on Boost Converter for 3D-Integrated NAND," *IEEE J. of Solid-State Circuits*, vol. 46, no. 6, pp. 1478-1487, June 2011.
2. Shuhei Tanakamaru, Chinglin Hung and Ken Takeuchi, "Highly Reliable Lower Power Solid-State Drives (SSDs) Embedded with and Intelligent NAND Flash Memory Controller with Asymmetric Coding and Stripe

Pattern Elimination Algorithm,” to be published in *IEEE J. of Solid-State Circuits*, January 2012.

3. Koh Johguchi, Teruyoshi Hatanaka and Ken Takeuchi, “Through-Silicon-Via (TSV) Design with Clustering Structure and Adaptive TSV Control for 3D Solid-State-Drive Boost Converter System,” vol., no., pp. -, *Japanese Journal of Applied Physics (JJAP)*, April 2012.

(4－2)知財出願

- ① 平成23年度特許出願内訳（国内 6 件）
- ② CREST 研究期間累積件数（国内 11 件）